

SPICE-övningar i EDA351 Kretselektronik

Per Larsson-Edefors

Detta kompendium för kursen EDA351 Kretselektronik innehåller övningar som baseras på krets-simulatorens SPICE. Kompendiet har gradvis ökat i storlek sedan 2003 då jag påbörjade detta projekt. Då, 2003, hade jag byggt fem SPICE-övningar med syftet att komplettera torra räkneövningar med interaktiva övningar, som efterliknar riktig kretskonstruktion. Nu har jag hunnit så långt att jag kan låta SPICE-övningarnas innehåll tillsammans med föreläsningarna definiera hela kursen.

Den pedagogiska idén bakom kompendiet är att du som teknolog under övningstillfällena ska få möjlighet att använda en kretssimulator för att lösa uppgifter som vi traditionellt bara räknat på tavlan/papperet. De elva temana, vars rubriker listas nedan, är kopplade till de fyra lärmålsblocken som återfinns på kurswebsidan.

- Nätanalys och grundläggande simulering [**Repetition**]
- MOSFET-transistorer och ett enkelt förstärkarsteg [**Analoga kretsar**]
- Förstärkarstegets överföringskaraktär [**Analoga kretsar**]
- Frekvensegenskaper hos förstärkarsteget [**Analoga kretsar**]
- CMOS-inverteraren [**Digitala kretsar**]
- Upp- och urladdning och grindfördröjning [**Digitala kretsar**]
- Energi och effekt [**Digitala kretsar**]
- Inverkan av belastande kapacitanser [**Digitala kretsar**]
- En längre ledning med förluster [**Ledningar i digitala system**]
- Analysmetoder för förlustfria ledningar [**Ledningar i digitala system**]
- Förstärkarens högfrekvensegenskaper [**Analoga kretsar**]

Notera följande praktiska punkter:

- Kompendiet är uppdelat i elva stycken övningar, där varje övning i sin tur är uppdelad i ett varierande antal avsnitt och uppgifter. Genomgående varvar jag uppgifter av problemlösande karaktär (papper, miniräknare och penna!) med uppgifter av simuleringskaraktär, med förhoppningen att simuleringar av dina framräknade storheter kan ge dig nya och lärorika infallsvinklar till kretselektronik. Efter övningarna har jag så placerat ett kortfattat facit för vissa av uppgifterna. Vid sidan av detta dokument med SPICE-övningarna finns tre appendix (A: *Modelltyper*, B: *Parametrar för LEVEL 1*, C: *Meyerkapacitanser*) som man kan ladda hem.
- **Tips 1:** Använd olika filfolder för de olika övningarna och olika underfolder för de olika uppgifterna inom varje övning. På så sätt har du ordning på övningarna inför genomgången som du säkert kommer vilja göra när den muntliga tentan närmar sig.
- **Tips 2:** Skriv ut kompendiet så att du kan anteckna och rita i det.
- **Tips 3:** Ta med extra pappersblock, penna, linjal och kanske en miniräknare till övningstillfällena.
- **Tips 4:** Se till att lämna in förberedelsuppgifterna (se schemat) i början av respektive övning.
- Texten för övningarna innehåller begränsat med tips för praktiskt handhavande av SPICE och de program som krävs för att presentera SPICE-producerade utdata i form av vågformer. Under övningstillfällena kommer du att få hjälp med handhavande av simuleringsmjukvaran.
- De VERSALA bokstäver som jag använder för att illustrera SPICE-kod för simulering översätts till gemena när SPICE genomför sin parsing, så det står dig fritt att använda gemener eller versaler.
- Det finns en "kort" referensmanual till SPICE-programmet (Hspice) vi kommer använda. Denna manual kan du ladda hem från websidan.

Innehåll

SPICE-övning 1: Nätanalys och grundläggande simulering	3
Grunder för kretssimulering med SPICE	3
Ett enkelt likspänningsnät: Spänningsdelaren	4
Att lösa ekvationssystem: Analytiskt, grafiskt eller via simulering?	6
Linjära och icke-linjära komponenter	7
Växelspänning och j ω -metoden	10
Facit till SPICE-övning 1	13
SPICE-övning 2: MOSFET-transistorn och ett enkelt förstärkarsteg	14
Att arbeta med transistorer i SPICE	14
Dimensionering av ett enkelt förstärkarsteg	17
Facit till SPICE-övning 2	22
SPICE-övning 3: Förstärkarstegets överföringskaraktär	23
Att skapa en belastningslinje för resistansen	23
Att skapa belastningslinjer för NMOS-transistorn	24
Att kombinera belastningslinjer till en överföringskaraktär	25
Facit till SPICE-övning 3	28
SPICE-övning 4: Frekvenssegenskaper hos förstärkarsteget	29
Frekvenssegenskaper hos ett förstärkarstegs utgångskrets	29
Simulering med frekvenssväp — AC-analys	32
SPICE-övning 5: CMOS-inverteraren	35
Överföringskaraktär för CMOS-inverteraren	35
CMOS-inverteraren: Transistorernas operationsområden	38
Facit till SPICE-övning 5	41
SPICE-övning 6: Upp- och urladdning i CMOS och grindfördröjning	42
Uppladdning av inverterarutgång givet olika modeller av PMOS:en	42
SPICE-övning 7: Energi och effekt	50
Effektutveckling och energiåtgång i en CMOS-inverterare	50
SPICE-övning 8: Inverkan av belastande kapacitanser	55
Fördröjning och stig- och falltider hos CMOS-inverteraren	55
Modellering av transistorkapacitanser — gateoxiden	56
Modellering av transistorkapacitanser — diffusionsdioderna	60
Facit till SPICE-övning 8	64
SPICE-övning 9: En längre ledning med förluster	65
En lång (men tyvärr ganska klen) ledning	65
Ledningspartitionering — att använda 'repeatrar'	68
Ett steg tillbaka	70
Facit till SPICE-övning 9	71
SPICE-övning 10: Analysmetoder för förlustfria ledningar	72
Att driva en lång förlustfri ledning — en första konstruktion	72
Att driva en lång förlustfri ledning — en noggrannare studie	74
Simulering av problem från föreläsning/övning	77
Facit till SPICE-övning 10	78
SPICE-övning 11: Förstärkarens högfrekvenssegenskaper	79
Ideal småsignalsmodell utan Millereffekt	79
Ideal småsignalsmodell med Millereffekt	81
Småsignalssegenskaper hos en riktig förstärkare	84

SPICE-övning 1: Nätanalys och grundläggande simulering

Vi ska i denna första övning ta upp några av de mer elementära begreppen inom kretselektronik; några av vilka du säkert stött på i grundkursen i elektriska kretsar. Till att börja med ska vi studera likspänningar i en enkel krets som består av två resistanser. För att hitta obekanta spänningar behöver vi vettiga analysmetoder; vi ska titta på tre olika! I den andra delen av övningen står linjära och icke-linjära komponenter i fokus; vi vill gärna kunna betrakta icke-linjära komponenter som vore de linjära. I den tredje delen kommer vi studera en krets, med en resistans och en kapacitans, till vilken man ansluter en växelspanning. Detta är en repetition av $j\omega$ -metoden från tidigare kurser.

1.1. Grunder för kretssimulering med SPICE

Vi ska så småningom simulera kretsar och på så sätt lära känna SPICE, och dess modeller och byggelement. Vi delar upp beskrivningen av grunderna för kretssimulering med SPICE i flera olika avsnitt rörande olika definitioner; till att börja med tar vi upp resistanser, kapacitanser respektive olika sorters spännings- och strömkällor.

Resistansdefinitioner

En resistans mellan nod1 och nod2 i en krets definieras som

```
Rxx nod1 nod2 resistansvärde
```

där xx står för valfri kombination av bokstäver och/eller siffror. Resistansvärdet har Ohm som enhet.

Kapacitansdefinitioner

En kapacitans mellan nod1 och nod2 definieras som

```
Cxx nod1 nod2 kapacitansvärde
```

där SPICE antar att kapacitansvärdet ges i Farad.

Definitioner av spänningskällor

En likspänningskälla definieras generellt på följande sätt:

```
Vxx positivnod negativnod DC likspänningsvärde
```

där SPICE antar att likspänningsvärdet ges i Volt. För att kunna utföra en simulering vill vi ofta spänningssätta vår krets med matningsspänningen V_{DD} . En lämplig definition för vår del kan då vara

```
VVDD VDD 0 DC 3.3
```

där vår spänningskälla får namnet VVDD, och där denna spänningssätter noden VDD med 3,3 V. Nod 0 som vi använder oss av här, är en alldeles speciell nod i SPICE eftersom den utgör en referenspunkt (en nolla om man så vill) för alla i simuleringen existerande spänningar.

Om vi istället vill anbringa en sinussignal till vår krets ingång kan det vara vettigt att definiera en sådan signal med hjälp av SPICE egen sinuskälla:

```
VIN IN 0 SIN(arbetspunkt sinusamplitud frekvens)
```

Här anger vi arbetspunkten och sinusamplituden i Volt, medan frekvensen ges i Hertz.

Till sist, ett exempel på en digital signal; en puls som ges med periodiciteten TP.

```
VIN IN 0 PULSE(0 3.3 TD TRF TRF 'TP/2-TRF' TP)
```

VIN är här en spänningskälla som slår mellan 0 och 3,3 V. Den aktiveras efter TD sekunder, och har stigtiden TRF samt falltiden TRF. Det algebraiska uttrycket 'TP/2-TRF' talar om hur länge pulsen är låg respektive hög. Notera att här är TRF definierad för nivåerna 0% och 100% av V_{DD} , till skillnad från annars då vi räknar med 10% och 90% (eller 20% och 80%).

Definitioner av enkel strömkälla

Vi kommer även att behöva skapa strömkällor i vissa simuleringar. En likströmskälla definieras generellt på följande sätt:

`Ixx positivnod negativnod DC likströmsvärde`
 där SPICE antar att likströmsvärdet ges i Ampere.

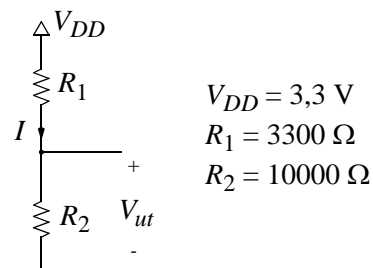
Notera riktningen på pilen i strömkällan nedan! Ström trycks alltså ut genom den nod som kallas den



negativa och strömmen återkommer till källan via p-noden.

1.2. Ett enkelt likspänningsnät: Spänningsdelaren

Vi ska nu studera en mycket enkel krets, nämligen spänningsdelaren till höger. Detta med spänningsdelning är ju en sak som man brukar få lära sig redan på gymnasiet. Det klassiska exemplet är två seriekopplade lampor som man ska mäta strömmen genom och spänningen över. Ta julgransbelysningen som ett annat praktiskt exempel: Man har ofta 16 lampor som är seriekopplade och dessa får nätuttagets 230 V över sig. Eftersom alla lamporna är likadana — de har åtminstone samma resistans — kommer $230/16 = 14,375$ V hamna över var och en. Tittar man noga på sådana lampor brukar det stå 14 V markerat på deras socklar. Men julgransbelysning är inte direkt vad denna kurs ska handla om.



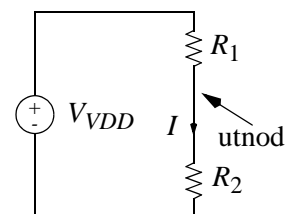
I schemat har vi alltså applicerat en likspänningskälla över resistanserna — att källan (kanske ett batteri?) är av likspänningstyp betyder att vi har att göra med ett likspänningsnät. Ritar vi ut spänningskällan så kretsen ser komplett ut, kan vi se att potentialen faller när vi lämnar matningsspänningen och färdas med strömmen genom R_1 och R_2 . Kirchhoffs spänningsslag, som summerar alla delspänningar i en slinga till noll, säger följande om vår krets:

$$V_{DD} - R_1 \cdot I - R_2 \cdot I = 0$$

eller

$$V_{DD} - R_1 \cdot I - V_{ut} = 0$$

Vi har nu underförstått gjort antagandet att ingen ström flyter ut till ett eventuellt mätinstrument som anbringats på utgångsnoden.



1.3. Att lösa ekvationssystem: Analytiskt, grafiskt eller via simulering?

För att finna en (till en början) obekant spänning eller ström i en krets krävs en lösningsmetodik: Metoden kan vara analytisk, d.v.s. att vi löser ett ekvationssystem algebraiskt. Den andra metoden vi kan använda är en s.k. grafisk metod, d.v.s. att vi löser ekvationssystemet genom att rita upp funktionerna. Den sista metoden, och den enda som är skalbar i ett industriellt sammanhang, är den som bygger på simulering. Notera att även simulering bygger på ekvationssystem!

Analytisk metod för att finna utspänningen

Först ska vi testa den analytiska metoden, d.v.s. den metod som alla teknologer drillats i sedan kurserna i analys. Använd er algebra för att lösa ekvationssystemet på förra sidan!

UPPGIFT 1.3.1:

- a) Bestäm V_{ut} analytiskt (d.v.s. beskriv med en ekvation) för spänningsdelarkretsen i **Avsnitt 1.2**.
- b) Använd resultatet från uppgift a) för att bestämma V_{ut} numeriskt.

Plats för tankar, resonemang, och resultat:

Grafisk metod för att finna utspänningen

Vi har ju från förut $V_{DD} - R_1 \cdot I - R_2 \cdot I = 0$, där $R_2 \cdot I = V_{ut}$ för vår spänningsdelarkrets. Vi kan välja att lösa ekvationen analytiskt, vilket vi nyss gjorde, men vi kan också använda oss av en grafisk metod. Eftersom denna grafiska metod är mycket vanlig för illustration av ekvationslösning inom elektronikområdet måste vi titta närmare på metoden.

UPPGIFT 1.3.2:

I denna uppgift ska vi ta fram linjalen och använda oss av en grafisk lösning som innefattar komponenternas så kallade belastningslinjer.

Med en omstuvning av uttrycken, som beskriver vår spänningsdelarkrets, fås

$$V_{DD} - R_1 \cdot I = R_2 \cdot I.$$

Nu är din uppgift att rita de två belastningslinjerna $V(I)$ som motsvarar respektive sida i ekvationen och hitta skärningspunkten, d.v.s. lösningen på ekvationen.

Bestäm grafiskt strömmen I samt spänningen V_{ut} .

Plats för tankar, resonemang, och resultat:

Simulering för att finna utspänningen

Som ett sista alternativ till ekvationslösning ska vi nu ta oss an vår första SPICE-simulering ...

UPPGIFT 1.3.3:

Din uppgift är nu att göra en simulering för spänningsdelaren i **Avsnitt 1.2**. Följ rådet från den allra första sidan, d.v.s. att skapa dig en filfolder för just denna uppgift. På så sätt kommer det bli lätt att hålla ordning på allt material du kommer samla på dig under SPICE-övningarna.

Tänk på att ge SPICE-filen som du skapar ett namn med extensionen `.sp`. Ett bra tips är att använda uppgiftsnumret till namngivning av filen — varför inte `uppg133.sp`?

SPICE-koden kan se ut som följer:

```
SIMULERING AV SPANNINGSDELNING OVER RESISTANSER - UPPGIFT 1.3.3
```

* Man inleder en SPICE-fil med en lämplig rubrik som kan komma att visas i grafer. Man tar det säkra före det osäkra och undviker svenska tecken. Den första raden tolkas alltid som en kommentar, så lägg inga kommandon här!

```
.PARAM SUPPLYV=3.3
```

* För att slippa ändra matningsspänningens värde på många olika platser i koden, så kan man parametrisera den: Till exempel kan man använda SUPPLYV. **Notera** att engelskan har punkt “.” som decimaltecken där svenskan har komma “,”. (Andra parameter man kan komma vilja att definiera senare är TD, TP och TRF som vi använde för PULSE-källan i **Avsnitt 1.1**.)

```
.OPTIONS POST
```

* Vi måste ange att vi vill analysera resultaten från simuleringen genom att läsa in vågformerna från en fil efter simuleringen.

```
R1 VDD UT 3300
```

```
R2 UT 0 10K
```

* Vi kopplar R1 mellan matningsspänningen, vars nod vi kallar VDD, och noden UT. R2 definieras mellan UT och nollan. Värdet $10000\ \Omega$ väljer vi att skriva m.h.a. av ett prefix: K betyder kilo. **Notera** att man inte måste ange enhetens namn (Ohm), för den definieras automatiskt genom att man valt en resistans.

```
VVDD VDD 0 DC SUPPLYV
```

- * Detta skapar en likspänningskälla som lämnar ifrån sig spänningen SUPPLYV mellan VDD och 0, och detta blir då vår matningsspänning; vårt batteri.

```
.TRAN 0.1U 1M
```

- * Vi säger åt SPICE att utföra en s.k. transientsimulering under 1 ms (millisekund), då SPICE ska räkna på föränderliga spänningar och strömmar med en tidsupplösning på 0,1 mikrosekund (μs) eller noggrannare. Eftersom vi bara har en likspänningskälla i kretsen kommer dock inte spänningar och strömmar att förändras över tiden — vi kommer definitivt få bättre användning av .TRAN i senare uppgifter. Prefixet U betyder mikro, medan M betyder milli. **Notera** att det är lätt att blanda samman vissa prefix: milli (tusendelar) respektive mega (miljontal) skrivs som M respektive MEG i SPICE!

```
.END
```

- * Se till att du har en radbrytning efter .END. Detta är en liten bugg hos Hspice som man vårdar ömt från version till version!

Efter simuleringen använder du visningsprogrammet, som grafiskt presenterar simuleringens resultat. En kort användarhandledning kommer ges under kursens gång. Vad gäller simuleringsdata så kan man återfinna data om alla noders spänningar samt strömmen (angiven med negativt belopp) genom samtliga spänningskällor.

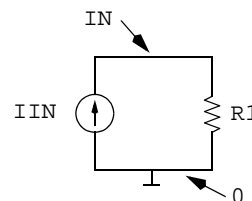
Beskriv vilken spänning V_{ut} som erhålls på utgångsnoden, samt strömmen I .

Ganska liten plats för tankar, resonemang, och resultat:

1.4. Linjära och icke-linjära komponenter

I den föregående uppgiften skapade vi belastningslinjer för resistanser som är linjära komponenter, d.v.s. $V = R \cdot I$ eller $I = \frac{1}{R} \cdot V$. I en förstudie till avsnittet om småsignaler, där vi vill betrakta olinjära komponenter som vore de linjära, ska vi nu jämföra beteendet hos en linjär komponent med beteendet hos en icke-linjär komponent.

Först ska vi studera belastningslinjen som en resistans ger upphov till. Med kretsen till höger kan vi reglera vilken ström som strömkällan I_{IN} skickar in i resistansen R_1 på $3,3 \text{ k}\Omega$. För varje strömnivå vi väljer kan vi med SPICE hjälp avläsa vilken spänning som faller över R_1 — detta är spänningen på noden IN .



UPPGIFT 1.4.1:

Genomför simuleringen för ovanstående krets. Kärnan av SPICE-koden kan se ut så här (notera att .TRAN saknas och därför innehåller denna simulering inte tid som parameter):

```
R1 IN 0 3.3K
```

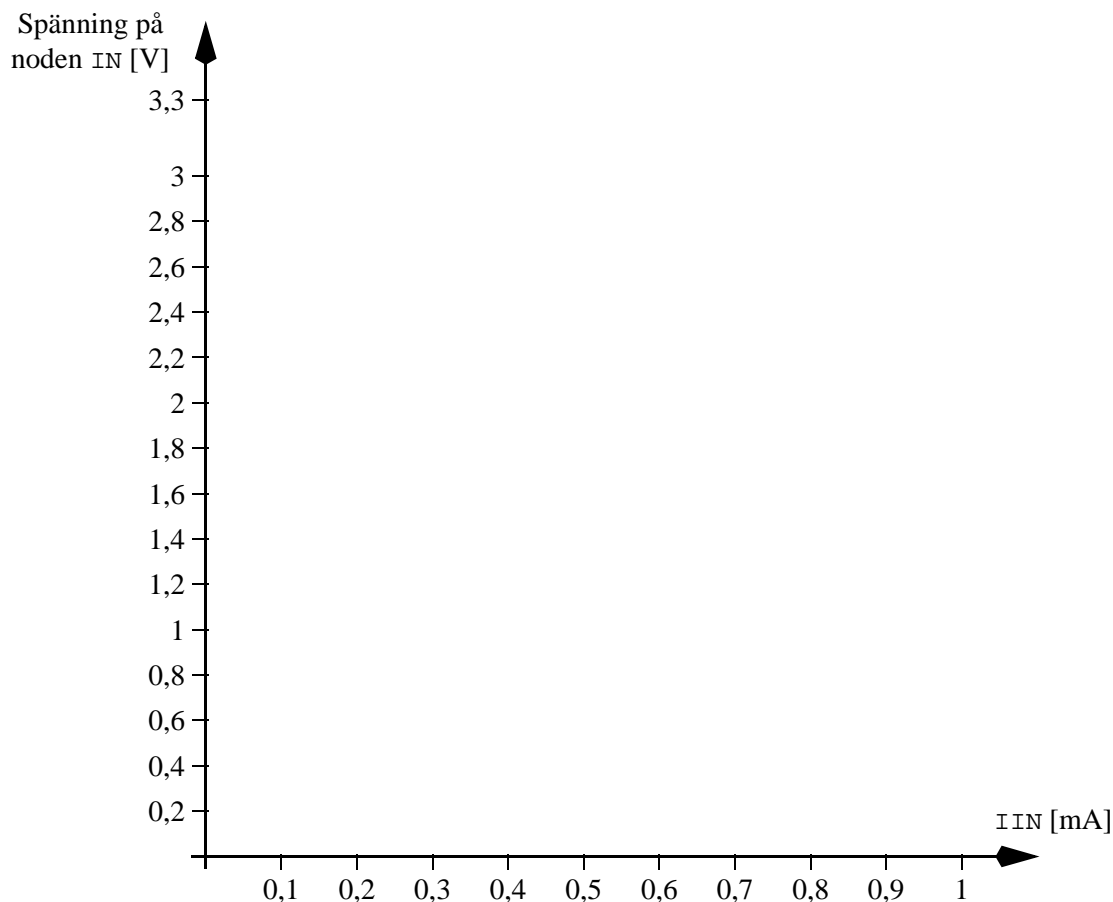
```
IIN 0 IN 1M
```

```
.DC IIN 0 1M 0.1M
```

- * Ovanstående rad skapar ett s.k. svep där simulatoren genomför en serie simuleringar, alla med olika värden på IIN (0; 0,1 mA; 0,2 mA; ...; 1 mA). I denna definition representerar 0 startströmmen, 1M slutströmmen och 0.1M strömkretnentet i svepet.

Denna typ av simulering, med kommandot .DC istället för .TRAN, kallas för DC-analys.

Efter att simuleringen körts, rita av den V-I karakteristik som erhålls.



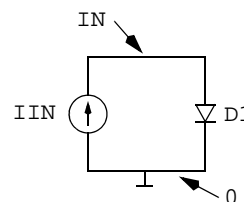
UPPGIFT 1.4.2:

Nu ska vi titta på en annan krets; den icke-linjära krets som innehåller en diod (till höger).

En diod är icke-linjär i den meningen att spänning och ström inte står i linjär proportion till varandra:

$$I = I_0 \left(e^{\frac{V}{0,026}} - 1 \right),$$

där I_0 är läckströmmen (som kallas I_S såväl i referensboken av Sedra & Smith som i SPICE). Tvärtom, när spänningen över dioden ändras, påverkar detta strömmen genom dioden på ett exponentiellt sätt.



I DC-simuleringarna som vi hittills gjort för att skapa belastningslinjer, har vi valt att reglera en ström på x-axeln och observera en spänning på y-axeln. Därför kan det vara sin plats att skriva om ekvationen för dioden:

$$V = 0,026 \cdot \ln \left(\frac{I}{I_0} + 1 \right)$$

är den funktion som vi kan förvänta oss ger belastningslinjen efter fullbordad simulering.

Rent praktiskt ser vi nu till att byta ut (jämfört med **Uppgift 1.4.1**)

R1 IN 0 3.3K

mot

```
.MODEL DIOD D LEVEL=1 IS=1F
```

- * Vi kommer lära oss ännu mer om modelldefinitioner när vi börjar jobba med transistorer i senare övningar. Eftersom dioden i sig själv inte är lika viktig som transistorn i dagens integrerade kretsar, nöjer vi oss med att observera: **1.** att DIOD är vårt namn på modellen, **2.** att nyckelordet D och LEVEL=1 talar om för SPICE att vi vill använda den diodmodell av LEVEL1-typ som finns inbyggd i Hspice programmet, samt **3.** att I_S (eller I_0 som undertecknad envisas med att kalla läckströmmen) ska vara 1 fA (där femto är det samma som 10^{-15}).

```
D1 IN 0 DIOD
```

- * Här anropar vi och skapar en diodkomponent av typen DIOD (vår egendefinierade modell) som vi ansluter mellan IN och 0.

Kör simuleringen för kretsen ovan och studera resultatet. Om du tycker att simuleringens resulterande kurva inte är jämn, utan har någon eller flera "knyckar", så har du inte gjort något allvarligt fel. Du bör då köra simuleringen på nytt, fast denna gång med ett mindre ströminkrement, t.ex. 0.01M eller ännu hellre 0.001M, vilket är det samma som 1U (1 milliampere = 1000 mikroampere).

Vi tittar på enkla kretsar i denna kurs, så vi får aldrig problem med simuleringskörtid eller filstorlek. I riktiga konstruktioner, med större kretsar, så leder små inkrement av tid eller ström till stora filer och lång körtid, och då är det en konst att bestämma ett lagom litet inkrement.

Rita den V-I karakteristik som slutligen erhålls. Använd även denna gång den x-y graf som var förberedd på förra sidan.

UPPGIFT 1.4.3:

Din uppgift är nu att jämföra den V-I kurva du fick från **Uppgift 1.4.1** med den från **Uppgift 1.4.2**. Vad kan man säga om dem med avseende på linjaritet?

Plats för tankar, resonemang, och resultat:

UPPGIFT 1.4.4:

Vi kan ju alla Ohms lag sedan länge: $V = R \cdot I$. Eftersom kurvorna vi nyss ritat har spänning på y-axeln och ström på x-axeln, borde resistansen synas som en proportionalitetskonstant (likt k i den klassiska formen för en linjär ekvation $y = k \cdot x + m$).

Räkna ut resistansvärdet för **Uppgift 1.4.1** respektive **Uppgift 1.4.2** genom att mäta i respektive kurva samt genom att tillämpa Ohms lag. Fundera över värdena du erhåller.

Plats för tankar, resonemang, och resultat:

1.5. Växelspänning och $j\omega$ -metoden

När man använder sig av $j\omega$ -metoden kan man, som du vet från kursen i elektriska kretsar, arbeta med växelspänningar/strömmar som om vore de likspänningar/strömmar: Metoden för att finna växelspänningar/strömmar blir lika enkel och kraftfull som den för likspänningar/strömmar i **Avsnitt 1.3**.

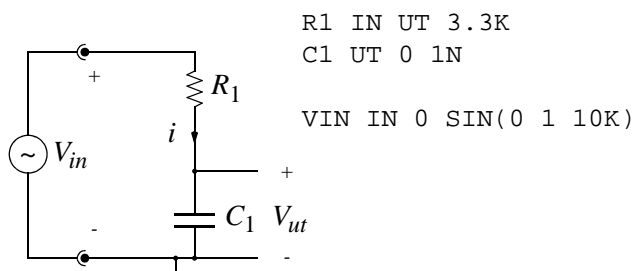
Förutsättningen är, som du också torde minnas från grundkursen i elektriska kretsar, att man tänker sig en sinusformad växelspänning (och åtföljande ström) som håller en viss frekvens f . Man säger att växelspänningen/strömmen är stationär, i den meningen att kretsen inte befinner sig i ett insvängningsförlopp orsakade av påkoppling av spänningskällor, eller liknande — frekvensen håller sig helt konstant.

För en signal med konstant frekvens f (vilken ger vinkelfrekvensen $\omega = 2\pi \cdot f$) kan man bestämma reaktanserna för kapacitansen C ($\frac{1}{j\omega C}$) och för induktansen L ($j\omega L$). Med imaginära reaktanser och reella resistanser bygger man upp en komplex representation, som du känner som begreppet impedans. Detta är ju bara repetition, så låt oss gå vidare till en ny simuleringsuppgift.

UPPGIFT 1.5.1:

Nu tittar vi på en krets, som ibland benämns lågpassfilter eller RC-länk.

I figuren finns några rader av en lämplig SPICE-kod. Kapacitansen är på 1 nanofarad, och som man också kan se slår sinusvågen från sinusgeneratorn mellan -1 V och +1 V med en frekvens på 10 kHz.



Genomför en simulering för kretsen ovan och studera spänningen på utgångsnoden. Lämpligen simulerar du kretsen under en 1 millisekund (du minns väl hur vi gjorde en transientsimulering med .TRAN?), så sinusvågen hinner svänga flera perioder innan du gör mätningarna nedan.

- Bestäm amplituden på utgångsnoden.
- Bestäm tidsförskjutningen mellan signalerna på utgången respektive ingången.

Plats för tankar, resonemang, och resultat:

UPPGIFT 1.5.2:

Kör en simulering för samma krets som i **Uppgift 1.5.1** men ändra frekvensen till 100 kHz. Vid denna högre frekvens kommer kapacitansen att leda växelström väsentligt bättre, eftersom reaktansen för en kapacitans beror på inversen av frekvensen $\frac{1}{j\omega C}$.

Eftersom vi tiodubblar frekvensen bör vi minska ned tidsrymden för simuleringen, så vi behåller samma antal signalperioder inuti simuleringstiden. Om man har en viss tidsperiod, t.ex. 1M, och vill ha en tiondel av detta värde kan vi använda det algebraiska stödet som åtminstone finns i Hspice: Vi kan skriva '1M/10' istället för 0.1M. Fördelen med algebran är att man enkelt kan parametrисera just siffran 10 inuti textfilen och sedan, vid behov, ersätta detta värde med något annat. Ett exempel på hur just dessa SPICE-rader skulle kunna se ut:

```
.PARAM FREVENSSKALNING=10  
.TRAN '0.1U/FREVENSSKALNING' '1M/FREVENSSKALNING'
```

- Bestäm amplituden på utgångsnoden.
 - Bestäm tidsförskjutningen mellan signalerna på utgången respektive ingången.
-

Plats för tankar, resonemang, och resultat:

UPPGIFT 1.5.3:

Vi ska avsluta denna övning med att dubbelkolla våra simuleringar, och för detta ändamål ska vi använda $j\omega$ -metoden!

Kretsen vi simulerade i **Uppgift 1.5.1** och **Uppgift 1.5.2** har stora likheter med den som vi simulerade i **Avsnitt 1.3**. Det handlar i båda fallen om spänningsdelning! Men medan **Avsnitt 1.2** och **Avsnitt 1.3** handlar om två resistanser i serie, handlar **Avsnitt 1.5** om en resistans och en kapacitans i serie.

När vi tillämpar $j\omega$ -metoden på vårt lågpasfilter, kommer vi erhålla ett uttryck på spänningsdelningen som är mycket likt det som du räknade fram i **Avsnitt 1.3**.

- Bestäm överföringsfunktionen $\frac{V_{ut}}{V_{in}}$ för vår lågpasfilterkrets.
- Bestäm ett uttryck för amplituden av överföringsfunktionen (d.v.s. absolutbeloppet).
- Bestäm amplituden numeriskt vid 10 kHz respektive 100 kHz.
- Bestäm ett uttryck för fasförskjutningen mellan ut- och ingång (d.v.s. argumentet).
- Bestäm fasförskjutningen numeriskt vid 10 kHz respektive 100 kHz.

f) Jämför amplituderna samt fasförskjutningarna som du räknat fram med amplituderna samt tidsförskjutningarna som du fått genom simulering. Stämmer de överens?

Tips: Vid en viss frekvens har vi en viss periodtid (som är inversen på frekvensen). Vidare, en period är 360 grader. Alltså, 10 graders fasförskjutning vid 1 kHz motsvarar i tid $\frac{10^\circ}{360^\circ} \cdot \frac{1}{1 \text{ kHz}} =$
28 mikrosekunder.

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 1 avslutad!

Facit till SPICE-övning 1:

UPPGIFT 1.5.3:

c)

$$\left| \frac{V_{ut}}{V_{in}} \right| = 0,979 \text{ vid } 10 \text{ kHz}$$

$$\left| \frac{V_{ut}}{V_{in}} \right| = 0,434 \text{ vid } 100 \text{ kHz}$$

e)

$$\arg \frac{V_{ut}}{V_{in}} = -11,7^\circ \text{ vid } 10 \text{ kHz}$$

$$\arg \frac{V_{ut}}{V_{in}} = -64,3^\circ \text{ vid } 100 \text{ kHz}$$

SPICE-övning 2: MOSFET-transistorn och ett enkelt förstärkarsteg

Genom att använda SPICE-simulatorens ska du i denna övning lära dig hur ett enkelt förstärkarsteg, bestyckat enbart med en NMOS-transistor, beter sig. Den enklaste transistormodellen som finns tillgänglig i SPICE kallas Schichman-Hodges modell och går under beteckningen LEVEL 1. I denna modell tar man bara hänsyn till första ordningens effekter för traditionella (äldre) MOS-transistorer, där icke-idealiter som härstammar från korta kanallängder knappt beaktas alls. I **Appendix A** finns en förteckning över andra modeller ($LEVEL > 1$).

2.1. Att arbeta med transistorer i SPICE

Vi kommer i denna övning endast att arbeta med likspänningsegenskaper (DC-egenskaper) och småsignalsegenskaper kopplade till arbetspunkten, och därför kommer vi inte alls att undersöka modeller för transistorkapacitanser- och resistanser. Du ska dock vara medveten om att det finns viktiga kapacitans-egenskaper som är kopplade till transistormodellen för LEVEL 1, men väljer vi att inte explicit definiera värden för dessa kommer SPICE att sätta dessa till förvalda värden (mer om detta i **Övning 8**).

Man kan i LEVEL 1 modellen för en NMOS-transistor beskriva drainströmmen I_D som

$I_D = 0$	för $V_{GS} \leq V_T$	cut-off
$I_D = KP \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right) (1 + \lambda V_{DS})$	för $V_{GS} > V_T$ samt	linjär
	$V_{DS} \leq V_{GS} - V_T$	
$I_D = \frac{KP}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$	för $V_{GS} > V_T$ samt	mättad
	$V_{DS} \geq V_{GS} - V_T$	

Som du kan känna igen från föreläsningarna används en faktor KP i samband med uttrycken för drainströmmen. För SPICE-modeller är den gängse formen att skriva $KP = \mu C_{ox}$. Man får vara på sin vakt med beteckningarna här eftersom vissa (t.ex. undertecknad) ibland använder en liknande faktor

$$k = \mu C_{ox} \frac{W}{L} \text{ där transistorns geometriska egenskaper medtages.}$$

Du bör redan känna till begreppet kanallängdsmodulation, där kanalen i det mättade operationsområdet ändras med drainspänningen och därmed ger upphov till en viss ökning i drainströmmen. Man tar ju som bekant hänsyn till detta, för det mättade operationsområdet, genom att multiplicera med faktorn $(1 + \lambda V_{DS})$ i uttrycket för I_D ¹.

Den sista parametern i SPICE-modellen för LEVEL 1, som har att göra med drainströmmen hos MOS-transistorn, påverkar tröskelspänningen. Man måste ta hänsyn till något som kallas bodyeffekten — denna kommer vi att diskutera ännu noggrannare när vi närmar oss slutet av kursen och studerar några designkontext. Tröskelspänningen i en MOS-transistor är nämligen inte en konstant. I en första approximation, som ju modellen för LEVEL 1 är, beror V_T av spänningsskillnaden mellan source och body, som är transistorterminalen som utgörs av det materialsubstrat som transistor har dopats in i och som övriga terminalpotentialer måste relateras till. Notera att body och bulk är namn som används utbytbart för samma terminal.

1. Som man ser i modellerna för LEVEL 1 återfinns faktorn för kanallängdsmodulation också i modellen för det linjära området, vilket kan tyckas vara underligt eftersom fenomenet kanallängdsmodulation inte förekommer i detta operationsområde. Skälet för användningen är att man måste undvika diskontinuiteter i drainströmmen när SPICE under simuleringsberäkningarna byter modell från mättat till linjärt eller vice versa.

I modellen för LEVEL 1 använder SPICE följande funktion för att bestämma tröskelspänningen:

$$V_T = V_{T0} + \text{GAMMA}(\sqrt{\text{PHI} + V_{SB}} - \sqrt{\text{PHI}}), \text{ då } V_{SB} \geq 0$$

vilken har sin ursprung från följande, mer fysikaliska uttryck:

$$V_T = V_{T0} + \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}).$$

Faktorn γ definieras av

$$\gamma = \frac{\sqrt{2q\epsilon_{\text{kisel}} N_a}}{C_{\text{ox}}},$$

där elektronens laddning (q), dielektricitetskonstanten för kisel (ϵ_{kisel}), dopningskoncentrationen i substratet (N_a) samt gateoxidkapacitansen per ytenhet (C_{ox}) ingår. I SPICE används beteckningen NSUB respektive COX, för N_a respektive C_{ox} .

I uttrycket för tröskelspänningen återfinns vi, förutom γ , också V_{T0} , ϕ_F samt V_{SB} . Här representerar V_{T0} tröskelspänningen i avsaknad av bodyeffekt (d.v.s. när $V_{SB} = 0$ V), medan V_{SB} är spänningen mellan source och body. Faktorn ϕ_F beskriver indirekt hur dopat substratet är: ϕ_F och N_a relateras genom uttrycket

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right),$$

där n_i är den så kallade intrinsiska bärarkoncentrationen i kisel, d.v.s. den koncentration av fria laddningsbärare som råder i ett odopat kiselmaterial. SPICE använder sig av definitionen $\text{PHI} = 2\phi_F$, för detta värde avspeglar den nivå på ytpotentialen i kanalen som krävs för att kanalen ska inverteras. Med detta menas, för en NMOS, att det P-dopade substratmaterial i kanalen lokalt beter sig som om vore det ett N-dopat material — detta tack vare att potentialen på gateterminalen har attraherat elektroner till kanalområdet!

I **Appendix B** finns alla standardparametrar för LEVEL 1 listade, men låt oss här och nu också sammanfatta de genomgångna SPICE-parametrarna i modellen kallad LEVEL 1:

SPICE-parameter	Betydelse	Enhet
KP	Transkonduktanskoefficient	A/V ²
VT0	Tröskelspänning vid $V_{SB} = 0$ V	V
LAMBDA	Parameter för kanallängdsmodulation	V ⁻¹
GAMMA	Parameter för bodyeffekt	V ^{1/2}
PHI	Ytpotential för inversion = $2\phi_F$	V

Förutom dessa parametrar används också spänningarna i noderna för gate, drain, source och body, samt transistorgeometrierna W och L för att SPICE ska kunna finna drainströmmen.

UPPGIFT 2.1.1:

Som framgår av **Appendix B** räknas en hel del parametrar fram från de värden som man ger till SPICE-verktyget. Om man ger ett värde på GAMMA så kan faktiskt SPICE räkna baklänges och hitta substratdopningen NSUB. Som angavs ovan i ekvationen för GAMMA (γ), så behövs förutom NSUB också COX, samt konstanterna ϵ_{kisel} (där $\epsilon_r = 11,8$ samt $\epsilon_0 = 8,85 \cdot 10^{-12}$ F/m) och q ($1,6 \cdot 10^{-19}$ C).

Gateoxidkapacitansen kan vi räkna fram om vi vet oxidtjockleken t_{ox} (i SPICE kallas den för TOX) och ϵ för kiseldioxid ($\epsilon_r = 3,9$), tack vare uttrycket för en plattkondensator

$$C = \frac{\epsilon}{t}.$$

Eftersom vi väljer att inte ange något värde på oxidens tjocklek kommer SPICE anta det förvalda värdet på 100 nm.

För att få en viss bekantskap med alla parametrar som vi gått igenom, får du nu i uppgift att räkna ut COX samt NSUB för NMOS-transistorn vars modell definieras längre ned på denna sida.

Plats för tankar, resonemang, och resultat:

Transistormodelldefinitioner

För att använda en MOS-transistor i en SPICE-simulering krävs alltså att vi definierar vilken transistormodell samt vilka parametrar vi vill använda. Genom att lägga till en modelldefinition (.MODEL) kan vi sätta upp en modell med önskvärda egenskaper. Det är viktigt att notera att urvalet av transistormodeller som vi kan använda bestäms av det SPICE-verktyg vi använder, eftersom det måste finnas stöd inuti SPICE-programmet för just den typ av modell vi vill välja. Som exempel kan nämnas att LEVEL 1 är en modell som finns implementerad i alla SPICE-verktyg och som man kallar på genom att definiera LEVEL=1 tillsammans med adekvata parametrar.

En typisk LEVEL 1 modelldefinition för NMOS respektive PMOS kan i Hspice se ut som följer:

```
.MODEL N NMOS LEVEL=1 VT0=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7  
.MODEL P PMOS LEVEL=1 VT0=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
```

Vi har enbart valt att definiera de parametrar som påverkar drainströmmen ur ett DC-perspektiv, och av dessa parametrar har vi ännu inte diskuterat beteckningarna N, NMOS, P respektive PMOS. N anger det namn på den valda NMOS-modellen som vi vill använda när vi refererar till modellen från transistordefinitionerna, medan NMOS är en parameter man skickar till SPICE interna modellbibliotek för att tala om att vi vill använda en modell (av LEVEL 1 typ) för just NMOS. Samma förklaring gäller för P och PMOS.

Som vi redan anat efter **Övning 1**, så antar SPICE att vi ger värdet i den grundenhet som är förvalt för parametern när vi inte uttryckligen anger enhet efter ett parametervärde — se tabellen över parametrarna för LEVEL 1 för att se vilka enheter som gäller. Man kan i transistormodelldefinitionerna se att K_P tilldelas ett värde efter vilket det står U, som står för mikro och får till följd att K_P för NMOS:en blir $110 \mu\text{A}/\text{V}^2$. De övriga prefix som är användbara för simuleringar i SPICE är oftast M för milli, N för nano, P för piko respektive F för femto. Vill man använda prefix för stora värden gäller K för kilo respektive MEG för mega. Låt oss särskilt komma ihåg att hålla isär prefixen för milli respektive mega! Man måste placera prefixet precis efter värdet, utan mellanslag, annars kan prefixet få en helt annan betydelse.

Skulle man glömma att tilldela ett värde till en parameter (som finns med i vald LEVEL) kommer den, som sagts tidigare, att få ett förvalt värde. Om man är nyfiken på vilka värden som SPICE har använt i en simulering kan man alltid titta i den fil som utgör en slags logg till simuleringen — i Hspice får denna fil extensionen `.lis`.

Till sist om modeller, de två LEVEL 1 modelldefinitioner som angavs för respektive MOS-transistor är mycket kompakta och genomskinliga. De modeller som idag används för att beskriva MOS-transistorer i avancerade IC-tillverkningsprocesser innehåller hundratals parametrar och då sitter man knappast och matar in parametrarna efter `.MODEL` för hand utan man får dem sig tillsända (av företaget som tillverkar IC-kretsarna, t.ex. STMicroelectronics, TSMC eller UMC) i en större fil som vi kallar Design Kit.

Transistordefinitioner

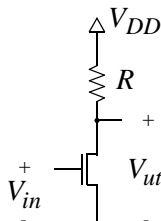
För att bygga en krets behöver vi sätta samman ett antal komponenter i en s.k. nätlista. I Hspice definierar vi en MOS-transistor genom att skriva en rad på följande format:

```
Mxx drainnod gatenod sourcenod bodynod modellnamn L=längd W=bredd
```

där M_{xx} är ett unikt namn (MN1 kan referera till NMOS nr 1), `modellnamn` är namnet på modellen man vill använda (N enligt modelldefinitionerna tidigare), medan w och L är bredden respektive längden på transistorn (i meter!). När det gäller noder kan dessa anges antingen som heltal (1, 2, 3, ...) eller i klartext (IN, UT, CLK, A, B, etc.), bara man ser till att man har unika nodnamn.

2.2. Dimensionering av ett enkelt förstärkarsteg

En målsättning med denna övning är att använda SPICE för att simulera fram den s.k. arbetspunkten för den lilla transistor-krets, som vi sett på de första föreläsningarna, och därefter jämföra det simulerade värdet med framräknade värden.



Innan vi sätter igång med simuleringen ska vi ta och räkna ut vilka förutsättningar som ska råda för att vår förstärkare ska fungera bra.

UPPGIFT 2.2.1:

Du ska dimensionera förstärkarsteget så att NMOS-transistorn befinner sig i sitt mättade område, d.v.s. $V_{DS} \geq V_{GS} - V_T$ eller i just detta CS-steg $V_{ut} \geq V_{in} - V_T$, när insignalen är en sinusignal med amplituden 0,2 V som svänger kring arbetspunkten på 1,2 V.

Du har endast tillgång till ett motstånd på $3,3 \text{ k}\Omega$. Transistorns modellparametrar är som tidigare: $K_P = 110 \mu\text{A}/\text{V}^2$ samt $V_{T0} = 0,7 \text{ V}$, och dessutom är matningsspänningen $V_{DD} = 3,3 \text{ V}$. Vi noterar att transistorns body är kopplad till jord, d.v.s. $V_{SB} = 0 \text{ V}$, vilket är det normala scenariot för NMOS-transistorer i integrerade kretsar: Föreläsning 3 och 8 kommer förklara varför.

Bestäm vilken kvot W/L som är lämplig för att säkerställa att NMOS:en är mättad.

Plats för tankar, resonemang, och resultat:

UPPGIFT 2.2.2:

Du har ovan förhoppningsvis erhållit en olikhet som begränsar transistorns geometriska egenskaper, så att villkoret att NMOS:en är mättad uppfylls. Vi ska nu analysera den frekvensoberoende överföringskaraktistiken för V_{in} till V_{ut}^1 för förstärkarsteget och se vad olikheten innebär för denna karakteristik.

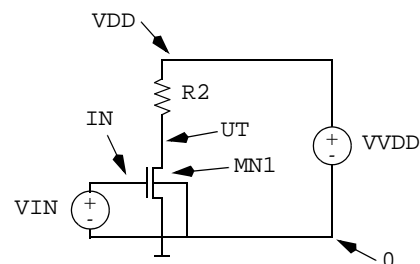
SPICE-koden som följer nedan är ett förslag på en kod som beskriver kretsen till höger, där vi från och med nu använder R_2 som namn på lastresistansen. Kommentar är inlagda löpande i texten, och varje kommentarrad syftar till den tidigare kodraden. På SPICE-vis inleds kommentarer alltid med *.

Med hjälp av koden som följer ska du genomföra två olika simuleringar, där du för enkelhets skull håller L fixerat vid $1 \mu\text{m}$. I den ena simuleringen väljer du en transistorbredd som med god marginal uppfyller villkoret för att NMOS:en ska vara mättad, medan du i den andra väljer en transistorbredd som med god marginal inte uppfyller villkoret.

SIMULERING AV FORSTARKARSTEG

```
.MODEL N NMOS LEVEL=1 VT0=0.7 KP=110U GAMMA=0.4  
+ LAMBDA=0.04 PHI=0.7
```

* I en Hspice-fil kan man bryta en lång rad genom att påbörja nästa rad med ett + följt av mellanslag.



1. På ren svenska: Om man sätter ett visst likspänningsvärde på ingången, vad blir V_{ut} på utgången?

```
.PARAM SUPPLYV=3.3V
.OPTIONS POST

R2 VDD UT 3300
MN1 UT IN 0 0 N W=???U L=1U
* Vi kopplar NMOS:en med nod UT till drain, nod IN till gate, nod 0 till source samt body.
  Notera: Frågetecknen ovan ska förstås inte stå kvar, utan du måste själv ange ett lämpligt värde på W!

VVDD VDD 0 DC SUPPLYV
VIN IN 0 DC SUPPLYV

.DC VIN 0 SUPPLYV 0.1
* Detta är ett spänningssvep: SPICE kommer att genomföra simuleringar för olika värden på VIN (0; 0,1; 0,2; ...; 3,3 V)
  för vilka arbetspunkten kommer att bestämmas. 0.1 representerar spänningsinkrementet i svepet.

.END
```

Din uppgift är att ta reda på vad som sker om man uppfyller respektive inte uppfyller olikheten som du tagit fram i **Uppgift 2.2.1**.

Plats för tankar, resonemang, och resultat:

UPPGIFT 2.2.3:

Nu lägger vi på ytterligare ett krav på vår konstruktion, förutom kravet på att transistorn måste tvingas att arbeta i sitt mättade operationsområde: Du ska nu se till att också spänningsförstärkningen A_v är tillräckligt hög.

Din uppgift är att räkna ut den minsta bredd på NMOS:en som uppfyller kravet på spänningsförstärkningen $|A_v| > 3,5$ i arbetspunkten på 1,2 V på ingången. Du ska vid beräkningen av A_v ta hän-

syn till kanalens s.k. småsignalsresistans, den som under föreläsningarna kallas r_{ut} . Du får emellertid själv välja om du vill ta hänsyn till kanallängdsmodulationen när du räknar ut transkonduktansen g_m .

När du löst problemet, kombinera ditt svar med det från **Uppgift 2.2.1** och välj en transistorbredd i intervallet som skapats av dina svar. Undersök med hjälp av en SPICE-simulering om förstärkningen i arbetspunkten verkligen uppfyller de två krav som ställdes.

Plats för tankar, resonemang, och resultat:

UPPGIFT 2.2.4:

I den avslutande simuleringen är din uppgift att undersöka hur bra ditt förstärkarsteg fungerar när du använder det på riktigt, med en signal som varierar över tiden. För detta ändamål ska du ansluta en sinusvågsspänningskälla på ingången av förstärkarsteget. Du ska undersöka tre olika förstärkaralternativ:

- a) En förstärkare vars transistorbredd ligger inom intervallet du räknat fram,
- b) en förstärkare vars transistorbredd ligger ovanför intervallet, samt
- c) en förstärkare vars transistorbredd ligger under intervallet.

För att simulera en sinusvåg definierar vi en sådan på `VIN` och ger SPICE i uppgift att räkna på spänningar och strömmar under en viss tidsperiod. Vi väljer en sinusvåg belägen vid arbetspunkten 1,2 V, kring vilken den svänger med amplituden 200 mV vid frekvensen 1 MHz. Vi låter simuleringen pågå i 2 μ s.

Ersätt i den tidigare SPICE-koden följande två rader:

```
VIN IN 0 DC SUPPLYV  
.DC VIN 0 SUPPLYV 0.1
```

med

```
VIN IN 0 SIN(1.2 0.2 1MEG)
```

* Sinusvågen enligt **Avsnitt 1.1**.

```
.TRAN 10N 2U
```

* Vi köra en transientsimulering under 2 μ s, med en tidsupplösning på 10 ns eller noggrannare.

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 2 avslutad!

Facit till SPICE-övning 2:

UPPGIFT 2.1.1:

$$COX = 3,45 \cdot 10^{-4} \text{ F/m}^2.$$

$$NSUB = 5,7 \cdot 10^{14} \text{ atomer/cm}^3.$$

UPPGIFT 2.2.1:

$$V_{GS} = 1,4 \text{ V medför att } \frac{W}{L} \leq 29,2 \text{ (med kanallängdsmodulationen } LAMBDA=0.04 \text{ fås } 28,4)$$

$V_{GS} = 1,0 \text{ V medför att } \frac{W}{L} \leq 183 \text{ (med kanallängdsmodulationen } LAMBDA=0.04 \text{ fås } 181)$. Uppenbarligen är detta villkor inte viktigt eftersom olikheten ovan ger ett striktare krav.

UPPGIFT 2.2.3:

För $V_{in} = 1,2 \text{ V}$, arbetspunkten, ska $|A_v| > 3,5$ vara uppfyllt. Detta ger att $\frac{W}{L} \geq 20$ (om man bortser från transkonduktansens beroende på V_{DS}).

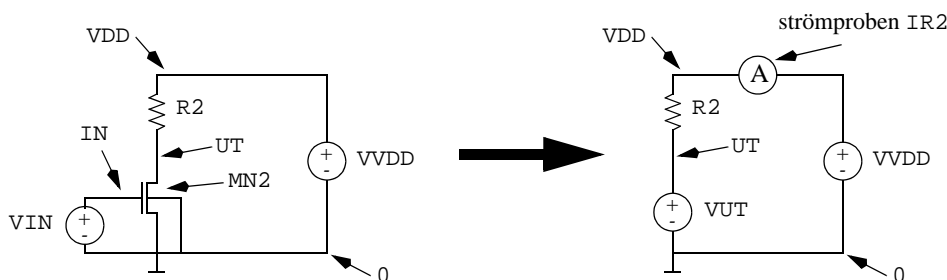
SPICE-övning 3: Förstärkarstegets överföringskaraktistik

Du ska i denna övning få genomföra ett antal simuleringar på enstaka komponenter och sammanfoga data till en överföringskaraktistik för ett förstärkarsteg. I den förra övningen lät vi SPICE hjälpa oss genomföra ett spänningssvep (av inspänningen), för att vi smidigt skulle erhålla en överföringskaraktistik för " V_{in} till V_{ut} ". I denna övning ska vi emellertid fransäga oss automatiken som SPICE erbjuder och ta en närmare titt på hur vi "manuellt" kan skapa en överföringskaraktistik.

Kretsen som vi ska arbeta med är i stort sett densamma som vi använde i **Övning 2**, fast vi använder oss av andra komponentvärden: R2 har nu fått värdet 15 k Ω , medan MN2 har $W = 5 \mu\text{m}$ och $L = 1 \mu\text{m}$. Vidare är det tänkt att denna förstärkare ska ha en arbetspunkt på insignalen på 1,3 V, kring vilken den ska förstärka en inkommande sinussignal, som har amplituden 10 mV.

3.1. Att skapa en belastningslinje för resistansen

För att erhålla en belastningslinje för vår resistans "lyfter" vi ut den senare ur förstärkarsteget. Därefter ansluter vi, till den friställda resistansen, en spänningskälla som kan imitera en utspänning som varierar från 0 V till V_{DD} — denna kallar vi V_{UT} . För att nu kunna se hur resistansen reagerar på olika spänningar infogar vi en Amperemeter (en s.k. strömprob) i serie med spänningskällan V_{VDD} .



Nedan följer ett exempel på SPICE-kod och det mesta ska man känna igen vid det här laget:

```
I-V SIMULERING AV RESISTANS
.PARAM SUPPLYV=3.3V
.OPTIONS POST
R2 VDD UT 15000
VVDD VDD 0 DC SUPPLYV
VUT UT 0 DC SUPPLYV
.DC VUT 0 SUPPLYV 0.1
.PROBE IR2=PAR(' -I(VVDD) ')
* .PROBE talar om för SPICE att vi vill ha data för parametrarna som ges till höger om .PROBE skrivna till utfilen för svepet.
.END
```

Nyheter i koden är infogandet (med hjälp av `.PROBE`) av en speciell strömprob (kallad `IR2`) som jag skrivit på ett speciellt format. Notera att `.PROBE` måste ligga efter `.DC` i SPICE-koden, för att proben ska definieras under simuleringen.

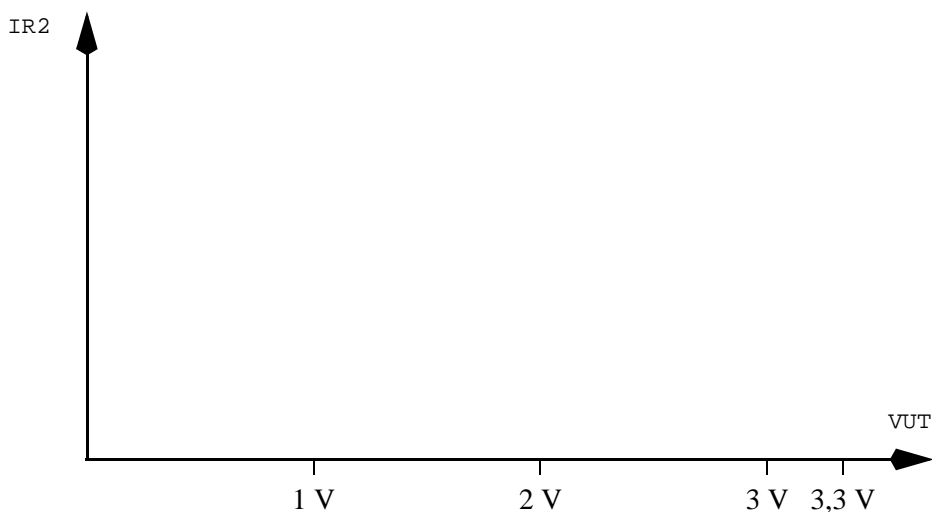
Man skulle kunna skriva `.PROBE IR2=I(VVDD)`, men då hade vi fått ett litet problem med riktningen på strömmen — den hade presenterats som negativ, ty så definieras strömproben för en spänningskälla. Med hjälp av 'algebraiskt uttryck' låter Hspice oss använda oss av enkel algebra inuti nätlistan, och med hjälp av `PAR()` får vi möjlighet att skapa oss en egen typ av prob med en alldeles egen storhet. Vi upptäcker alltså en prob där vi bara bytt tecken på strömmen!

UPPGIFT 3.1.1:

Som resultat av spänningssvepet för resistansen kan du få ut, tack vare visningsprogrammet, en kurva med V_{UT} på x-axeln och I_{R2} på y-axeln, enligt principen vi använde på föreläsningarna om förstärkarsteget. Genomför nu simuleringen för att finna belastningslinjen för resistansen!

(Givetvis ska du återfinna $I_{R2} = \text{SUPPLYV} / R2$ när kurvan skär y-axeln och $V_{UT} = \text{SUPPLYV}$ när kurvan skär x-axeln.)

Plats för tankar, resonemang, och resultat:

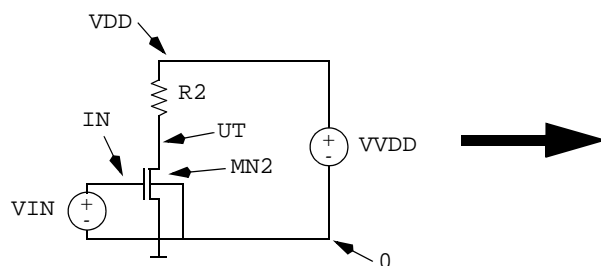


3.2. Att skapa belastningslinjer för NMOS-transistorn

En transistor har ju tre terminaler (om vi undantar body'n) så till skillnad från komponenter med två terminaler finns det i princip ett oändligt antal belastningslinjer, då man för $V_{Source} = 0$ V godtyckligt skulle kunna välja V_{Gate} och V_{Drain} .

UPPGIFT 3.2.1:

Vi vill snart simulera NMOS:en fristående från förstärkarsteget. Vi ska anbringa varierande spänningar till gate respektive drain på en friställd NMOS. Din uppgift är nu att rita ett schema över hur nätlistan i SPICE bör se ut för att kunna genomföra simuleringen (använd gärna schemat i **Avsnitt 3.1** som utgångspunkt för ditt schema).



Ont om plats för tankar, resonemang, och resultat, så rita i ovanstående figur!

För att vi på ett rationellt sätt ska kunna hitta ett användbart urval av belastningslinjer för NMOS:en måste vi göra skillnad på hur vi sveper de två varierande terminalspänningarna. Vi ska snart analysera resistansens belastningslinje i samspel med NMOS:ens belastningslinjer, och för att kunna observera dem i samma figur är det därför naturligt att vi med hög upplösning sveper v_{UT} också för NMOS:en, det vill säga vi sveper dess drainspänning från 0 V till V_{DD} .

Gatespänningen får vi representera med inspänningen v_{IN} och för denna genomför vi ett spännings-svep med grövre upplösning — helt i linje med figurerna över I-V karakteristiker i föreläsningarna om förstärkarsteget. För att nu kunna se hur NMOS:en reagerar på olika spänningar infogar vi en ström-prob i_{N2} i serie med NMOS:ens kanal, mellan den positiva noden av v_{UT} och NMOS:ens drainterminal.

UPPGIFT 3.2.2:

För att genomföra ett spännings-svep med två olika spänningskällor kan man i SPICE bygga upp två svep, som likt en FOR-loop kan ha en inre slinga som ligger innanför en annan, yttre slinga. I följande rad kan man se “ $v1$ start $v1$ slut $v1$ inkr $v1$ ” som den inre slingan, medan “ $v2$ start $v2$ slut $v2$ inkr $v2$ ” är den yttre:

```
.DC V1 startV1 slutV1 inkrV1 V2 startV2 slutV2 inkrV2
```

Precis som i **Övning 2** står $v1$ och $v2$ för spänningskällor, start $v1$ och start $v2$ för startspänningar för svepen, slut $v1$ och slut $v2$ för slutspänningar för svepen, samt inkr $v1$ och inkr $v2$ för spänningsinkrementen.

Din uppgift är att skriva SPICE-koden för nätlistan som avbildar schemat du ritade i **Uppgift 3.2.1**. Använd dig av spänningsinkrementet 0,1 V för v_{UT} respektive 0,5 V för v_{IN} , där v_{IN} bör vara den yttre slingan.

Genomför därefter simuleringen för att finna belastningslinjerna för NMOS-transistorn.

Plats för tankar, resonemang, och resultat:

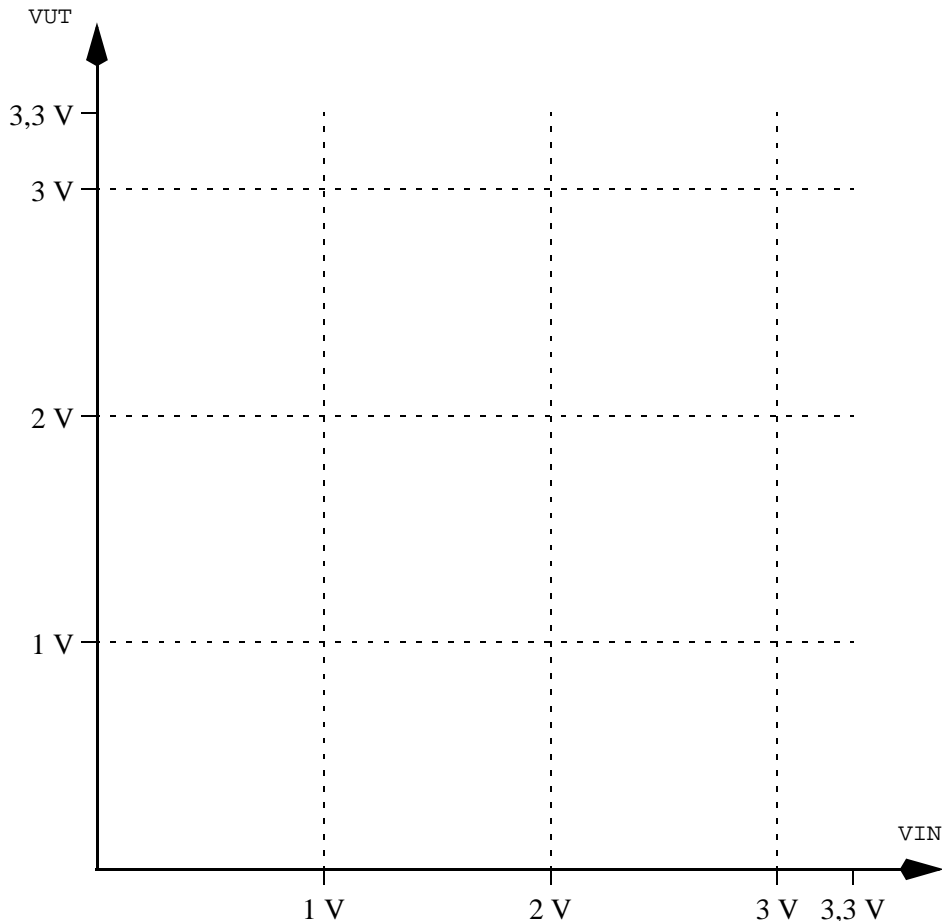
3.3. Att kombinera belastningslinjer till en överföringskaraktistik

UPPGIFT 3.3.1:

Efter att du genomfört simuleringen för att finna belastningslinjerna för NMOS:en, ska du placera belastningslinjerna i samma panel på verktyget som presenterar SPICE utdata för svepen. Din uppgift är att notera skärningspunkterna mellan resistansens belastningslinje och de olika belastningslinjerna från simuleringen av NMOS:en, och därefter markera dessa i nedanstående graf som avbildar V_{IN} på x-axeln och V_{UT} på y-axeln.

Om du tycker att det blir för glesst med punkter i grafen så ska du förfina spänningsinkrementet för svepet på V_{IN} , till kanske 0,1 V. Speciellt är det ju viktigt att man har en hög upplösning på V_{IN} kring arbetspunkten för det är ju där vi vill observera, bland annat, förstärkning och linjaritet. Efter som insignalen kommer vara en 10 mV sinusvåg, kan det därför vara en god idé att minska inkrementet ytterligare (kanske 1 mV?) enbart kring arbetspunkten.

Plats för tankar, resonemang, och resultat:



UPPGIFT 3.3.2:

Den avslutande uppgiften för denna övning är att undersöka förstärkningen i förstärkarsteget.

a) Mät upp förstärkningen i arbetspunkten, vid $V_{in} = 1,3 \text{ V}$, i grafen på föregående sida. Notera samtidigt vilken utspänningsnivå som $V_{in} = 1,3 \text{ V}$ motsvarar.

b) Genomför en SPICE-simulering med en 10 mV sinusvåg, så du kan verifiera att förstärkningen mellan v_{in} och v_{ut} överensstämmer med den du mätt upp grafiskt i uppgift a).

Notera samtidigt den spänningsnivå kring vilken utsignalen slår och kontrollera att denna överensstämmer med uppgift a). Den senare spänningen utgör ju arbetspunkten på utgången.

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 3 avslutad!

Facit till SPICE-övning 3:

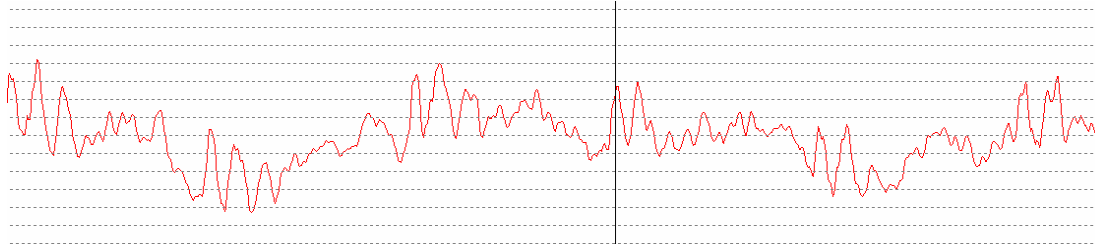
UPPGIFT 3.3.2:

Förstärkningen bör hamna kring -5 gånger med en arbetspunkt kring 1,7 V för utgången.

SPICE-övning 4: Frekvenssegenskaper hos förstärkarsteget

Vi ska nu byta perspektiv. Istället för att studera överföringskaraktistiken hos ett förstärkarsteg ur ett likspännings/strömsperspektiv ska vi nu studera småsignalsegenskaper såsom frekvensberoende¹. Vi har tidigare övat på principer för konstruktion, i den meningen att vi ska förstärka en signal med en viss arbetspunkt och en viss maximal insignalsamplitud. Utgående från detta beslutade vi om dimensionering av transistorn, så att vi uppfyllde kravet på en viss förstärkning.

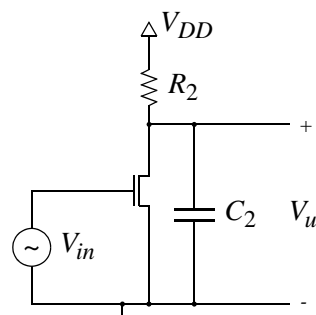
I denna övning kommer vi bland annat att prova med att variera frekvensen hos vår tänkta sinusvåg, för i ett verkligt fall så varierar frekvensen hos signalen över tiden. Ta en titt på musiksnutten (en femtiondels sekund med Stone Temple Pilots) nedan; varken amplitud eller frekvens är konstanta!



4.1. Frekvenssegenskaper hos ett förstärkarstegs utgångskrets

I figuren till höger visas ett enkelt förstärkarsteg som drivs av en ideal spänningskälla, vilket betyder att dess inre resistans är 0 Ohm. Genom att till ingången koppla en ideal spänningskälla kan man säga att vi "kortsluter bort" alla elektriska egenskaper i ingångskretsen, så slipper vi tänka på dessa.

För att få ytterligare fokus på utgångskretsen av förstärkarsteget låter vi C_2 representera en belastande, efterföljande krets. Denna kapacitans kommer ge upphov till frekvensberoende egenskaper och dessa ska vi studera i de närmaste uppgifterna.



UPPGIFT 4.1.1:

Skriv den kompletta SPICE-koden för en transientsimulering av kretsen ovan, givet förutsättningarna nedan:

$W = 50 \mu\text{m}$, $L = 1 \mu\text{m}$ (och samma transistormodell som förut), $R_2 = 75 \text{ k}\Omega$, samt $C_2 = 20 \text{ fF}$. Spänningskällans (V_{in}) arbetspunkt är 0,81 V, kring vilken det svänger en sinusvåg med amplituden 10 mV. Matningsspänningen är precis som förut 3,3 V.

Plats för tankar, resonemang, och resultat:

1. Notera terminologin: Överföringskaraktistiken avslöjar hur V_{ut} beror av V_{in} ur ett likspänningsperspektiv (och visas typiskt i ett x-y diagram), medan överföringsfunktionen säger hur V_{ut} beror av V_{in} ur ett frekvensberoende perspektiv (och visas typiskt som en formel med poler och nollställen).

UPPGIFT 4.1.2:

Simulera SPICE-koden från den förra uppgiften med en insignalfrekvens av

- a) 100 kHz,
- b) 100 MHz, respektive
- c) 200 MHz.

Genomför simuleringarna under fyra perioder (lämpligen med $T = \frac{1}{f}$) och uppmät vilka spän-
ningsförstärkningar som erhålls.

Plats för tankar, resonemang, och resultat:

UPPGIFT 4.1.3:

Rita ett småsignalsschema för kretsen på föregående sida.

Plats för tankar, resonemang, och resultat:

UPPGIFT 4.1.4:

a) Utgående från småsignalsschemat från förra sidan, bestäm ett analytiskt uttryck för förstärkningen $A_v = v_{ut}/v_{in}$. I denna uppgift ska påverkan från kanallängsmodulationen medräknas, så du får vara beredd på en del algebra.

Bestäm det numeriska värdet (med parametrarna i föregående uppgifter) på förstärkningen i:

b) likspänningsfallet.

c) det frekvensberoende fallet när vi använder sinusvågen på 100 kHz.

d) det frekvensberoende fallet när vi använder sinusvågen på 100 MHz.

e) det frekvensberoende fallet när vi använder sinusvågen på 200 MHz.

Plats för tankar, resonemang, och resultat:

UPPGIFT 4.1.5:

Reflektera över hur väl de tre uppmätta förstärkningarna i **Uppgift 4.1.2(a-c)** stämmer överens med de framräknade i **Uppgift 4.1.4(c-e)**.

Plats för tankar, resonemang, och resultat:

UPPGIFT 4.1.6:

Reflektera över skillnaden i förstärkning mellan de fyra fallen; likspänningsfallet och de frekvensberoende fallen när vi använder sinusvågor på 100 kHz, 100 MHz samt 200 MHz.

Med begreppet pol från förstärkarföreläsningarna i åtanke, vad kan man säga om förstärkningen för de fyra olika frekvenserna?

Plats för tankar, resonemang, och resultat:

4.2. Simulering med frekvenssvep — AC-analys

För att konstruktören ska få en tydligare bild av hur kretsar beter sig med avseende på signaler med olika frekvensinnehåll vill man göra simuleringar där frekvensen kan varieras: Vi kallar detta för AC-analys.

Vi låter insignalen fortsätta ha amplituden 10 mV:

```
VIN IN 0 AC SIN(0.81 0.01 100MEG)
```

I raden ovan är det viktigt att vi lagt till termen AC, för SPICE vill att vi explicit anger att det handlar om en AC-spänningskälla när vi gör frekvenssvep. (Valet av frekvensen 100MEG inuti sinusdefinitionen kommer inte spela någon som helst roll när vi genomför svepet över olika frekvenser.)

Vi kan instruera simulatoren att göra en AC-analys för frekvensområdet från 1 Hz (detta är betydelsen av siffran 1 på nästa rad) hela vägen upp till 1 gigahertz (1G):

```
.AC DEC 10 1 1G
```

Siffran 10 anger att vi vill ha 10 simuleringpunkter per dekad (tiopotens av frekvens).

UPPGIFT 4.2.1:

Skriv och simulera SPICE-koden från **Avsnitt 4.1** med uppdateringarna för VIN och .AC.

Plats för tankar, resonemang, och resultat:

UPPGIFT 4.2.2:

Genom att titta på absolutbeloppet av utspänningen, som funktion av frekvens, kan man se ett antal viktiga egenskaper hos vår krets. Studera resultaten från simuleringen ovan och mät upp var den övre gränsfrekvensen är belägen.

Det är lämpligt att använda logaritmisk skala på båda axlarna (förstärkning på y-axeln och frekvens på x-axeln), d.v.s. man skapar ett Bodediagram.

Plats för tankar, resonemang, och resultat:

UPPGIFT 4.2.3:

a) Bestäm kretsens övre gränshfrekvens analytiskt!

I denna uppgift är det klokt att arbeta med grundformen av överföringsfunktionen; den som man får fram efter att ha analyserat småsignalschemat och som i en krets med enbart en pol har följande

typiska utseende:
$$A_v = \frac{A_{v0}}{\left(1 + \frac{j\omega}{\text{pol}}\right)}$$

I detta uttryck representerar A_{v0} förstärkningen $|A_v(\omega)|$ vid låga frekvenser och kallas just därför likspänningsförstärkning.

b) Stämmer den uppmätta övre gränshfrekvensen från **Uppgift 4.2.2** med den man erhåller den analytiska vägen?

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 4 avslutad!

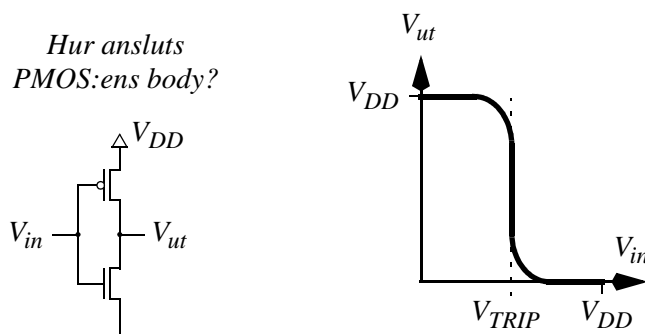
SPICE-övning 5: CMOS-inverteraren

I denna övning ska vi studera överföringskaraktistiken hos en logisk grind i form av en CMOS-inverterare. Vi kommer titta närmare på hur transistorerna samarbetar för att få till stånd ett signalomslag mellan de två logiska nivåerna 0 och 1.

5.1. Överföringskaraktistik för CMOS-inverteraren

Ett praktiskt sätt att sammanfatta många centrala elektriska egenskaper hos den logiska grinden erbjuds av kurvan vi kallar VTC (*Voltage Transfer Characteristic*), och som egentligen representerar samma sak som V_{in} -till- V_{ut} karakteristiken för det analoga förstärkarsteget. En skillnad mellan den digitala och den analoga världen är naturligtvis att vi i den digitala är intresserade av karakteristiken ända från 0 V upp till V_{DD} — d.v.s. vi har ett storsignalsperspektiv, till skillnad från den analoga förstärkaren för vilken vi mest är intresserade av de "små" signalerna. I den digitala världen är CMOS-inverteraren grundbyggblocket och det visar sig ha en extremt hög förstärkning i den spänningsregion där grinden slår om sin utgångs logiska nivå ...

Genom att förstå den mest grundläggande CMOS-grinden erhåller man god förståelse för de elektriska egenskaperna hos övriga, mer komplicerade grindar. En CMOS-inverterare har en omslagspunkt för insignalen som vi kallar för V_{TRIP} — se figuren nedan, med inverteraren till vänster och dess VTC till höger.



När V_{in} passerar V_{TRIP} slår transistorerna om utgången från logisk 1 till 0 eller logisk 0 till 1. Vi tittade som hastigast, under vår första föreläsning på digitala kretsar, på begreppet omslagspunkt. Men då hann vi bara betrakta ett färdigt uttryck för V_{TRIP} . Vi ska nu med hjälp av SPICE lära känna hur inverteraren beter sig när insignalen varieras från 0 V till V_{DD} .

UPPGIFT 5.1.1:

Vi definierar V_{TRIP} som den punkt utefter x-axeln (V_{in}) när maximal ström flyter genom inverteraren, under antagandet att kanallängdsmodulationen kan försummas.

Härled det analytiska uttrycket för V_{TRIP} !

Plats för tankar, resonemang, och resultat:

Du har i tidigare övningar arbetat med överföringskaraktistiker i olika former, så en viss vana och erfarenhet torde ha infunnit sig. Det vore på sin plats att testa om din uträkning av V_{TRIP} stämmer, genom att göra några simuleringar. Under **Övning 2** såg vi följande transistormodelldefinitioner (notera att här antar vi att kanallängdsmodulationen ska räknas med):

```
.MODEL N NMOS LEVEL=1 VT0=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7  
.MODEL P PMOS LEVEL=1 VT0=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
```

Vi har inte haft användning för PMOS-modellen förrän nu; nu när vi ska bygga en CMOS-inverterare.

UPPGIFT 5.1.2:

En CMOS-inverterare med $W_n = W_p = 2 \mu\text{m}$ och $L_n = L_p = 1 \mu\text{m}$ ska simuleras med följande förutsättning: Ingången på inverteraren ska svepas mellan 0 V och 3,3 V, och eftersom inverteraren har en hög förstärkning kring V_{TRIP} motiveras ett mycket litet spänningsinkrement, typiskt 1 mV. Din uppgift är uppdelad i flera moment:

- Du ska först skriva SPICE-koden och sedan genomföra simuleringen,
- du ska grafiskt finna omslagspunkten för V_{in} vid vilken $V_{ut} = V_{DD}/2$, och slutligen,
- du ska grafiskt bestämma lutningen på överföringskaraktistiken vid omslagspunkten.

Plats för tankar, resonemang, och resultat:

UPPGIFT 5.1.3:

Upprepa **Uppgift 5.1.2** fast använd dig nu av en CMOS-inverterare med följande transistorbredd:
 $W_p = 4,4 \mu\text{m}$. För detta fall ska du

- a) finna omslagspunkten för V_{in} vid vilken $V_{ut} = V_{DD}/2$, samt
- b) notera vad lutningen är på överföringskaraktistiken vid omslagspunkten i uppgift a).

Plats för tankar, resonemang, och resultat:

UPPGIFT 5.1.4:

Jämför de resultat du fått med avseende på omslagspunkten för V_{in} vid vilken $V_{ut} = V_{DD}/2$ från
Uppgift 5.1.2 och Uppgift 5.1.3, med V_{TRIP} -uttrycket du tog fram i **Uppgift 5.1.1**.

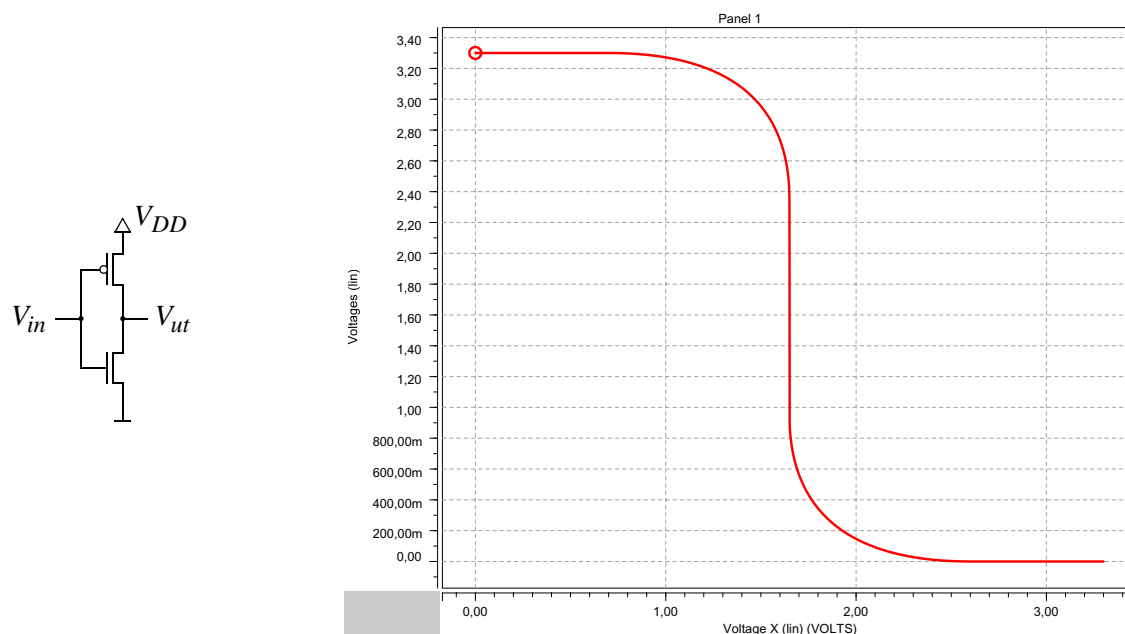
Vad är dina reflektioner; kan man förklara värdena du läser av i graferna med hjälp av det analytiska uttrycket för omslagspunkten?

Plats för tankar, resonemang, och resultat:

5.2. CMOS-inverteraren: Transistorernas operationsområden

Till skillnad mot den analoga förstärkaren, vars transistor alltid befinner sig i sitt mättade operationsområde, passerar de två inverterar-transistorerna genom sina olika operationsområden under tiden ett omslag genomförs på in- och utgång. Beroende på insignalens spänning är NMOS- respektive PMOS-transistorn avstängd, i sitt linjära område eller i sitt mättade område. Låt oss nu studera hur de respektive transistorerna beter sig när vi varierar inspänningen.

Nedan syns resultatet av ett litet simuleringsexperiment för en inverterare med $W_n = 2 \mu\text{m}$ och $W_p = 4,4 \mu\text{m}$, baserad på samma förutsättningar som vid **Uppgift 5.1.2** och **Uppgift 5.1.3** förutom att LAMBDA nu är satt till 0 för att minska algebra-manipulationerna vid den kommande analysen.



Som vanligt för en överföringskaraktistik i dessa SPICE-övningar avläser vi V_{ut} på y-axeln och V_{in} på x-axeln.

För simuleringen ovan ska vi ta reda på när NMOS- och PMOS-transistorerna befinner sig i sina olika operationsområden, så vi lär oss mer om storsignalsbeteenden.

UPPGIFT 5.2.1:

Om vi börjar från vänster, när $V_{in} = 0$, ser vi att NMOS:en måste vara avstängd och att PMOS:en måste vara påkopplad; för hur ska man annars kunna få spänningen V_{DD} på utgången. Vi flyttar nu blicken gradvis åt höger. Så småningom, strax innan V_{in} når 1 V, börjar spänningen på utgången sjunka. Låt oss nu välja $V_{in} = 1$ V som spänningen vi intresserar oss för.

- Bestäm i vilka operationsområden NMOS:en respektive PMOS:en befinner sig när $V_{in} = 1$ V.
- Bestäm analytiskt vilken ström som flyter från matningsspänningen ned till jordterminalen när $V_{in} = 1$ V och ange strömmens numeriska värde.

Plats för tankar, resonemang, och resultat:

UPPGIFT 5.2.2:

Vi fortsätter åt höger! Vid $V_{in} = 1,65$ V händer något speciellt. Vid denna spänning ...

- a)* bestäm i vilka operationsområden NMOS:en respektive PMOS:en befinner sig.
- b)* bestäm analytiskt vilken ström som flyter mellan V_{DD} och jord och ange dess numeriska värde.

Plats för tankar, resonemang, och resultat:

UPPGIFT 5.2.3:

Nu fortsätter vi ännu längre åt höger. Vi når äntligen fram till $V_{in} = 2$ V! Vid denna spänning ...

- a)* bestäm i vilka operationsområden NMOS:en respektive PMOS:en befinner sig.
- b)* bestäm analytiskt vilken ström som flyter från matningsspänning till jord och ange dess numeriska värde.

Plats för tankar, resonemang, och resultat:

UPPGIFT 5.2.4:

Skriv en lämplig SPICE-kod och genomför en simulering för att verifiera dina resultat (vad gäller strömnivåer) från **Uppgift 5.2.1**, **Uppgift 5.2.2**, samt **Uppgift 5.2.3**.

Hur man definierar en strömprob lärde vi oss i **Övning 3**; t.ex. kan man med

```
.PROBE IVDD=PAR( '-I(VVDD) ' )
```

läsa av strömmen som startar i V_{DD} och flyter ned genom PMOS-transistorn.

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 5 avslutad!

Facit till SPICE-övning 5:

UPPGIFT 5.1.1:

$$V_{TRIP} = \frac{V_{DD} - |V_{Tp}| + \sqrt{\frac{k_n}{k_p}} V_{Tn}}{1 + \sqrt{\frac{k_n}{k_p}}}$$

UPPGIFT 5.1.2:

- b) Omslagspunkten för V_{in} där $V_{ut} = V_{DD}/2$ avläses som 1,47 V.
c) Lutningen i omslagspunkten avläses som -52,2.
-

UPPGIFT 5.1.3:

- a) Omslagspunkten för V_{in} där $V_{ut} = V_{DD}/2$ avläses som 1,65 V, d.v.s. vid halva matningsspänningen.
b) Lutningen i omslagspunkten avläses som -50,3.

SPICE-övning 6: Upp- och urladdning i CMOS och grindfördröjning

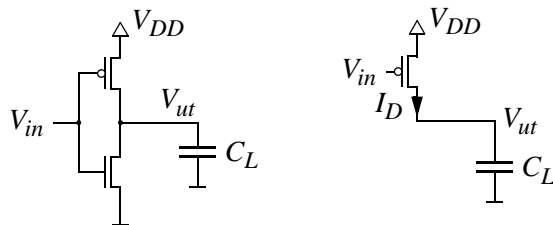
Hur fort en grind slår om bestäms av hur mycket ström som kan forslas in eller ur den kapacitans som hänger på utgången på grinden. Låt oss titta närmare på hur uppladdningen går till (urladdningen förstår man på köpet), hur man kan modellera skeendet och hur detta påverkar grindfördröjningen.

Vi kommer för första gången under övningarna att genomföra transientsimuleringar av “stora signaler” som under tiden för kretsens operation pendlar mellan 0 och V_{DD} . Detta är ju de förutsättningar som logiska grindar opererar vid. I den förra övningen jobbade vi med överföringskarakteristiker, som på ytan verkar utnyttja stora signaler. Märk väl dock att simuleringarna för överföringskarakteristiker inte är transientsimuleringar — de kan knappt kallas simuleringar alls, utan är egentligen ett antal på varandra följande bestämningar av arbetspunkten för olika förutsättningar på terminalspänningar.

6.1. Uppladdning av inverterarutgång givet olika modeller av PMOS:en

Vi ska nu i detalj studera uppladdningsförloppet hos en CMOS-inverterare, som slår om sin utgång från 0 till 1.

Som synes i schemat till höger om inverteraren kan vi bortse från NMOS-transistorn under uppladdningsförloppet, eftersom den är avstängd när insignalen är en logisk 0.



Vilken modell ska vi använda för PMOS-transistorn?

I CMOS-inverteraren ovan antar vi nu att V_{in} hastigt slår om: En logisk puls slår från 1 till 0, vilket leder till att utgångens kapacitans C_L kommer att gå från urladdad (logisk 0) till uppladdad (logisk 1) tack vare strömmen av laddningar som rinner från V_{DD} via PMOS-transistorn ned till C_L .

Det finns emellertid flera mekanismer som hänger ihop och som komplicerar skapandet av en modell som kan beskriva uppladdningen. PMOS-transistorn rör sig mellan sina operationsområden under det att utgången slår från 0 till 1:

1. Till att börja med är PMOS:en mättad, eftersom det initialt ligger en stor spänningen över kanalen.
2. I takt med att strömmen forslar ned laddningar, som fyller upp kapacitansen, höjs spänningen V_{ut} .
3. När spänningen på V_{ut} höjs kan strömmen genom PMOS-transistorn påverkas eftersom dess drain får högre spänning och spänningen över kanalen sjunker: Förr eller senare kommer PMOS:en gå in i sitt linjära operationsområde.
4. Strömmen genom PMOS-transistorn beskrivs nu av den linjära modellen, och i denna modell kompliceras uppladdningen av att strömmen är en funktion av kanalspänningen.

UPPGIFT 6.1.1:

I vilka av de följande tre fallen påverkar spänningen V_{ut} strömmen genom PMOS-transistorn?
Vi har det mättade operationsområdet med kanallängdsmodulation

$$I_D = \frac{k_p}{2} (V_{SG} - |V_{Tp}|)^2 (1 + \lambda_p V_{SD}),$$

det mättade operationsområdet utan kanallängdsmodulation

$$I_D = \frac{k_p}{2} (V_{SG} - |V_{Tp}|)^2.$$

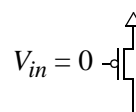
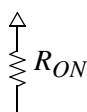
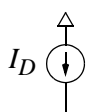
samt det linjära fallet

$$I_D = k_p \left((V_{SG} - |V_{Tp}|) \cdot V_{SD} - \frac{V_{SD}^2}{2} \right)$$

Plats för mycket kort svar:

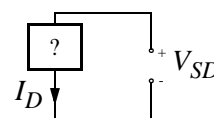
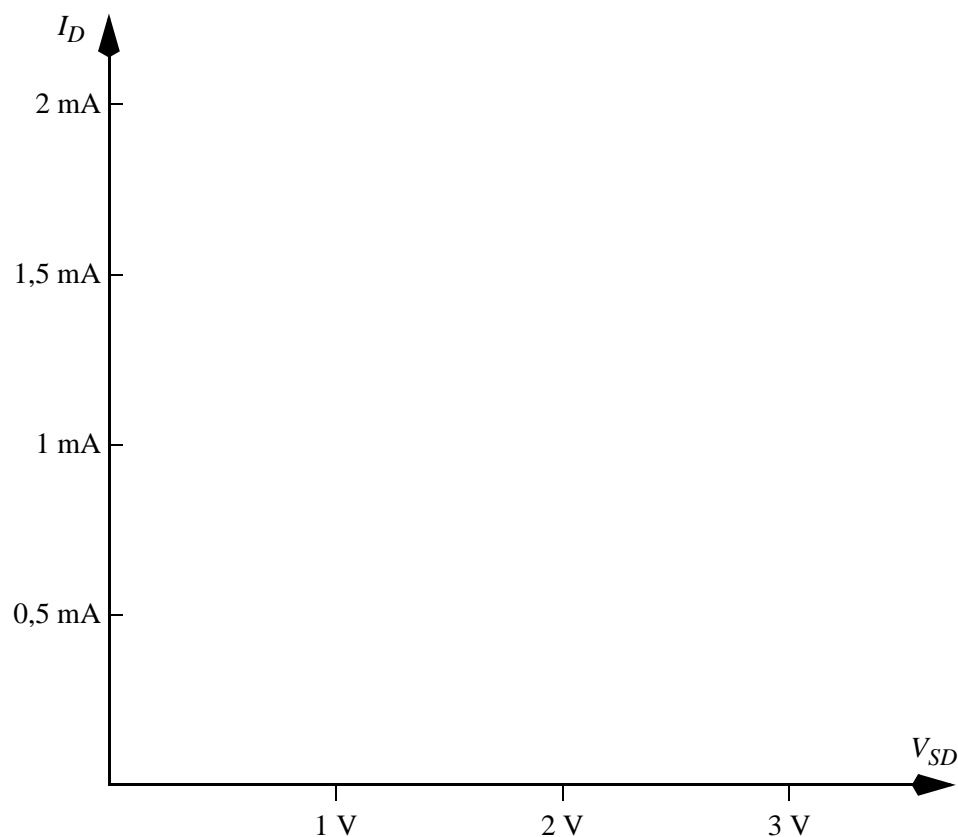
Det finns nu tre olika etablerade sätt att representera en transistor i en grind: De schemakomponenter (modeller) som kan representera en påslagen PMOS-transistor i påslaget läge är ...

- konstantströmkillan (d.v.s. den modell i **Uppgift 6.1.1** som är okänslig för utspänningen),
- den så kallade ON-resistansen (se föreläsningarna på digitala kretsar), samt
- den mest korrekta modellen, nämligen den vanliga LEVEL1 PMOS-modellen vi använt förut:



UPPGIFT 6.1.2:

I **Avsnitt 3.1** ritade vi en belastningslinje, d.v.s. strömmen som funktion av pålagd spänning, för en resistans. Rita nu i grafen nedan belastningslinjen för var och en av de tre schemakomponenterna ovan. (*Tips:* Bestäm först I_D samt R_{ON} för komponenterna ovan, givet parametrarna nedan.)



Vi kallar alltså spänningen som läggs över respektive komponent V_{SD} och den resulterande strömmen I_D — beteckningarna V_{SD} och I_D är inspirerade av faktumet att vi tänker oss att den fysiska komponenten är en PMOS-transistor, men att modellen vi använder för analysen varierar. Följande parametrar gäller: $W = 4,4 \mu\text{m}$, $L = 1 \mu\text{m}$, $V_T = -0,7 \text{ V}$, $\mu C_{ox} = 50 \mu\text{A/V}^2$, $\lambda = 0$ samt $V_{DD} = 3,3 \text{ V}$.

Räkna laddningar - ett mycket användbart knep

Det följande sambandet för elektrisk laddning, $Q = I \cdot t = C \cdot V$, kommer visa sig vara mycket användbart:

- När det gäller $Q = I \cdot t$ står I för en konstant ström av elektroner som förs ned till (och stannar i) en laddningsreservoar (en kapacitans), medan t står för tiden under vilken strömmen flyter. Produkten Q anger hur många de ackumulerade laddningarna är.

För övrigt är $Q = I \cdot t$ rätt likt ett "vardagssamband" som $S = V \cdot T$ där tillryggalagd sträcka är lika med produkten av en konstant hastighet och tiden man rör sig. Men man räknar här meter istället för laddningar/elektroner.

- För $Q = C \cdot V$ bör man snarare tänka som så att en viss laddning Q placerad i kapacitansen C ger upphov till en spänning V , tack vare att ett elektriskt fält uppstår mellan $+Q$ i kapacitansens ena elektrod och dess spegelladdning $-Q$ i den andra elektroden. Detta tillhör ämnet elstatik inom electricitetsläran. Vi kommer i **Övning 7** tillbaka till detta ämne ...

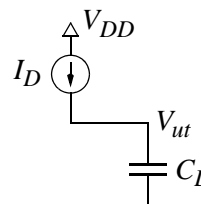
Konstantströmkällan som modell för PMOS-transistorn

Det kan alltså bli ganska komplicerat att räkna på hur strömmen genom PMOS:en ändrar sig över tiden kring ett omslag, eftersom V_{ut} ökar tack vare ansamlingen av laddningar på C_L . Låt oss därför börja med att studera den förenklade konstantströmkällan i våra två nästa uppgifter.

UPPGIFT 6.1.3:

Vi studerar kretsen till höger, med de förutsättningar som gavs i **Uppgift 6.1.2** samt $C_L = 20$ fF.

- Bestäm analytiskt V_{ut} som funktion av tiden.
- Bestäm utgångens stigtiden analytiskt och numeriskt: Vi räknar nu stigtiden från $t = 0$ till dess V_{ut} nått 90% av sin slutnivå på 3,3 V.
- Utnyttja uppgift a) för att rita ett diagram över utgångens uppladdning, V_{ut} , från 0 V till V_{DD} .
- Mät stigtiden (0%-90%) i diagrammet. Hur är överensstämmelsen med uppgift b)?
- Beskriv, så gott det går, hur kurvan för V_{ut} ser ut. (Är den kvadratisk, linjär eller har den någon annan skojig form? Varför ser den ut som den gör?)



Plats för tankar, resonemang, och resultat:

Vi fortsätter nu studiet av uppladdningen av en kapacitans som i startläget ($t = 0$) är tom på laddning. Fast nu ska vi tillgripa SPICE-simulering.

I den förra uppgiften analyserade vi en PMOS-transistor, som under hela uppladdningstiden befann sig i sitt mättade läge och dessutom hade ett LAMBDA som var 0. Denna schablonisering, kallad konstantströmkällan, gjorde det enklare att räkna "manuellt" på uppladdningen.

UPPGIFT 6.1.4:

Vi ska simulera kretsen från **Uppgift 6.1.3** med hjälp av transientanalys.

Själva kärnan av SPICE-koden kan t.ex. se ut så här:

```
.PARAM SUPPLYV=3.3V WP=4.4U LP=1U KP=50U VT0=0.7  
+ LADDTID=? ?
```

* Notera: Ange som LADDTID den tid det tar att ladda utgången ända upp till matningsspänningen. Mät i diagrammet i **Uppgift 6.1.2(c)** eller räkna analytiskt, likt **Uppgift 6.1.2(b)**.

```
.OPTIONS POST  
.IC V(UT)=0
```

* IC betyder Initial Condition och denna rad ser till så att utsignalsnoden håller 0 V när simuleringen startas i $t = 0$. Att vi använder .IC föranleds av att vi inte har någon NMOS-transistor som ser till att dra ned utspänningen. Därför vill vi garantera att utsignalen startar med 0 V. **Notera** att man måste ange UIC (User Initialized Conditions) i slutet av raden med .TRAN för att .IC ska ha någon effekt.

```
CL UT 0 20F
```

```
VVDD VDD 0 DC SUPPLYV
```

```
IP VDD UT PULSE(0 '0.5*KP*WP/LP*(SUPPLYV-VT0)*(SUPPLYV-VT0)'  
+ 0 1P 1P LADDTID 200P)
```

* Vi använder en strömkälla som liknar den vi utnyttjade i **Avsnitt 1.4**. Till skillnad mot då, vill vi nu kunna slå av strömkällan så den enbart är inkopplad under den tid vi räknat fram som uppladdningstiden (annars höjer den spänningen över V_{DD}). Just därför använder vi en källa av typen PULSE. Den konstanta mättnadsströmmen kopplas in i $t = 0$ och fortsätter sedan flyta under den tid du räknat fram tidigare.

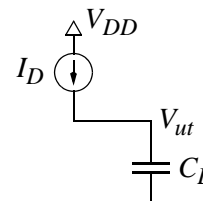
```
.TRAN 0.01P 200P UIC
```

```
.PROBE IVDD=PAR(' -I(VVDD)')
```

a) Färdigställ SPICE-koden ovan och genomför simuleringen.

b) Beskriv uppladdningsförloppet av V_{ut} . Stämmer detta överens med resultatet från **Uppgift 6.1.3**?

c) Proben $IVDD$ anger vilken ström som dras från matningsspänningen. Beskriv hur $IVDD$ förändrar sig under uppladdningen.



Plats för tankar, resonemang, och resultat:

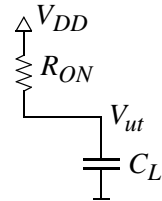
ON-resistans som modell för PMOS-transistorn

Vi ska nu studera vad som händer om vi ändrar modellen av vår PMOS-transistor till en ON-resistans. Detta är en mycket relevant studie ur synvinkeln digital konstruktion, eftersom ett etablerat sätt att analysera fördröjning i digitala kretsar baseras på att ON-resistansen modellerar transistorkanaler; se föreläsningarna på digitala kretsar.

UPPGIFT 6.1.5:

Vi studerar nu kretsen till höger, med de förutsättningar som gavs i **Uppgift 6.1.2** samt $C_L = 20$ fF.

- Bestäm analytiskt V_{ut} som funktion av tiden.
- Bestäm utgångens stigtiden (0%-90%) analytiskt och numeriskt.
- Utnyttja uppgift a) för att rita ett diagram över utgångens uppladdning, V_{ut} , från 0 V till V_{DD} .
- Mät stigtiden (0%-90%) i diagrammet. Hur är överensstämmelsen med uppgift b)?
- Beskriv, så gott det går, hur kurvan för V_{ut} ser ut. (Är den kvadratisk, linjär eller har den någon annan skojig form? Varför ser den ut som den gör?)



Plats för tankar, resonemang, och resultat:

Nu är det dags att låta en SPICE-simulering bekräfta (eller vederlägga) våra analyser i **Uppgift 6.1.5**.

UPPGIFT 6.1.6:

a) Genomför en simulering av kretsen till höger. Ett förslag på SPICE-kod:

```
.PARAM SUPPLYV=3.3V ONRESISTANS=??
```

* Notera: Ange som ONRESISTANS det värde du räknat fram i **Uppgift 6.1.2**.

```
.OPTIONS POST
```

```
.IC V(UT)=0
```

* Vi bör fortsätta använda IC för att vara på den säkra sidan. I denna simulering har vi ingen PULSE, utan vår kapacitans kommer börja laddas upp från det ögonblick då simuleringen startar, i $t = 0$.

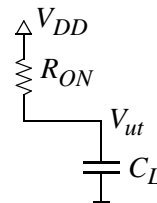
```
RON VDD UT ONRESISTANS
```

```
CL UT 0 20F
```

```
VVDD VDD 0 DC SUPPLYV
```

```
.TRAN 0.01P 200P UIC
```

```
.PROBE IVDD=PAR( '-I(VVDD)' )
```



b) Beskriv uppladdningsförloppet av V_{ut} . Stämmer detta överens med resultatet från **Uppgift 6.1.5**?

c) Beskriv hur strömmen I_{VDD} förändras under uppladdningen.

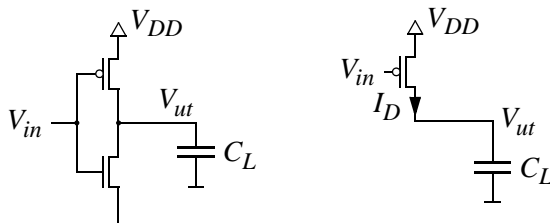
Plats för tankar, resonemang, och resultat:

En noggrann modell för PMOS-transistorn

Vi har ännu inte simulerat det fall som vi ursprungligen studerade; det fall för vilket vi letat efter modellapproximationer. Skälet till “omvägarna” med konstantströmkälla och ON-resistans var ju att det är komplicerat att räkna analytiskt på den riktiga PMOS:ens uppladdning av C_L , men för simulatoren är PMOS:ens övergång mellan operationsområden sannerligen inget stort problem.

UPPGIFT 6.1.7:

a) Skriv SPICE-koden för den högra kretsen nedan och genomför en simulering där du utnyttjar vår riktiga PMOS-modell; givetvis fortfarande med LAMBDA satt till 0.



Vad gäller spänningen V_{in} kan du använda

```
VIN IN 0 DC 0
```

och precis som förut låta uppladdningen påbörjas i $t = 0$, simuleringstarten.

b) Jämför stigtiderna (0%-90%) för utgångarna i de tre respektive fallen och kommentera skillnaderna.

Plats för tankar, resonemang, och resultat:

Det är viktigt att notera att den stigtid som vi studerat i denna övning direkt kommer ha en påverkan på grindfördröjningen: Grindfördröjning definieras normalt som tiden mellan att insignalens signalflank passerar 50% av matningsspänningen och att utsignalens signalflank passerar 50% av matningsspänningen.

I våra analyser och simuleringar har vi nu antagit att insignalen var en ideal fyrkantvåg, d.v.s. att insignalen passerar sin 50%-nivå blixtnabbt, i $t = 0$. Stigtiden på utsignalen har mätts mellan $t = 0$ och tiden då $V_{ut} = 0,9 V_{DD}$, medan fördröjningen (för stigande flank) skulle ha mätts mellan $t = 0$ och tiden då $V_{ut} = 0,5 V_{DD}$.

UPPGIFT 6.1.8:

Vi ska med denna uppgift avsluta studien av de tre varianterna av modellering av PMOS:en för ett uppladdningsförlopp i en inverterare. Vi ska försöka gå till botten med varför konstantströmkällemodellen, ON-resistansmodellen och den äkta PMOS-modellen ger så olika resultat vad gäller stigtiden på utgången.

a) Samla vågformerna för utspänningen V_{ut} från konstantströmkällemodellen (**Uppgift 6.1.4**), ON-resistansmodellen (**Uppgift 6.1.6**) och den verkliga PMOS:en (**Uppgift 6.1.7**) i en panel på visningsverktyget. Samla på samma sätt de tre vågformerna för uppladdningströmmen I_{VDD} i en annan panel.

Skriv ut båda panelernas vågformer och studera sambandet mellan V_{ut} och I_{VDD} för respektive modell.

b) Givet vågformerna ovan och kurvorna du ritat i **Uppgift 6.1.2**, reflektera en stund kring varför den äkta modellen pekar på en längre stigtid än de andra två. Vad ligger bakom skillnaderna i stigtid?

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 6 avslutad!

SPICE-övning 7: Energi och effekt

Vi har framförallt haft grindfördröjningar i tankarna när vi analyserat och simulerat uppladdningsförloppet i **Övning 6**. För dem av oss som inte kan få nog av fördröjningar är det positivt att vi även i nästa övning, **Övning 8**, kommer att uppehålla oss kring begreppet grindfördröjning. Men nu ska vi ägna denna övning åt effekt (som vi kallar P) och energi (som vi kallar E).

När man konstruerar elektronik har man en lista av krav som ska uppfyllas. Nummer 1 på kravlistan, och detta är ett oeftergivligt krav, är att funktionen (logiskt sett) är korrekt, d.v.s. man måste ha satt ihop rätt grindar på rätt sätt, så att det Booleska uttrycket från ursprungsspecifikationen verkligen är det man implementerat. Men sedan följer andra parametrar¹ som ...

- hastighet i form av klockfrekvens (sätts av inversen av den längsta fördröjningen mellan två vippor i ett system — denna fördröjning kallas även den kritiska vägen) och hastighet i form av latens (den längsta tiden det tar att genomföra en beräkning, d.v.s. produkten av antalet klockcykler och klockperioden). Om man inte hinner klart en beräkning för att klockfrekvensen är för låg (att grindfördröjningen är för hög) då kommer man någonstans i systemet få ett felaktigt logiskt värde och därför påverkar fördröjningar funktionaliteten.
- momentan effektutveckling. Om effekten i ett givet ögonblick är för hög, vilket kommer sig av att det dras för mycket ström vid ett givet V_{DD} , kan transistorer och ledningar gå sönder.
- medeleffekt alternativt energi. Om medeleffekten (energi dividerad med tidsperiod) över en viss tid och med en viss beräkningsbelastning är för hög, då blir elektroniken varm (och värme kan vara svår och dyr att få bort) och den bärbara prylens batterier töms irriterande snabbt.

Medeleffekt (som är ett medelvärde av momentan effekt för en viss tid, och alltså är en konstant) och energi hör alltså intimt ihop som $E = P \cdot t$: Om man kollar på en TV som drar 110 W, under fyra timmar per dag, får vi en årlig energiåtgång² på $E = 110 \cdot 4 \cdot 365 = 161$ kilowattimmar.

Dessutom hänger effekt ihop med spänning och ström genom $P = I \cdot V$. Ett vanligt räkneexempel för denna del av "vardagselektroniken" innefattar på nytt glödlampan: Har vi en 40 W lampa inkopplad i vägguttaget (med 230 V) drar lampan 174 mA ty $I = P/V$.

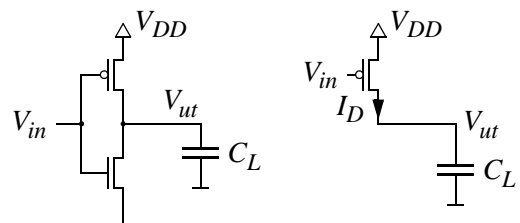
7.1. Effektutveckling och energiåtgång i en CMOS-inverterare

Vi har mött sambandet mellan kapacitans, laddning och spänning: $Q = C \cdot V$. Uttrycket är egentligen inte särskilt komplicerat som formel, men storheter som laddning och kapacitans är abstrakta för oss människor. Sambandet visar sig vara en grundbult i förståelsen för varför vi tvingas ha fläktar monterade över våra processorer. Vi ska emellertid först studera laddningar ...

UPPGIFT 7.1.1:

Överst på nästa sida syns en graf över uppladdningsströmmen I_D [A] genom en PMOS, som funktion av tiden [s].

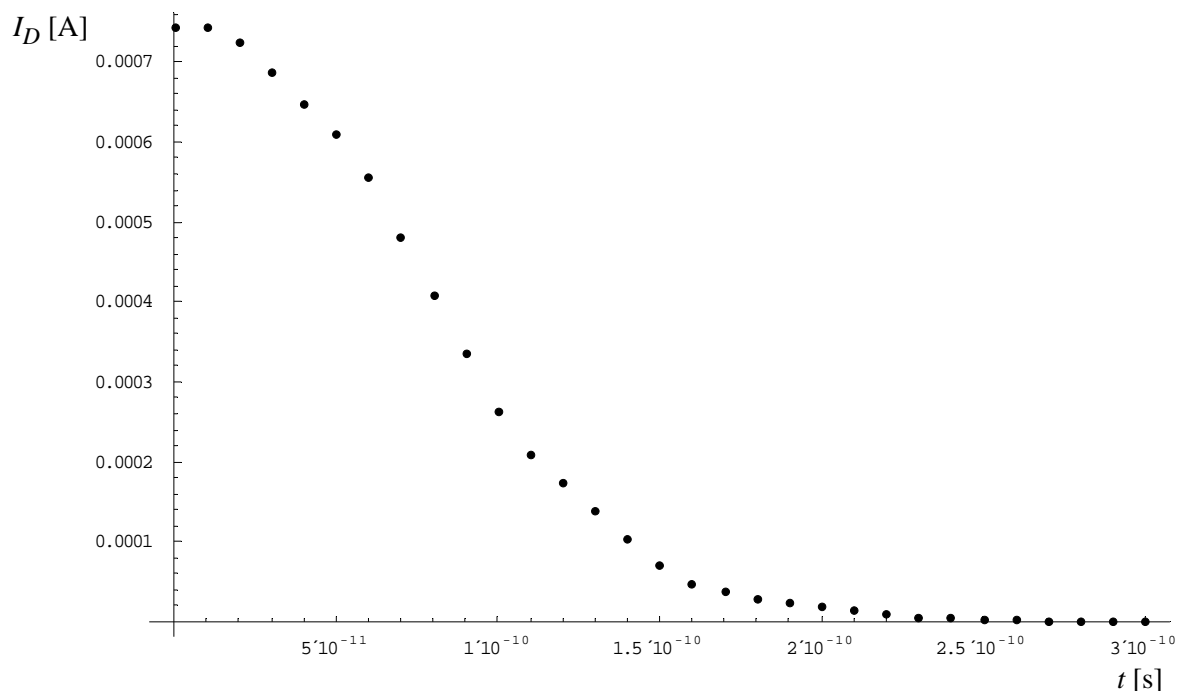
Kretsen som simulerats återfinns till höger och den torde vara bekant vid det här laget.



1. Man kallar dessa för icke-funktionella parametrar. Logiskt.
2. TVn värmer ju huset, så argumentet att man i Sverige sparar energi genom att gå över till lågenergiprodukten äger bara sin riktighet under sommaren.

Mät punkterna från simuleringen är placerade med ett avstånd på 10 ps så det finns inalles 31 stycken punkter och 30 tidsintervall nedan. Simuleringen baseras på följande parametrar:

$W = 4,4 \mu\text{m}$, $L = 1 \mu\text{m}$, $V_T = -0,7 \text{ V}$, $\mu C_{\text{ox}} = 50 \mu\text{A/V}^2$, $\lambda = 0$, $C_L = 20 \text{ fF}$, samt $V_{DD} = 3,3 \text{ V}$.



a) Bestäm utifrån linjalmätning i grafen ovan ett approximativt värde på laddningen Q som flyttats från batteriet när tiden nått 300 ps.

b) Bestäm analytiskt värdet på laddningen Q på en kapacitans C_L uppladdad till V_{DD} . Hur väl stämmer det du räknar fram, med det du mäter i grafen ovan?

Som vi såg på den förra sidan så gäller att energin är $E = P \cdot t$ och att effekten i sin tur är $P = I \cdot V$. Sätter vi samman dessa får vi $E = I \cdot V \cdot t$, och med kunskap om att $Q = I \cdot t$, får vi därför $E = Q \cdot V$.

c) Bestäm den elektriska energin som försvunnit från batteriet när tiden nått 300 ps.

Plats för tankar, resonemang, och resultat:

UPPGIFT 7.1.2:

Vi ska nu simulera i stort sett samma krets som i **Uppgift 7.1.1**, fast vi ska nu testa en PMOS-transistor vars bredd vi ökat till $W = 8,8 \mu\text{m}$ för att öka dess snabbhet. Att ha flera olika "styrkor" på grindar är vanligt när man konstruerar. Märker man att logiken man bygger är för långsam kan man ofta få upp hastigheten genom att byta sin nuvarande grind mot en kraftigare, d.v.s. en grind med bredare transistorer.

SPICE-koden du skriver kommer naturligtvis ha mycket stora likheter med den i **Uppgift 6.1.7**. Skriv om koden där så behövs och genomför simuleringen.

a) Bestäm ett approximativt värde på laddningen Q som flyttats från batteriet när uppladdningen av V_{ut} till V_{DD} är utförd. Antingen gör du en utskrift och mäter direkt i grafen, eller så använder du den inbyggda mätmetoden i visningsverktyget.

b) Reflektera över värdet från uppgift a) och dess storlek i jämförelse med **Uppgift 7.1.1(a)** och **b)**.

c) Bestäm den elektriska energin som försvunnit från batteriet när uppladdningen av V_{ut} till V_{DD} är utförd. Vad kan man säga om dess storlek i jämförelse med **Uppgift 7.1.1(c)**?

Plats för tankar, resonemang, och resultat:

UPPGIFT 7.1.3:

Genomför även simuleringen av uppladdningen när $W = 4,4 \mu\text{m}$. Se till att båda simuleringarna utnyttjar strömpröben `.PROBE IVDD=PAR('-I(VVDD) ')` från **Övning 7**.

Placera vågformerna för uppladdningsströmmen I_{VDD} som funktion av tiden, dels för $W = 4,4 \mu\text{m}$ och dels för $W = 8,8 \mu\text{m}$, i samma panel och studera skillnaderna mellan uppladdningsförloppen.

Plats för tankar, resonemang, och resultat:

Vilken energi lagras på en kapacitans?

Vi har studerat vilken elektrisk energi som dras från batteriet under uppladdningen. Nu ska vi kolla vilken elektrisk energi som lagras upp i kapacitansen i vår krets.

I takt med att vår kapacitans C_L går från helt oladdad till fulladdad, ökar gradvis arbetet för vårt batteri (energin) att "trycka" in en laddning på kapacitansen. Tänk dig ett japanskt tunnelbanetåg ökänt för hur välpackade passagerarna blir — ju närmare fullsatt tåget blir, desto mer energi tar det av inkastarna på perrongen att trycka in en passagerare. Man kan uttrycka energin som lagras upp på kapacitansen som en integral:

$$E = \frac{1}{C_L} \int_0^Q q \, dq = \frac{Q^2}{2C_L}.$$

Eftersom vi vet att $Q = C_L \cdot V_{DD}$ i vår krets så vi kan skriva om uttrycket som

$$E = \frac{Q^2}{2C_L} = \frac{(C_L \cdot V_{DD})^2}{2C_L} = \frac{1}{2} C_L \cdot V_{DD}^2.$$

UPPGIFT 7.1.4:

Jämför energin som dras från batteriet med energin som lagras på kapacitansen. Vad drar du för slutsatser?

Plats för tankar, resonemang, och resultat:

Energiåtgång och effektutveckling i CMOS

Vi har tagit reda på energin som dras lagras på C_L efter att uppladdningen var klar. När vi låter tiden fortsätta och så småningom NMOS-transistorn laddat ur C_L , då har inverteraren fullföljt sin cykel av uppladdning och urladdning. Resultatet är då att all elektrisk energi som drogs från V_{DD} har omvandlats till värme, via resistiva förluster i transistorerna.

I kurser som Digital- och datorteknik lär vi oss att datasignaler slår om maximalt en gång per klockcykel (flanktriggade vippor!), medan klockan slår om två gånger. Nu tänker vi oss datasignaler: En uppladdning sker alltså i en klockcykel, medan en urladdning tidigast kan ske i nästa cykel — en klockcykel (klockperiod) är T sekunder lång.

Effektutvecklingen hänger ihop med energi genom $E = P \cdot t$ och tiden brukar i digitala system kopplas samman med klockfrekvensen. Anta att vi har en grind vars utgång växlar logiskt värde varje klockcykel: Eftersom det åtgår två klockcykler för att föra energin från V_{DD} till jord får man

$$P = \frac{E}{2T} = \frac{C_L \cdot V_{DD}^2}{2T}.$$

Klockperioden och klockfrekvens hänger ihop genom $f = 1/T$, vilket ger ett ofta använt uttryck för effektutveckling:

$$P = \frac{1}{2} \cdot f \cdot C_L \cdot V_{DD}^2.$$

UPPGIFT 7.1.5:

Låt oss anta att våra simulerade kretsar i **Uppgift 7.1.1** och **Uppgift 7.1.2** i sitter i en större systemkrets där de utför dataoperationer. Klockfrekvensen visar sig vara 1 GHz.

a) Givet energin som drogs från batteriet av kretsen i **Uppgift 7.1.1**, vilken effekt dras av denna krets om vi räknar över två klockperioder (vid 1 GHz)?

b) Givet energin som drogs från batteriet av kretsen i **Uppgift 7.1.2**, vilken effekt dras av denna krets om vi räknar över två klockperioder (vid 1 GHz)?

Låt oss istället anta att våra simulerade kretsar sitter på olika platser på vår IC-krets. I och med att CMOS-inverterarna som de motsvarar har transistorer med olika bredd — inte bara PMOS:ens bredd i **Uppgift 7.1.2** är dubbelt så stor som i **Uppgift 7.1.1**, utan underförstått är även NMOS:ens bredd dubbelt så stor — får kretsarna olika fördröjning.

Vi nu låter de två kretsarna arbeta vid respektive maximal klockfrekvens, där vi definierar maximal klockfrekvens som inversen av tiden som råder när V_{ut} laddats upp till 3,25 V.

c) Vilken effekt dras av kretsen i **Uppgift 7.1.1** över två klockperioder vid maxhastigheten?

d) Vilken effekt dras av kretsen i **Uppgift 7.1.2** över två klockperioder vid maxhastigheten?

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 7 avslutad!

SPICE-övning 8: Inverkan av belastande kapacitanser

Det finns flera elektriska egenskaper hos logiska grindar som är viktiga för den övergripande prestandan hos ett elektroniskt system. Vi urskiljer egentligen tre olika kategorier av egenskaper: de som har med timing (t.ex. fördröjning) att göra, de som har med effektutveckling (t.ex. omslagseffekt) att göra, och de som har med robusthet (t.ex. brusmarginal) att göra.

Den mest centrala elektriska egenskapen återfinns i hur man dimensionerar för stig- och falltider, eftersom denna påverkar såväl grindfördröjningar, effektutveckling och robusthet. När vi undersöker timing-relaterade frågor kommer vi att studera en beståndsdel vi inte tittat så noga på under tidigare övningar, nämligen kapacitanserna i MOS-transistorerna.

8.1. Fördröjning och stig- och falltider hos CMOS-inverteraren

Här kommer ett exempel på SPICE-kod för en transientsimulering av en CMOS-inverterare, där vi är ute efter att bestämma stig- och falltider på inverterarens utgång:

```
.MODEL N NMOS LEVEL=1 VT0=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7  
.MODEL P PMOS LEVEL=1 VT0=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
```

```
.PARAM SUPPLYV=3.3V TD=50P TRF=5P TP=200P
```

* Vi har lagt till parameterar för TD (tid från $t = 0$ s tills logikpuls startar), TRF (stigtid = falltid), samt TP (periodtid för pulsen).

```
.OPTIONS CAPTAB POST
```

* Vi har lagt till CAPTAB, vilken ser till att vi får kapacitansvärdena i arbetspunkten utskrivna.

```
MP1 UT IN VDD VDD P W=4.4U L=1U
```

```
MN1 UT IN 0 0 N W=2U L=1U
```

```
VVDD VDD 0 DC SUPPLYV
```

```
VIN IN 0 PULSE(0 SUPPLYV TD TRF TRF 'TP/2-TRF' TP)
```

* Vi beskriver spänningskällan för digitala signaler redan i **Övning 1**.

```
.TRAN 0.01P TP
```

* Vi simulerar under en hel periodtid och hinner därför med att se både stigande och fallande flanker.

UPPGIFT 8.1.1:

Du ska nu simulera CMOS-inverteraren för en logisk puls som först slår från 0 till 1 och därefter 1 till 0 under simuleringsförloppet, genom att använda koden angiven ovan. Dina uppgifter är att ...

- bestämma fördröjningen (50% av V_{DD} på V_{in} \rightarrow 50% av V_{DD} på V_{ut}) hos inverteraren.
- bestämma stigtid (10% \rightarrow 90% av V_{DD}) respektive falltid (90% \rightarrow 10% av V_{DD}) hos utsignalen.

När vi transientsimulerar en CMOS-grind låter vi först SPICE ta reda på, utifrån pålagda spänningskällor, vilken arbetspunkt (vad gäller ström och spänning) vi får vid $t = 0$ och vilka kapacitansvärden som gäller. Därefter sätter SPICE igång att variera insignalerna vi angivit, t.ex. en logiknivå från 0 till 1, följt av 1 till 0, under det att tiden rör sig framåt. Detta pågår tills vi nått slutet på simuleringstiden som anges på raden med `.TRAN`.

- Ta reda på kapacitansen på ingång respektive utgång hos inverteraren, lämpligen genom att studera logginformationen (leta efter rubriken "nodal capacitance table").

Reflektera en stund över värdena du får fram. Verkar de rimliga?

Plats (på nästa sida) för tankar, resonemang, och resultat:

Alla de transientersimuleringar vi genomfört hittills (såväl **Uppgift 8.1.1** som alla i **Övning 6** och **Övning 7**) är “skott från höften”, i den meningen att vi egentligen inte tagit reda på hur SPICE i detalj modellerar och simulerar de transienta beteendena. Att få en stigtid kring 1 ps (fick du inte det i **Uppgift 8.1.1**?) borde vara praktiskt sett omöjligt, med tanke på att vi använder 1 μm långa transistorer¹.

Källan till våra underliga resultat är inte främst kopplad till strömekvationerna för MOS-kanalen, utan den står istället att finna i de dynamiska beteenden som är kopplade till kapacitanserna. I föreläsningarna på de digitala kretsarna tar vi upp MOS-transistorn och dess parasitiska egenskaper. Här nämns två kategorier av transistorkapacitanser: de kapacitanser som har sitt ursprung i gateoxiden och de som har sitt ursprung i diffusionsområdena vid source samt drain.

8.2. Modellerung av transistorkapacitanser — gateoxiden

De kapacitanser som har med gateoxiden att göra brukar vi på ett mycket förenklat sätt modellera som:

Operationsområde	C_{GB}	C_{GS}	C_{GD}
Cut-off	$C_{ox} W L$	0	0
Linjär	0	$1/2 C_{ox} W L$	$1/2 C_{ox} W L$
Mättad	0	$2/3 C_{ox} W L$	0

I princip ligger dessa definitioner till grund för hur SPICE arbetar med kapacitanser, fast naturligtvis är SPICE-modellerna mer utvecklade (invecklade!). Bland de saker som måste tillkomma i kapacitansuttrycken är spänningsberoenden.

UPPGIFT 8.2.1:

Rita ett kretsschema för en CMOS-inverterare och markera tydligt ut de transistorkapacitanser som har med gateoxiden att göra. Du ska titta på två olika fall:

a) Rita ett inverterarschema med kapacitanser, givet en logisk 0 på ingången. Ange om transistorerna är i cut-off, linjära området eller mättade området.

b) Rita ett inverterarschema med kapacitanser, givet en logisk 1 på ingången. Ange om transistorerna är i cut-off, linjära området eller mättade området.

1. Vi kan vänta oss fördröjningar kring knappt 10 ps för lätt belastade inverterare i dagens avancerade 65-nm IC-processer och den fördröjning vi fick i **Uppgift 8.1.1** är troligen lägre än så, vilket är absurt.

Plats för tankar, resonemang, och resultat:

Utöver de tre kapacitanser som listades i tabellen på förra sidan finns det dessutom några kapacitanser som kommer sig av överlapp mellan diffusionsområdena och gateoxiden, men dessa är relativt konstanta med terminalspänningarna på MOS-transistorn. Vi kommer enbart ta hänsyn till dessa i **Övning 11**, då de p.g.a. Millereffekten är viktiga för högfrekvensegenskaperna hos en förstärkare!

Nu tillhör det alltså inte denna kurs att i detalj gå igenom SPICE alla olika kapacitansmodeller som utgår från gateterminalen, men vi ska bara helt kort gå igenom de förhållanden som gäller för $V_{in} = 0$ till inverteraren. Skälet är förstås att du just i **Uppgift 8.1.1** blev tillsagd att studera kapacitansen på ingången och utgången, och då är det på sin plats att vi kan se en samstämmighet mellan teori och praktik. Innan vi sätter igång noterar vi kort att SPICE som förvald inställning har satt $CAPOP=2$, vilket betyder att SPICE använder en viss uppsättning kapacitansmodeller som baseras på den så kallade Meyermodellen (för en fördjupning läs härledningen i **Appendix C**). Man kan säga att $CAPOP$ och $LEVEL$ är inställningar för var sin kategori av modeller — kapacitanser respektive drainströmmar — fast ibland så möts kategorierna och parametrar som $NSUB$, PHI och $GAMMA$ delas mellan dem.

Låt oss nu räkna fram arbetspunkten för vår inverterare: Vi har i **Avsnitt 8.1** definierat V_{IN} som en puls som går från 0 V till 3,3 V först vid $t = 50$ ps. Därför är $V_{in} = 0$ V i $t = 0$ s. Eftersom V_{in} är en stabil 0:a i $t = 0$ är V_{ut} den logiska inversen av V_{in} , alltså är $V_{ut} = 3,3$ V. Så enkelt hittar vi (och SPICE) arbetspunkten.

Håll ett öga på föregående sidas tabell med gatekapacitanserna för att få en tydlig bild av fallen som följer och för att kunna dra paralleller mellan dem:

C_{GB} för NMOS:en i en inverterare med logisk 0:a på ingången

Vi betraktar först C_{GB} (gate-till-bulk/body) för NMOS: För $V_{GS} = 0$ V och $V_{DS} = 3,3$ V befinner sig NMOS-transistorn i avstängt läge. För den del av det spänningsintervall då NMOS:en är avstängd använder SPICE följande funktion för att mer noggrant beskriva C_{GB} :

$$C_{GB} = \frac{C_{N0}}{\sqrt{1 + 4 \cdot \frac{V_{GS} + V_{SB} - V_{FB}}{\gamma^2}}},$$

där

$$C_{N0} = C_{ox} \cdot W \cdot L = \frac{\epsilon_{ox}}{t_{ox}} \cdot W \cdot L = \frac{3,9 \cdot 8,85 \times 10^{-12}}{100 \times 10^{-9}} \cdot 2 \times 10^{-12} = 0,690 \text{ fF},$$

och

$$V_{FB} = V_{T0} - \text{PHI} - \text{GAMMA} \cdot \sqrt{\text{PHI}} = -0,335 \text{ V}.$$

Vi får nu:

$$C_{GB} = \frac{0,690 \text{ fF}}{\sqrt{1 + 4 \cdot \frac{0 + 0 - (-0,335)}{0,4^2}}} = 0,225 \text{ fF för NMOS:en.}$$

Den avstängda NMOS:en har ett förhållandevis stort bidrag från C_{GB} eftersom det inte finns någon kanal som med sina höga ledningsförmåga skulle skärma bort gateterminalen från bodyterminalen.

C_{GB} för PMOS:en i en inverterare med logisk 0:a på ingången

Tittar vi istället på C_{GB} för PMOS:en vid arbetspunkten i $t = 0$ s så ska den framtagas för $V_{SG} = 3,3$ V samt $V_{SD} = 0$ V, vilket betyder att PMOS:en är i sitt linjära område. Eftersom det finns en kanal med hög ledningsförmåga, utan någon pinch-off, måste C_{GB} för PMOS:en vara 0 F. För en ekvationslösare, som ju SPICE är, är det ytterst viktigt att alla kapacitansfunktioner är kontinuerliga över alla spänningar. Därför ger SPICE inte alltid exakt $C_{GB} = 0$ F som resultat här, utan ett litet "restvärde"¹ som är ett resultat av ett funktionstillägg som säkerställer att PMOS:ens C_{GB} är kontinuerlig när V_{SG} varieras.

C_{GS} för NMOS:en i en inverterare med logisk 0:a på ingången

Lite i samma anda som vi avslutade diskussionen kring C_{GB} för PMOS:en kan vi börja diskussionen för C_{GS} för NMOS:en: En avstängd NMOS uppvisar ingen kapacitans mellan gate och source²!

C_{GS} för PMOS:en i en inverterare med logisk 0:a på ingången

Låt oss istället ägna oss åt PMOS:en: Just när vi har fallet att $V_{SD} = 0$ V får vi (vilket förklaras ingående i **Appendix C**)

$$C_{GS} = \frac{1}{2} \cdot C_{P0},$$

där

$$C_{P0} = \frac{3,9 \cdot 8,85 \times 10^{-12}}{100 \times 10^{-9}} \cdot 4,4 \times 10^{-12} = 1,519 \text{ fF}.$$

C_{GD} för NMOS:en i en inverterare med logisk 0:a på ingången

Precis som för kapacitansen mellan gate och source, uppvisar en avstängd NMOS ingen kapacitans mellan gate och drain heller!

C_{GD} för PMOS:en i en inverterare med logisk 0:a på ingången

Som förklaras i **Appendix C** uppvisar en linjär PMOS samma C_{GD} som C_{GS} :

$$C_{GD} = \frac{1}{2} \cdot C_{P0}$$

1. Jag fick själv restvärdet 12,8 aF när jag provade SPICE för PMOS:en vid $V_{SG} = 3,3$ V (d.v.s. $V_{in} = 0$ V).
2. Dock: Hade vi räknat med överlappskapacitanser (vilket vi lovat varann att inte göra förrän i **Övning 11**) skulle C_{GS} vara skilt från 0 F.

UPPGIFT 8.2.2:

Din uppgift är nu att jämföra kapacitansen på ingången av inverteraren som finns i utfilen med logginformation från **Uppgift 8.1.1** med den ingångskapacitans som du kan räkna fram med hjälp av föregående resonemang.

De borde ge samma värde, men om de inte gör det, vad kan då vara skälet?

Plats för tankar, resonemang, och resultat:

UPPGIFT 8.2.3:

Nu är din uppgift att räkna fram utgångskapacitansen på inverteraren med ledning av resonemangen som nyss presenterades. Jämför den framräknade utgångskapacitansen med den du kan utläsa från utfilen med logginformation i **Uppgift 8.1.1**.

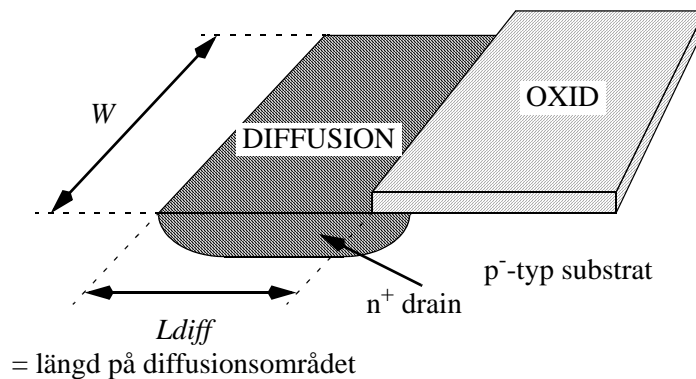
Det du bör känna till är att SPICE i detta speciella fall endast associerar kapacitansen mellan drain och gate på respektive transistor som hör till utgången.

Plats för tankar, resonemang, och resultat:

8.3. Modellerung av transistorkapacitanser — diffusionsdioderna

Nu har vi kunnat förklara varifrån kapacitanserna i logginformationen kommer. Både inverterarens ingång och utgång uppvisar kapacitiva egenskaper, vilket är en nödvändighet för att man ska kunna sätta någon som helst tilltro till resultaten från transienter-simuleringarna. Vi har dock ett område kvar att studera: Ännu så länge tar vår SPICE-simulering endast hänsyn till kapacitanser som härstammar från gateoxiden — detta på grund av att vi angivit ett minimum av information om våra transistorer till SPICE.

I introduktionen till denna övning beskrevs att vi har två kategorier av parasitiska kapacitanser att ta hänsyn till. Vi har fortfarande kvar att beakta diffusionsområdena vid source och drain.



På digitalkrets föreläsningarna tar vi upp uttrycket för kapacitansen hos en PN-diod med tvärsnittytan A , där N-dopningen har en väsentligt högre koncentration än P-dopningen. Dess kapacitans, med spänningen 0 V över dioden, är

$$C_0 = A \sqrt{\frac{q\epsilon N_a}{2V_0}}$$

där V_0 är den så kallade kontaktpotentialen (\mathcal{P}_B heter den i SPICE). Om vi antar att vi tittar på NMOS:en i inverteraren så har den sin drain kopplad till utgången av inverteraren. Alltså kommer den kapacitans som PN-dioden, vilken drainområdet (N-typ) och substratområdet (P-typ) hjälps åt att skapa, att belasta utgången och öka grindfördröjningen.

Om man betraktar diffusionsområdena kring drain och source ser man att de sträcker sig en bit in i substratmaterialen och att de upptar en viss yta. För att kunna ge kapacitansen C_0 ovan måste vi relatera den till diffusionsområdets geometri, nämligen $A = W \cdot L_{diff}$. De övriga faktorerna klumpas i SPICE samman till C_J , vilket står för kapacitansen (per ytenhet) i en övergång (junction):

$$C_J = \sqrt{\frac{q\epsilon_{\text{kisel}} N_a}{2V_0}}$$

där SPICE har sina egna namn på storheterna i uttrycket:

$$C_J = \sqrt{\frac{q\epsilon_{\text{kisel}} N_{SUB}}{2\mathcal{P}_B}}$$

Substratets dopning N_{SUB} diskuterades i **Övning 2**, medan övriga parametrar bör vara väl kända vid det här laget.

Det är inte algebraiskt svårt att räkna ut kontaktpotentialen \mathcal{P}_B , men SPICE avstår från det eftersom den saknar vissa materialdata. Som man kan läsa på sidorna 37-39 i föreläsninganteckningarna från min gamla halvledarteknikskurs

www.cse.chalmers.se/~perla/ugrad/SemTech/Lectures_2000.pdf

så kan man skriva

$$V_0 = \frac{kT}{q} \ln\left(\frac{N_a \cdot N_d}{n_i^2}\right),$$

där n_i är den intrinsiska bärarkoncentrationen i kisel (se **Övning 2**), medan N_a är dopningskoncentrationen i P-materialet (substratet i NMOS:en) och N_d är dopningskoncentrationen i N-materialet (source- och draindiffusionerna i NMOS:en). Vad SPICE inte känner till (såvida vi inte hjälper verktyget) är dopningen i diffusionsområdena, så därför använder den sitt förvalda kontaktpotentialsvärde på $0,8\text{ V}$.

Kapacitansen i en PN-övergång är beroende av spänningen som läggs över den. När man backspänner en PN-övergång hjälper den externa spänningen till att ytterligare utarma övergångens utarmningsområde på fria laddningar. Man kan tänka sig detta är likvärdigt med att i en plattkondensator flytta plattorna längre ifrån varann — i detta fall sjunker ju kapacitansen. Man kan enkelt beskriva kapacitansens beroende på spänningen över dioden med följande uttryck:

$$C = \sqrt{\frac{q\epsilon_{\text{kisel}} N_a}{2(V_0 - V_A)}}.$$

Här är V_A spänningen som läggs på dioden och riktningen är definierad så att V_A läggs på diodens anod, d.v.s. den ända av dioden som utgörs av P-material. Tittar vi på skissen över NMOS:en från förra sidan betyder det att, eftersom vi alltid har en spänning någonstans mellan 0 V och V_{DD} på både source och drain, så kan diffusionsdioden aldrig bli framspänd. Våra diffusionsdioder har enligt formeln dessutom som störst kapacitans när substratet och diffusionsområdet har samma potential!

SPICE räknar nu med hjälp av följande formel fram kapacitansen för t.ex. diffusionsytan som motsvarar drain i en NMOS (så länge $V_{BD} \leq 0$, där V_{BD} motsvarar V_A ovan):

$$C_{BD} = \frac{C_J}{\sqrt{1 - \frac{V_{BD}}{P_B}}},$$

där

$$C_J = \sqrt{\frac{q\epsilon_{\text{kisel}} N_{SUB}}{2P_B}}.$$

Då fås

$$C_{BD} = \frac{\sqrt{\frac{q\epsilon_{\text{kisel}} N_{SUB}}{2P_B}}}{\sqrt{1 - \frac{V_{BD}}{P_B}}} = \sqrt{\frac{q\epsilon_{\text{kisel}} N_{SUB}}{2P_B \cdot \left(1 - \frac{V_{BD}}{P_B}\right)}} = \sqrt{\frac{q\epsilon_{\text{kisel}} N_{SUB}}{2(P_B - V_{BD})}},$$

vilket är en kapacitans per ytenhet.

UPPGIFT 8.3.1:

a) Bestäm C_{BD} (/m²) numeriskt för NMOS-transistorn i en CMOS-inverterare vars ingång drivs av en logisk 1. (Du har stött på t.ex. N_{SUB} förut, eller hur?)

b) Om diffusionsområdet är 10 μm² stort, vilken kapacitans har detta drainområde?

Plats för tankar, resonemang, och resultat:

UPPGIFT 8.3.2:

Du ska nu simulera CMOS-inverteraren från **Uppgift 8.1.1**, fast nu med följande förändring av transistordefinitionerna:

```
MP1 UT IN VDD VDD P W=4.4U L=1U AD='4.4U*2U' AS='4.4U*2U'  
MN1 UT IN 0 0 N W=2U L=1U AD='2U*2U' AS='2U*2U'
```

Nu har vi lagt till två areastorheter: AS står för diffusionsområdets yta på source, och AD för drain. Här har det antagits att diffusionsområdets längd L_{diff} är 2 μm , medan bredden W naturligtvis överensstämmer med bredden på kanalen.

Det finns två parametrar till som används för att bestämma diffusionskapacitanserna: P_D (för drain) och P_S (för source) anger sträckan på diffusionsområdena $W + 2 \cdot L_{diff}$ som inte vetter mot kanalen. Den yta som uppstår av denna sträcka multiplicerad med djupet på diffusionsområdet utgör ju också ett bidrag till diffusionskapacitansen. Vi tar alltså inte hänsyn till dessa bidrag i denna övning, däremot återkommer vi till dem i **Övning 11** och **Avsnitt 11.3**.

Utför en simulering med de nya transistordefinitionerna och lös följande uppgifter:

- Bestäm fördröjningen hos inverteraren.
- Bestäm stigtid (10% \rightarrow 90% av V_{DD}) respektive falltid (90% \rightarrow 10% av V_{DD}) hos utsignalen.
- Ta reda på kapacitansen på utgången hos inverteraren.

Plats för tankar, resonemang, och resultat:

UPPGIFT 8.3.3:

Jämför fördröjningar, stig- och falltider, respektive utgångskapacitanser från **Uppgift 8.1.1** med de värden du fick ovan i **Uppgift 8.3.2**.

Beskriv skillnaden i resultaten.

Plats för tankar, resonemang, och resultat:

UPPGIFT 8.3.4:

Till sist i denna övning ska vi se till att vår inverterare får en helt realistisk belastning på utgången. Det är rimligt att inverteraren som vi tittat på, driver tre stycken andra inverterare av samma storlek, genom ett ledningsnät som utgör en kapacitans på 2 fF. I detta fall säger man att inverteraren har en fanout av 3.

a) Rita en tydlig figur över hur de fyra inverterarna sitter ihop.

b) Utgå från koden i **Uppgift 8.3.2** och se till att, till utgången av vår inverterare, addera kapacitansen (med en kapacitansdefinition) som motsvarar de tre inverterarna samt ledningsnätet.

Utför en simulering och ta reda på fördröjningen.

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 8 avslutad!

Facit till SPICE-övning 8:

UPPGIFT 8.1.1:

a)

Fördröjning på fallande utgångsflank: 2,7 ps

Fördröjning på stigande utgångsflank: 1,9 ps

Medelfördröjningen = 2,3 ps, men vad säger den? Man bör hellre ge värsta fördröjningen = 2,7 ps!

b)

1,1 ps (falltid)

3,0 ps (stigtid)

c)

Inkapacitans = 1,7607 fF

Utkapacitans = 759,7798 aF

UPPGIFT 8.2.2:

NMOS:

$$C_{GB} = 0,225 \text{ fF}$$

$$C_{GS} = 0 \text{ fF}$$

$$C_{GD} = 0 \text{ fF}$$

PMOS:

$$C_{GB} = 0 \text{ fF}$$

$$C_{GS} = 0,76 \text{ fF}$$

$$C_{GD} = 0,76 \text{ fF}$$

SPICE-övning 9: En längre ledning med förluster

Vi avslutade **Övning 8** med att undersöka vilken fördröjning en CMOS-inverterare uppvisade när kapacitanserna hos ett ledningsnät och tre belastande inverterare anslöts till dess utgång. Att bara bry sig om den påhängda kapacitansen för respektive utgång är ofta en väl fungerande modell av verkligheten, men bara när det gäller logiska grindar som ligger nära varann och därför kopplas samman med relativt korta ledningar.

Om vi tänker oss att grindarna ligger på lite större avstånd från varann, då räcker det inte längre att enbart titta på grindfördröjningen och dess beroende av lastkapacitansen — vi måste även räkna med fördröjningen hos ledningen själv! I moderna integrerade kretsar har ledningarnas egenskaper kommit att få en ökad betydelse. Det finns flera skäl till detta:

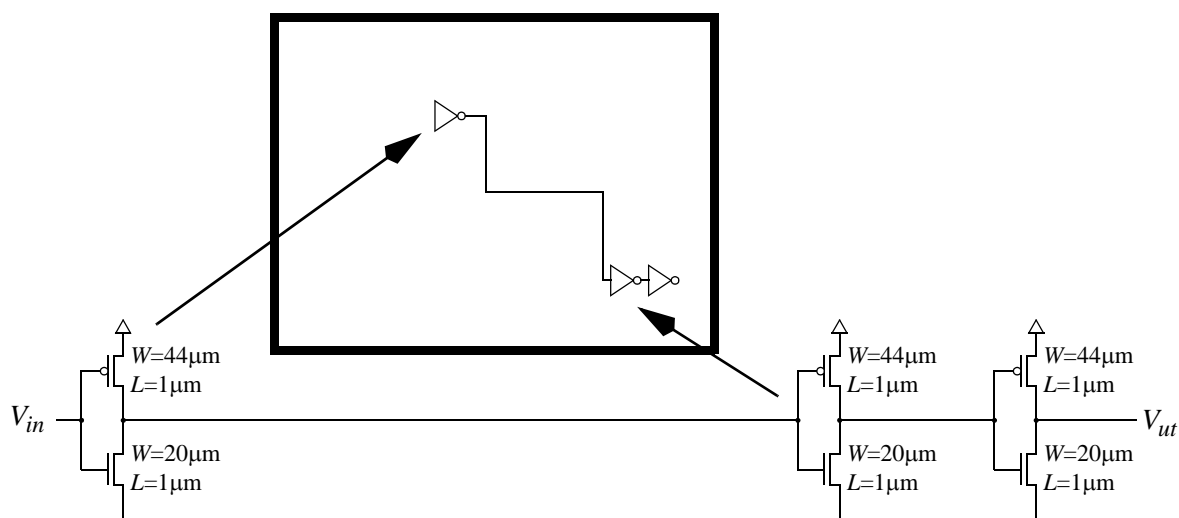
- Transistorernas allt högre omslagshastighet minskar grindarnas fördröjning, vilket blottlägger ledningarnas fördröjningar.
- RC-konstanten per längdenhet ökar för många av IC-kretsarnas lågt liggande ledningslager, vilka används till att sammanbinda logiska grindar. RC-konstanten $\tau = R \cdot C$ är, som bekant, en tidskonstant som kan tjäna som uppskattning på fördröjning.
- Signalflankerna blir brantare i takt med att klockfrekvenserna ökar, vilket medför att induktiva ledningsegenskaper framträder (framförallt i topplagens ledningar med stor tvärsnittsytta) och gör den förlustfria LC-modellen tillämplig.

I uppgifterna i denna övning ska vi undersöka hur ledningsmodellens noggrannhet påverkar fördröjningen från insignalen V_{in} till utsignalen V_{ut} . Utan pålitliga modeller famlar man i mörkret när man konstruerar kretsar.

Vi kommer uppehålla oss kring en “on-chip”-ledning med förluster och studerar dels hur punktformiga och distribuerade modeller skiljer sig åt och dels hur man i praktiken bär sig åt för att begränsa ledningsfördröjning för RC-ledningar.

9.1. En lång (men tyvärr ganska klen) ledning

Vi tar först en titt på den krets vi ska jobba med i denna övning — en lång ledning i de lägre ledningslagren på ett chip. Vi mäter längden på ledningen (som återfinns i skissen nedan) och får den till 2 mm.



Det kan vara intressant att se vilka egenskaper som är typiska för en avancerad IC-krets tillhörande 100-nm generationen. Om vi använder en ledning i de lägre metallagren är typiska ledningsdata (per längdenhet) som följer: 0,1875 fF/µm respektive 0,375 Ω/µm.

En ideal ledning

Till att börja med struntar vi i att den långa ledningen, som finns mellan den första och den andra inverteraren, har en kapacitans mot jord och en resistans längs med ledningen.

UPPGIFT 9.1.1:

Simulera kretsen, som visades på förra sidan, antagande att alla ledningars resistans och kapacitans kan bortses från.

Använd följande pulsdefinition:

```
VIN IN 0 PULSE(0 SUPPLYV TD TRF TRF 'TP/2-TRF' TP)
```

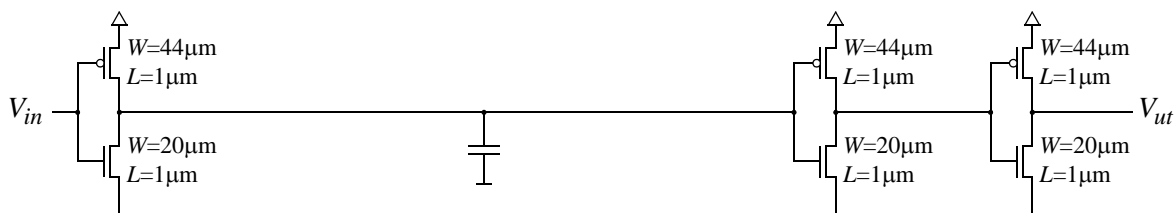
Här sätts (i .PARAM) variablerna till $TD = 50$ ps, $TRF = 1$ ps och $TP = 1300$ ps. Se till att använda diffusionsdioderna från förra övningen när du skapar transistordefinitionerna.

Bestäm totala fördröjningen (50% av V_{DD} på $V_{in} \rightarrow 50\%$ av V_{DD} på V_{ut}).

Plats för tankar, resonemang, och resultat:

En enkel kapacitiv ledningsmodell

I figuren nedan visas hur man kan representera/modellera den långa ledningen som en extra kapacitans som belastar den första inverteraren.



UPPGIFT 9.1.2:

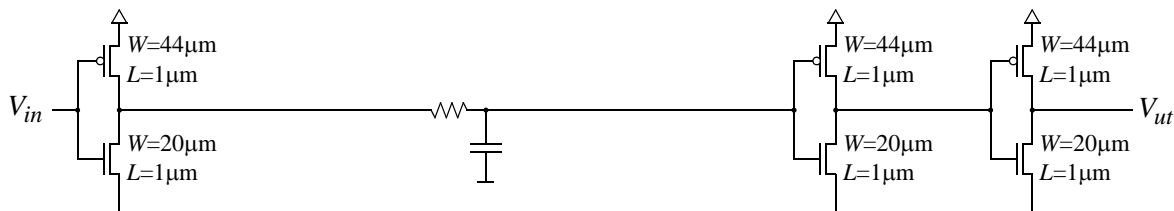
Simulera kretsen ovan, med den långa ledningens kapacitans inbegripen.

Bestäm fördröjningen från V_{in} till V_{ut} .

Plats för tankar, resonemang, och resultat:

En ledning representerad som en enkel RC-länk

För att ytterligare förfina vår modell av den långa ledningen, så vår analys kan närma sig den exakta fördröjningen, tar vi hänsyn även till den resistiva egenskapen hos ledningen. Vi modellerar nu ledningen som en enda punktformig resistans och en enda punktformig kapacitans; en RC-länk.



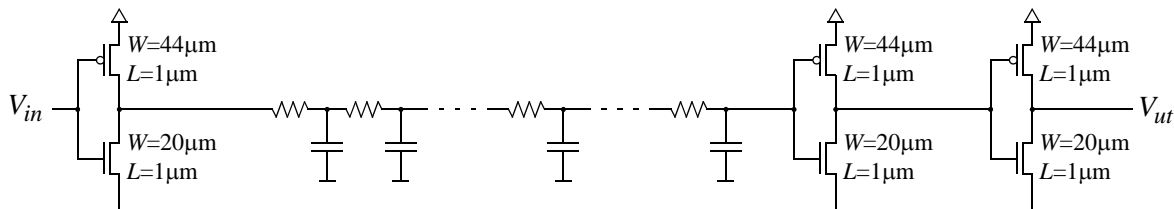
UPPGIFT 9.1.3:

Simulera kretsen i ovanstående schema och bestäm fördröjningen från V_{in} till V_{ut} .

Plats för tankar, resonemang, och resultat:

Den noggrannaste modellen — den distribuerade RC-ledningen

Den exakta fördröjningen kan vi endast finna om vi skapar en ledningsmodell med distribuerade resistiva och kapacitiva egenskaper. För att bygga en perfekt distribuerad ledningsmodell behöver vi dela upp ledningen i oändligt många små delar, vilket inte känns som ett särskilt kul jobb. Det visar sig att



man ofta kan approximera ett oändligt antal delar genom att använda sig av bara mellan fem och tio stycken delar, som var och en är en RC-länk!

När vi får många signalnoder att hålla reda på i en SPICE-kod kan man bygga ett ledningssegment med t.ex. tio kaskadkopplade RC-länkar som utgör en s.k. "sub-circuit", som i sin tur kan anropas. Principen visas här nedan för en sub-krets med en enstaka RC-länk, innehållande en resistans och en kapacitans:

```
.SUBCKT RCLANK IN UT
RLEDN IN UT 'LEDNINGSLANGD*0.375'
CLEDN UT 0 'LEDNINGSLANGD*0.1875F'
.ENDS RCLANK
```

Vi anropar denna sub-krets genom att t.ex. skriva

```
XRCLANK1 NODE1 NODE2 RCLANK
```

X i XRCLANK1 anger att vi anropar en egenkonstruerad sub-krets, de två nodnamnen anger insignal (NODE1) respektive utsignal (NODE2), medan RCLANK som avslutar raden talar om namnet på sub-kretsen.

Vad gäller sub-kretsen själv så anger IN och UT vilka “variabler” som ska kommuniceras vid anropet. Induktansen R_{LEDN} kommer placeras mellan inkommande signal (= IN) och utgående (= UT), medan kapacitansen C_{LEDN} kopplas mellan utgående signal och signaljord.

Uppenbarligen skulle man kunna bygga en sub-krets inuti en annan. Man kan t.ex. ha en sub-krets med en grundläggande punktformig RC-länk, som i sin tur anropas tio gånger av en annan sub-krets som representerar ett av de fyra ledningssegmenten som ligger mellan repeatrarna.

UPPGIFT 9.1.4:

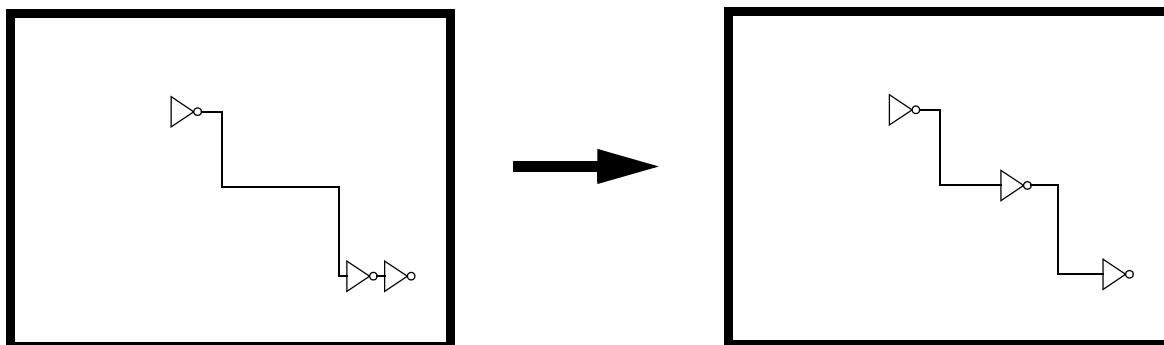
Simulera kretsen från förra sidans schema. Och ja, använd tio kaskadkopplade RC-länkar som modell för den långa ledningen.

Bestäm fördröjningen från V_{in} till V_{ut} .

Plats för tankar, resonemang, och resultat:

9.2. Ledningspartitionering — att använda ‘repeater’

Ett vanligt sätt att minska fördröjningen genom en lång RC-ledning är att använda s.k. repeaters (‘repeater’). Om vi tar denna övnings kretsexempel kan man tänka sig att man kan flytta den mottagande inverteraren till en position halvvägs in på ledningen, se nedan.



Vi “råkade” ha två inverterare vid mottagarändan och kunde enkelt “låna” en utan att förändra den logiska funktionen. I dagens IC-konstruktioner är repeaters mycket vanliga, men man måste då oftast sent i projektet infoga nya repeater-inverterare, som i tidigare skeden av konstruktionsarbetet inte funnits med i kretsscheman.

UPPGIFT 9.2.1:

Flytta enligt figuren ovan den mottagande inverteraren, så att den långa ledaren delas i två kortare ledningssegment. De två ledningssegmenten får nu samma längd — ett ledningssegment hamnar före och ett annat efter inverteraren i mitten (som nu kan kalla sig repeater). Simulera kretsen genom att modellera var och en av de två ledningssegmenten med vår approximation av en distribuerad ledning; nämligen de tio kaskadkopplade RC-länkarna.

Bestäm fördröjningen från V_{in} till V_{ut} .

Plats för tankar, resonemang, och resultat:

UPPGIFT 9.2.2:

Förhoppningsvis fick vi goda resultat från **Uppgift 9.2.1**. Låt oss därför pröva att dela upp ledningen i ännu fler, lika stora segment, genom att införa två repeatrar till. Vi strävar nu efter att klyva båda våra ledningssegment från **Uppgift 9.2.1** så att vi nu får fyra lika långa ledningssegment. Vi hoppas förstås att fördröjningen sjunker ännu mer.

Bestäm fördröjningen från V_{in} till V_{ut} . Vilka reflektioner kan man göra?

Plats för tankar, resonemang, och resultat:

UPPGIFT 9.2.3:

Vi har fått blodad tand! Infoga ytterligare två repeatrar, så vi får sex lika långa ledningssegment.

Bestäm fördröjningen från V_{in} till V_{ut} .

Jämför fördröjningarna du erhållit i denna uppgift med dem du erhöi i **Uppgift 9.1.4**, **Uppgift 9.2.1**, och **Uppgift 9.2.2**.

Plats för tankar, resonemang, och resultat:

9.3. Ett steg tillbaka

I en av uppgifterna tidigare i denna övning så har vi troligen gjort ett litet, men allvarligt, förbiseende. Om du låter samtliga simuleringars ut signaler visas i samma panel i visningsprogrammet kan du se att de tidsmässigt inbördes placeringarna inte är helt rimliga — en av ut signalerna kommer ha en flank som verkar ha hamnat på en oväntad plats i tiden!

UPPGIFT 9.3.1:

Din uppgift är att lokalisera vilken ut signal och vilken flank som inte är korrekt.

a) Ange vilken av simuleringarna som har problemet: är det den helt utan R och C (**Uppgift 9.1.1**), den med C (**Uppgift 9.1.2**), den med både R och C (**Uppgift 9.1.3**), den med distribuerad R och C (**Uppgift 9.1.4**), eller är det den med en repeater (**Uppgift 9.2.1**)?

b) Ange vilken flank som ger fel ut signal: stigande eller fallande ut gång.

När du funnit vilken som verkar vara den felaktiga flanken, gör en felsökning genom att studera vågformerna på signalerna på noderna mellan in- och ut gång.

c) Avsluta genom att ge en förklaring på varför felet uppstod och hur det kan korrigeras.

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 9 avslutad!

Facit till SPICE-övning 9:

UPPGIFT 9.1.1:

Fördröjningen på fallande utgång = 28 ps, stigande utgång = 26 ps.

UPPGIFT 9.1.2:

Kapacitansen blir 375 fF.

Fördröjningen på fallande utgång = 127 ps, stigande utgång = 122 ps.

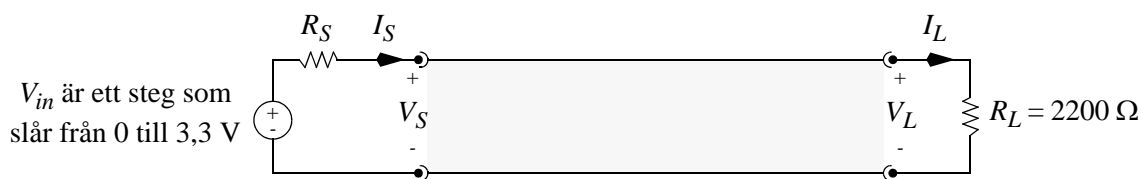
SPICE-övning 10: Analysmetoder för förlustfria ledningar

Vi har två metoder för att analysera långa, breda ledare på IC-kretsar eller på kretskort; rum-tid-diagrammet respektive Bergerondiagrammet. Den förra är en slags systematisk bokföring av reflektioner när drivande och mottagande komponenter är linjära (oftast vanliga resistanser), medan den senare behövs när vi har icke-linjära komponenter vid ledningens gränssnitt (oftast i den drivande ändan).

10.1. Att driva en lång förlustfri ledning — en första konstruktion

Framför oss har vi ett konstruktionsproblem som innebär att

- vi ska dimensionera en drivkrets (en inverterare) som ska kunna skicka ut ett spänningssteg över en förlustfri LC-transmissionsledning så att den mottagande kretsen upplever en spänning som överstiger 90% av matningsspänningen vid $t = t_d^1$.



UPPGIFT 10.1.1:

Som vi ser i figuren ovan är vi låsta vid en resistans $R_L = 2200 \Omega$ i den mottagande änden av ledningen. Dessutom har vi fått data för LC-ledningen; nämligen att dess induktans L är 8 nH medan dess kapacitans C är 0,2 pF.

- Bestäm ledningens karakteristiska impedans Z_0 .
- Bestäm propageringstiden t_d , d.v.s. den tid det tar för signalsomslaget att förflytta sig från vänster ledningsände till den högra änden.

Plats för tankar, resonemang, och resultat:

UPPGIFT 10.1.2:

Vi ska börja konstruktionsarbetet med att ta fram en första (bildad) gissning på drivkrets. Vi är bekanta med rum-tid-diagrammet och med denna metodik kan vi attackera de konstruktionsproblem som har linjära komponenter vid käll- och lastände av ledningen.

Förhoppningsvis har vi i **Uppgift 10.1.1** erhållit en karakteristisk ledningsimpedans som ganska ordentligt understiger R_L . Om detta är fallet så kommer vi få en reflektion i laständen, som skapar nästan den dubbla spänningen mot infallande spänning. Mot denna bakgrund kan det vara idé att försöka bygga drivsteget (genom dess R_S) så att man eliminerar reflektioner i den vänstra källänden.

1. Vi förenklar diskussionen genom att bara studera en stigande flank på ledningens ingång.

- a) Bestäm ett värde på R_S , så att reflektioner inte uppstår i källänden (d.v.s. $\Gamma_S = 0$).
- b) Rita ett rum-tid-diagram för $0 \leq t \leq 5 \cdot t_d$.
- c) Bestäm spänningen i den vänstra änden, källänden, dels då $t = 0$ (V_{S1}) och dels då $t = 2 \cdot t_d$ (V_{S3}), samt spänningen i laständen då $t = t_d$ (V_{L2}).
- d) Reflektera (*vilket passande ord just nu!*) över funktionsprincipen för vårt system: Hur kommer signalen ut på ledningen, hur reflekteras signalen vid laständen och hur tas signalen emot när den återvänder till källan?
- e) Givet konstruktionsuppgiften som definierades på förra sidan, har vi uppfyllt kraven?
-

Plats för tankar, resonemang, och resultat:

UPPGIFT 10.1.3:

Skriv SPICE-koden för att simulera kretsen vi analyserade i **Uppgift 10.1.2**, med den R_S du räknat fram och med ledningen uppdelad i 100 små LC-länkar (använd sub-kretsar, se **Övning 9!**). En induktans skapas likt resistans och kapacitans med `Lxx nod1 nod2 induktansvärde`.

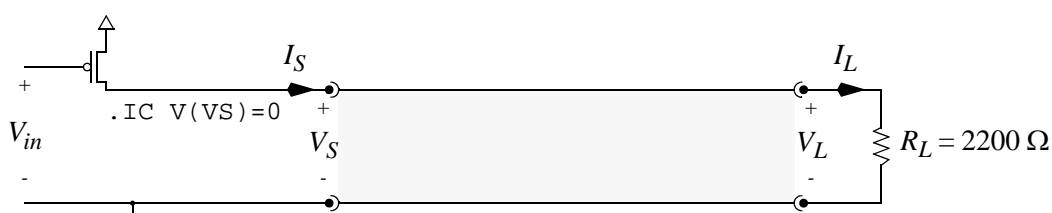
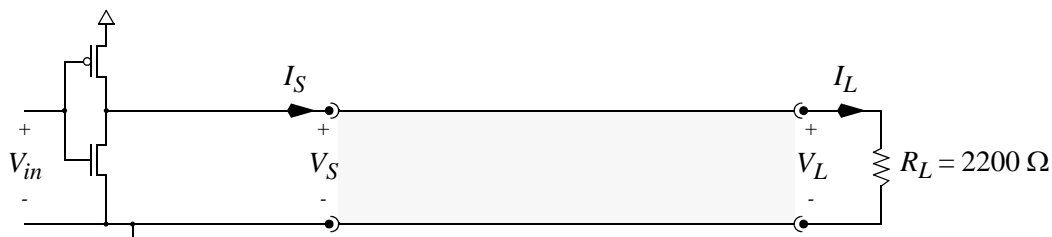
Simulera för $0 \leq t \leq 5 \cdot t_d$ och jämför simuleringsresultatet med det resultat du fick från rum-tid-diagrammet i **Uppgift 10.1.2**.

Plats för tankar, resonemang, och resultat:

10.2. Att driva en lång förlustfri ledning — en noggrannare studie

Ett riktigt drivsteg består av en inverterare och vid det här laget i kursen, efter erfarenheter från digital-kretsblocket, har vi nog insett att resultatet vi fick i förra avsnittet bygger på en approximation av verkligheten. Att göra uppskattningar med hjälp av ett konstant R_S är rationellt, eftersom det ger oss en första vink om problemet. Men nu är det dags att komplettera vår konstruktionsmetodik med noggrannare modeller och en noggrannare analysmetod, nämligen Bergeronmetoden.

CMOS-kretsen vi konstruerar ges i schemat nedan. Den övre kretsen är komplett, medan den undre enbart representerar den stigande signalfliken, vilken är den helt avgörande enligt specifikationen.



UPPGIFT 10.2.1:

Den nedre kretsen i föregående figur representerar alltså det vi ska studera nu. Vi vet en hel del om kretsen redan, men vi känner inte till transistorns parametrar ännu. Låt oss anta att vi har en, vid detta laget, välkänd modell för vilken vi antar att kanallängdsmodulationen är 0:

```
.MODEL P PMOS LEVEL=1 VT0=-0.7 KP=50U GAMMA=0.57 LAMBDA=0 PHI=0.8
```

Låt oss dessutom utnyttja våra nyvunna digitalkretskunskaper och utgå från att R_S i **Uppgift 10.1.2** motsvarar ON-resistansen hos den riktiga PMOS-transistorn.

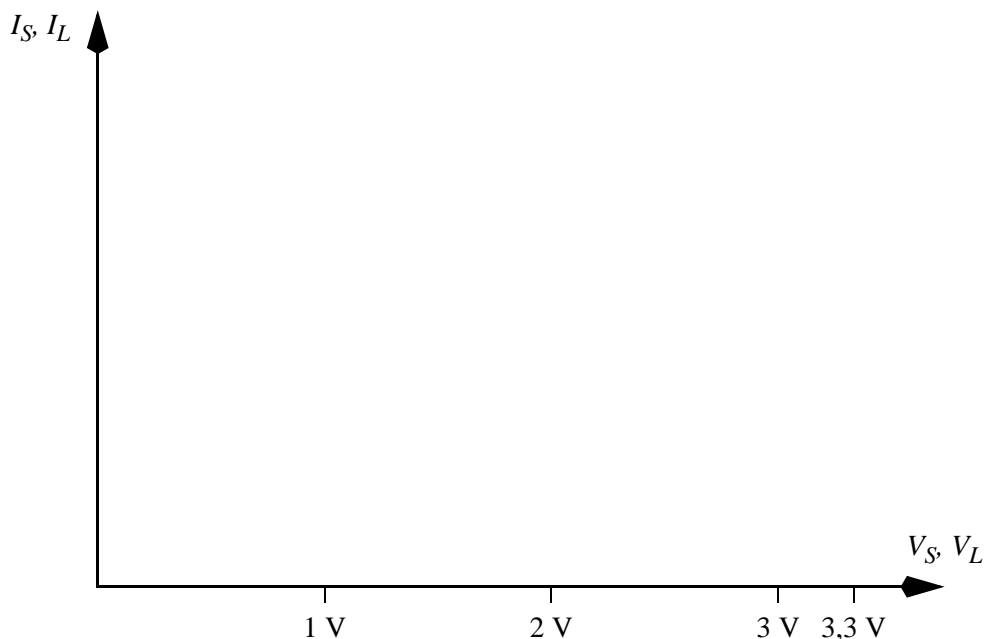
Givet att $L = 1 \mu\text{m}$, bestäm W för PMOS-transistorn vi ska använda.

Plats för tankar, resonemang, och resultat:

UPPGIFT 10.2.2:

Rita ett Bergerondiagram för kretsen som drivs av PMOS-transistorn, med W valt enligt ovan och med ett V_{in} som slår abruptt från 1 till 0 i $t = 0$. Genomför analysen till dess att V_{S5} blir bestämd (d.v.s. för $0 \leq t \leq 5 \cdot t_d$) och ange därefter V_{S1} , V_{L2} , V_{S3} , V_{L4} , samt V_{S5} .

Plats för tankar, resonemang, och resultat:



UPPGIFT 10.2.3:

Skriv SPICE-koden för att simulera kretsen vi analyserade i **Uppgift 10.2.2**; fortfarande med ledningen uppdelad i 100 små LC-länkar.

Simulera för $0 \leq t \leq 5 \cdot t_d$ och jämför simuleringsresultatet med det resultat du fick från Bergeron-diagrammet i **Uppgift 10.2.2**.

Plats för tankar, resonemang, och resultat:

UPPGIFT 10.2.4:

Om vi nu jämför resultaten från Bergeronanalysen och PMOS-kretssimuleringen med dem från rum-tid-analysen och R_S -kretssimuleringen, hur väl uppfyller vi konstruktionskravet som formulerade i början av **Avsnitt 10.1**?

Ifall du upptäcker några problem med att uppfylla kravet, se till att konstruera om drivaren så konstruktionskravet uppfylls.

Plats för tankar, resonemang, och resultat:

10.3. Simulering av problem från föreläsning/övning

På Räkneövning 5 användes Bergeronmetoden för att lösa ett problem där en inverterare driver ett okänt antal grindar via en lång förlustfri ledning (uppgiften finns under hemsidan: `forelasning/uppgift_ro5.pdf`). Låt oss nu verifiera lösningen från räkneövningen med en simulering.

UPPGIFT 10.3.1:

- a) Genomför på nytt lösningen för problemet.

 - b) Skriv SPICE-koden givet förutsättningarna från uppgiften. Ledningen har så stor kapacitans att vi kan försumma bidraget från de belastande grindarna, d.v.s. $Z_L \rightarrow \infty$. Om du endast använder en NMOS som drivarkomponent, se till att initialt tvinga in matningsspänningen (med `.IC`) på alla ledningens noder.

 - c) Genomför transientsimuleringen för $0 \leq t < 1 \text{ ns}$, och jämför resultatet (för V_S och V_L) med de värden du fått från uppgift a).
-

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är SPICE-övning 10 avslutad!

Facit till SPICE-övning 10:

UPPGIFT 10.1.2:

c)

$$V_{S1} = 1,65 \text{ V}$$

UPPGIFT 10.2.2:

$$V_{S1} = 1,24 \text{ V}$$

UPPGIFT 10.3.1:

$$V_{S1} = 2,56 \text{ V}$$

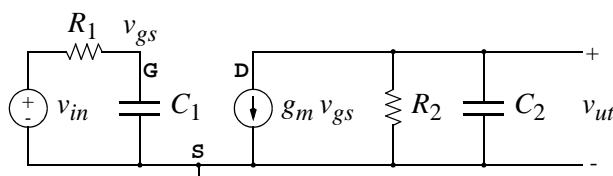
SPICE-övning 11: Förstärkarens högfrekvenssegenskaper

I denna, den sista övningen ska vi komma tillbaka till förstärkarsteget ännu en gång. Nu är det dags att titta ännu närmare på förstärkarens frekvenssegenskaper, speciellt på hur hela steget påverkas av den s.k. Millerkapacitansen. Vi ska i denna övning koppla samman begrepp som är kända från reglertekniken, som poler och nollställen, med förstärkarsteget i formen dels av ett schema av ideala nätelement och dels av ett schema med en riktig transistor — så riktig en transistor nu kan vara i en simulering.

Vi studerade förstärkarens frekvenssegenskaper även i **Övning 4**, men i denna avslutande övning tittar vi inte bara på förstärkarens utgångskrets utan vi tittar samtidigt på dess ingångskrets — följden blir bland annat att vi nu får en överföringsfunktion som innehåller inte en pol, utan två.

11.1. Ideal småsignalsmodell utan Millereffekt

Vi börjar med att titta på en förenklad version av den ideala modell av ett förstärkarsteg som vi kan återfinna i figur 8.40b i referensboken av Sedra & Smith. Jämfört med figur 8.40b, har vi i vår första skiss tagit bort den kapacitans som finns mellan gate och drain, den så kallade Millerkapacitansen. Dessutom låter vi insignalen representeras av en spänningskälla i serie med R_1 .



För att kunna analysera beteendet hos schemat, med avseende på hur det förstärker en signal som varierar i frekvens, ska vi skriva en SPICE-kod. För att kunna implementera ett schema som det ovan, behöver vi kunna definiera en strömgenerator som varierar med spänningen på noden som kallas GATE (G i schemat). Följande definition av en beroende strömkälla med namnet G0 löser detta:

```
G0 DRAIN 0 CUR='0.001*V(GATE)'
```

Här har vi att 0.001 anger transkonduktansen i A/V, medan $V(GATE)$ står för total momentan spänning i noden GATE, alltså v_{gs} . Småsignalsbeteendet garanteras genom att vår spänningskälla för v_{in} svänger kring 0 V:

```
VIN IN 0 AC SIN(0.0 0.01 1MEG)
```

Vi låter nu insignalen ha amplituden 10 mV. Vi låter frekvensen variera från 1 MHz hela vägen upp till 1 Terahertz, och anger att vi vill ha 10 simuleringpunkter per dekad.

```
.AC DEC 10 1MEG 1T
```

UPPGIFT 11.1.1:

Skriv den kompletta SPICE-koden för kretsen ovan. Förutom de redan angivna värdena ska du använda följande komponentvärden: $R_1 = 10 \text{ k}\Omega$, $C_1 = 10 \text{ fF}$, $R_2 = 100 \text{ k}\Omega$, samt $C_2 = 30 \text{ fF}$.

Du ska förbereda koden så att den inte bara klarar av AC-analysen ovan, utan också kan användas för en transientsimulering. För den senare körningen kommer frekvensen som angavs inom definitionen för spänningskällan VIN att vara relevant, för det är vid denna frekvens som sinussignalen placeras i transientsimuleringen. Vi kan använda oss av följande definition för transientsimuleringen:

```
.TRAN '0.0001*1/1MEG' '2*1/1MEG'
```

Här har vi för smidighets skull kopplat samman periodtiden direkt med frekvensen i spänningskällan genom att använda $1/1MEG$.

Notera att man kan ange två olika simuleringsdirektiv, som `.TRAN` och `.AC`, i samma SPICE-fil. Här kommer SPICE att skapa två skilda filer för sina utresultat, en `.tr0` för transienten och `.ac0` för frekvenssvepet.

Plats för tankar, resonemang, och resultat:

UPPGIFT 11.1.2:

Du ska i denna uppgift lösa ett antal delfrågor:

a) Räkna fram överföringsfunktionen $A_v = v_{ut}/v_{in}$ för kretsen i **Uppgift 11.1.1**. Lämpligen skriver du funktionen på formen $A_v = \frac{A_{v0}}{\left(1 + \frac{j\omega}{\text{pol1}}\right) \cdot \left(1 + \frac{j\omega}{\text{pol2}}\right)}$.

b) Ange ett uttryck för förstärkningen $|A_{v0}|$. Se också till att bestämma det numeriska värdet på $|A_{v0}|$.

c) Identifiera de två poler som finns, genom att numeriskt bestämma vid vilka frekvenser dessa ligger.

Plats för tankar, resonemang, och resultat:

UPPGIFT 11.1.3:

Genomför en SPICE-simulering av filen från **Uppgift 11.1.1**.

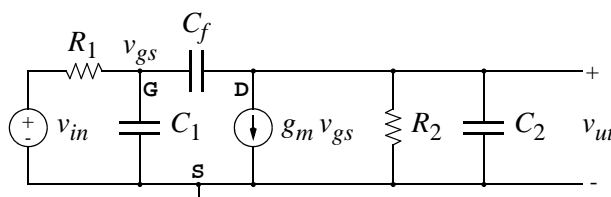
- Bestäm förstärkningen $|A_{v0}|$ (det går bra att finna denna vid 1 MHz).
- Bestäm de två polernas frekvenser.

I uppgift b) är det lämpligt att använda logaritmisk skala på båda axlarna, skriva ut grafen och sedan mäta (med linjal) gränshfrekvenserna som representerar polerna.

Plats för tankar, resonemang, och resultat:

11.2. Ideal småsignalsmodell med Millereffekt

Nu är det dags att använda Millerkapacitansen, som motsvarar kopplingskapacitansen C_f i figur 8.40b i referensboken. Figuren nedan visar hur vårt småsignalschema ser ut efter införandet av C_f .



Millerkapacitansen C_f ställer till rejäl oreda i vår krets, men eftersom den har en ökande betydelse inom högintegrerad elektronik kan vi tyvärr inte bortse från den. Som föreläsningarna avslöjat representeras C_f i en MOSFET-baserad förstärkare framförallt av den parasitiska kapacitansen som kommer sig av överlapp mellan drainens diffusionsområde och gateoxiden/elektroden — den som kallas C_{gd} på föreläsningarna. Som du också vet är ju förstärkarens MOS-transistor i sitt mättade läge och därför är kapacitansen, C_{gd} , mellan gate och draindelen av kanalen nästan försumbar, vilket man kan läsa om i

Avsnitt 8.2.

I de kommande simuleringarna kommer vi ansätta ett ganska stort värde på C_f för att lyfta fram dess inverkan så mycket att vi med penna och linjal kan mäta gränshfrekvenser. Prova gärna med andra vär-

den på C_f , och notera hur Millerkapacitansen även vid små värden har en dramatisk påverkan på kretsen. Sänd då en tanke till faktumet att C_f ...

- i riktiga konstruktioner inte bara utgörs av C_{gd} utan även av kapacitiv överhörning mellan ledningarna i förstärkaren.
- också påverkar alla digitala grindar! Från storsignalsstudien i **Avsnitt 5.2** vet vi att MOSFET:arna i våra grindar inte bara håller till i sina mättade områden: Om en MOSFET är i sitt linjära område får den tyvärr en högst ansevärd C_{gd} .

UPPGIFT 11.2.1:

Överföringsfunktionen som ges i ekvation 6.60, sidan 592 i referensboken av Sedra & Smith beskriver kretsen i kretsschemat ovan. Skriv ned funktionen och identifiera de två poler och det nollställe som finns, genom att bestämma deras frekvenser numeriskt givet att C_f är 10 fF.

Plats för tankar, resonemang, och resultat:

UPPGIFT 11.2.2:

Komplettera nu SPICE-koden från **Uppgift 11.1.1** med en Millerkapacitans C_f på 10 fF. Genomför SPICE-simuleringen och besvara följande frågor:

- Bestäm förstärkningen $|A_{v0}|$ (1 MHz är en tillräckligt låg frekvens).
- Med logaritmisk skala på båda axlarna, ordna en utskrift av beloppet av utspänningen som funktion av frekvensen: Uppmät och identifiera de båda polerna och det enda nollstället, samt ange frekvenserna där dessa återfinns.

Plats för tankar, resonemang, och resultat:

UPPGIFT 11.2.3:

Jämför placeringen i frekvens av de två polerna i fallet utan Millerkapacitansen respektive fallet med. Vilka reflektioner kan du göra?

(Om du har referensboken, läs s. 733 i S&S4 eller s. 853 i S&S5.)

Plats för tankar, resonemang, och resultat:

UPPGIFT 11.2.4:

Du ska nu jämföra de två SPICE-simuleringarna med avseende på uppvisad fasförskjutning och tidsfördröjning mellan in- och utgång. De två begreppen är relaterade — det förra syftar till frekvensplanet och det senare till tidsplanet.

Genom att titta på fasen på utspänningen som funktion av frekvens kan man hitta fasförskjutningen på utsignalen (DRAIN) relativt insignalen (IN). För att hitta en tidsfördröjning kan man lämpligen öppna transientfilen och mäta direkt i sinusvågformerna för DRAIN och IN!

För frekvensen 1 MHz,

- ange fasförskjutningen för vår krets utan respektive med Millerkapacitansen C_f .
 - ange tidsfördröjningen för vår krets utan respektive med Millerkapacitansen C_f .
-

Plats för tankar, resonemang, och resultat:

UPPGIFT 11.2.5:

Jämförelsen du gjorde på uppmätta fasegenskaper i **Uppgift 11.1.1** ska nu kompletteras med att du nu räknar fram fasförskjutning och tidsfördröjning mellan in- och utgång för de två olika schemana. Du utgår från de två olika överföringsfunktionerna, i **Uppgift 11.1.2(a)** respektive **Uppgift 11.2.1(a)**, och räknar fram argumentet för dem vid 1 MHz.

- Bestäm fasförskjutningen för vår krets utan respektive med Millerkapacitansen C_f .

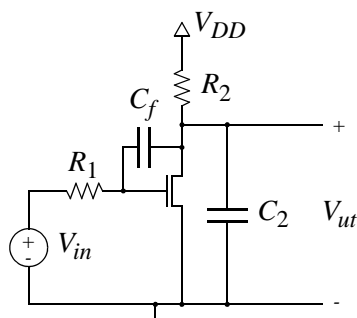
Tips: Reducera överföringsfunktionen som du skrev av **Uppgift 11.2.1** innan du bestämmer dess argument, genom att sätta in komponentvärden samt frekvens! Därefter blir det lättare att klumpa samman de olika termerna till en real- och en imaginärdel.)

- Genom att använda dig av fasförskjutningen från uppgift a), bestäm tidsfördröjningen för vår krets utan respektive med Millerkapacitansen C_f .

Plats för tankar, resonemang, och resultat:

11.3. Småsignalsegenskaper hos en riktig förstärkare

Nu ska vi ta oss an det riktiga förstärkarsteget! Figuren nedan visar väsentligen samma steg som vi



använt genom hela kursen. Vi har dock sett till att driva steget via en resistans R_1 . Vi kan också reglera Millerkapacitansen genom att justera C_f och till sist kan vi representera en belastande krets genom C_2 . Om vi börjar i den vänstra delen av kretsen, så väljs resistansen R_1 precis som i **Avsnitt 11.1** till $10\text{ k}\Omega$. Insignalen V_{in} är sinussignal med amplituden 10 mV , som svänger kring arbetspunkten vid $0,81\text{ V}$.

Vi använder oss av samma transistormodell som tidigare:

```
.MODEL N NMOS LEVEL=1 VT0=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
```

Transistorn definierar vi, här med noden IN kopplad till gate och UT till drain, som

```
MN1 UT IN 0 0 N W=50U L=1U AD=100e-12 AS=100e-12 PS=104e-6 PD=104e-6
```

Här definierar PS och PD längden på kanterna på diffusionsområdena, vilket gör beskrivningen av diffusionsdioderna komplett (jämfört med **Avsnitt 8.3**). Notera hur tiopotenser uttrycks i SPICE: till

exempel är $104e-6 = 104 \times 10^{-6}$.

Till sist sätter vi resistansen R_2 till $75 \text{ k}\Omega$, C_2 till 5 fF , samt C_f till 2 fF för att SPICE ska inkludera såväl överlappskapacitansen mellan gate och drain som andra kopplingskapacitanser i kretsen. Precis som i tidigare SPICE-övningar är matningsspänningen $3,3 \text{ V}$.

UPPGIFT 11.3.1:

Skriv den kompletta SPICE-koden för kretsen som beskrivs ovan. Inkludera exakt samma direktiv för såväl frekvenssvep som transientsimulering som i **Uppgift 11.1.1**, men låt här frekvenssvepet gå ända upp till 10 THz .

Plats för tankar, resonemang, och resultat:

UPPGIFT 11.3.2:

Genomför simuleringen av SPICE-koden från **Uppgift 11.3.1**.

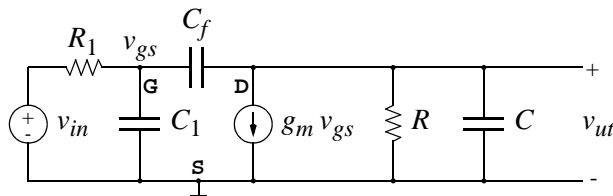
Precis som i **Uppgift 11.2.2** ska du nu från graferna ...

- a) bestämma förstärkningen $|A_{v0}|$, samt
 - b) ange frekvenserna för de båda polerna och det enda nollstället.
-

Plats för tankar, resonemang, och resultat:

UPPGIFT 11.3.3:

Baserat på kretsen som simulerades i **Uppgift 11.3.2** ska du nu skapa ett småsignalsschema som ser ut enligt figuren nedan (ja, det är samma som vi använt förut). Detta schema kommer kunna byggas



på den SPICE-kod du skrev i **Uppgift 11.2.2**, förutom att parametervärden måste bytas ut! Spänningskällan V_{IN} samt resistansen R_1 är de enda som förblir intakta sedan **Uppgift 11.3.2**, så hur finner man då de övriga? Jo, C_F måste förstås vara 2 fF, eftersom SPICE inte räknar med någon överlappskapacitans i annat fall. Men vad är C_1 , vad blir värdet på g_m i strömkällan G_0 , och vad blir R och C ?

Det går att finna mycket information i utfilen med logginformation, enligt den princip som vi använde oss av i **Övning 8**. Under rubriken “nodal capacitance table” vet vi sedan tidigare att vi kan finna arbetspunktens kapacitansvärden. Dessutom, och detta är nytt för övningarna, finns en hel del information om MOS-transistorn längre ned i filen, under rubriken “***** mosfets”.

- Bestäm C_1 och C utifrån “nodal capacitance table”.
- Bestäm värdet på g_m utifrån “***** mosfets”.
- Bestäm värdet på R i småsignalsschemat utifrån “***** mosfets” (vi letar förstås efter kanalens småsignalsresistans!) och den lastresistans R_2 på $75 \text{ k}\Omega$ som vi använder.
- Skriv SPICE-koden för det nya småsignalsschemat!

Plats för tankar, resonemang, och resultat:

UPPGIFT 11.3.4:

Genomför simuleringen av SPICE-koden från **Uppgift 11.3.3**.

Jämför utsignalen från denna simulering med den du fick från **Uppgift 11.3.2**. Lämpligen använder du dig av ett Bodediagram över amplituden, i vilket du placerar båda utsignalerna.

Dina båda simuleringar ska ge exakt samma resultat! Stämmer detta?

Plats för tankar, resonemang, och resultat:

När alla dina frågetecken är uträtade är hela kursen avslutad!