

# Övningsuppgifter i EDA351 Kretselektronik

Per Larsson-Edefors  
 Chalmers Tekniska Högskola

## Repetition:

### Uppgift R1:

Man lägger en varierande spänning över en diod och observerar strömmen som går genom dioden. Man får då en tabell som ser ut så här:

$I$ (mA)	$V$ (V)
1,04	0,56
1,54	0,57
7,33	0,61
10,8	0,62
15,9	0,63
51,1	0,66
75,3	0,67

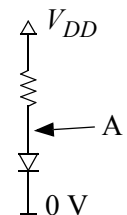
- Vad är DC-resistansen, när spänningen över dioden är 0,62 V
- Vad är AC-resistansen, när spänningen över dioden går från 0,61 V till 0,63 V?
- Vad är AC-resistansen i punkten 0,62 V?

För dioden gäller  $I = I_0 \left( e^{\frac{V}{V_{th}}} - 1 \right)$ .  $V_{th}$  är 0,026 V i rumstemperatur, vilket är fallet här.

### Uppgift R2:

Det går en likström genom vidstående rumstempererade diod, för vilken följande villkor är uppfyllda: Resistansen som lagts i serie med dioden är på 5 k $\Omega$ . Strömmen som skulle gå genom en backspänd sådan diod är 10<sup>-9</sup> A. Dessutom är  $V_{DD} = 2$  V.

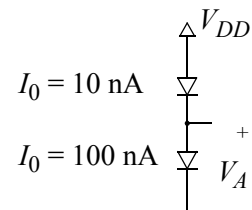
- Finn spänningen i punkten A genom en grafisk metod.
- Finn spänningen i punkten A genom en numerisk metod.



### Uppgift R3:

Bestäm spänningen  $V_A$  i kretsen till höger.

Läckströmmen  $I_0$  (eller  $I_S$  som Sedra&Smith kallar den) anges i kretsen med de två dioderna. Rumstemperatur råder och  $V_{DD}$  är 0,8 V.

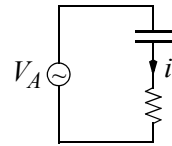


---

#### Uppgift R4:

I kretsen till höger genererar spänningskällan  $V_A$  en 10 MHz sinusvåg som saknar likspänningskomponenter.  $V_A$ s toppvärde ligger på 10 V, resistansen är på  $1\text{ k}\Omega$ , medan kapacitansen är på  $10\text{ pF}$ .

Bestäm strömmen  $i$ .



---

---

### Analoga kretsar:

---

#### Uppgift A1:

Detta är en uppgift som definieras (med figur och allt) under föreläsningen på förstärkarsteg, återkoppling och kaskadkoppling:

Man vill bygga en förstärkare för  $>50\text{MHz}$  bandbredd och 100 gångers förstärkning. Det enda tillgängliga byggblocket är ett grundförstärkarsteg med  $A_{v0} = 100$ , men bara  $\omega_{-3\text{dB}} = 10\text{ MHz}$ ! Man bygger alltså sin förstärkare genom att kaskadkoppla två steg som vart och ett har en återkoppling, som är likadan för de två stegen.

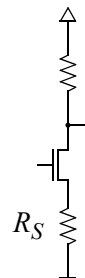
**a)** Om vi antar att återkopplingen görs så att endast signalamplituden påverkas (d.v.s. återkopplingen förskjuter inte fasen alls), vilken multiplikativ faktor ska man använda sig av för att de enskilda grundförstärkarstegen vart och ett ska få en förstärkning som är en tiondel av  $A_{v0}$  och en övre gränshfrekvens som är 10 gånger så stor som  $\omega_{-3\text{dB}}$ ?

**b)** Vad blir övre gränshfrekvensen för förstärkaren som består av de två återkopplade grundförstärkarstegen — som vart och ett har den multiplikativa faktorn från uppgift **a)**?

---

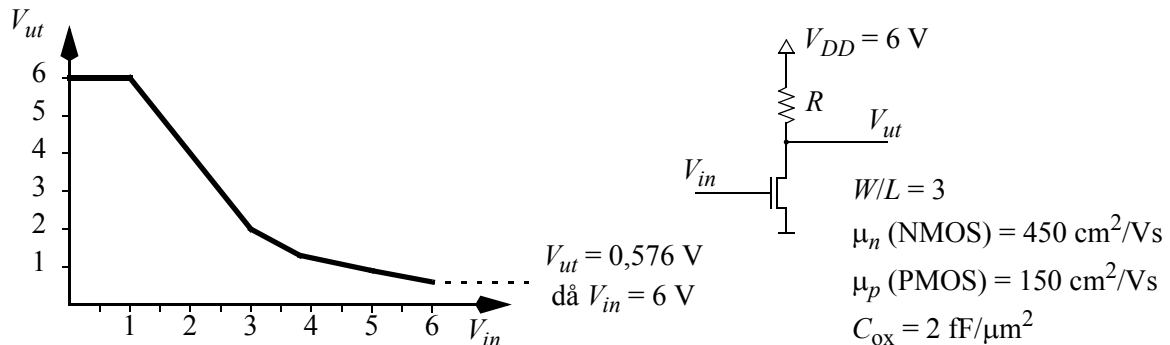
#### Uppgift A2:

I ett Gemensam-Source steg kan man ansluta en resistans mellan source och jord — denna kallas ofta  $R_S$ . Ge kortfattat den principiella förklaringen till varför detta extra motstånd förbättrar linjäriteten hos förstärkarsteget!



**Uppgift A3:**

Figuren nedan till vänster föreställer en förenklad överföringsfunktion för förhållandet mellan ingångs- och utgångsspänningen i kretsen nedan till höger:



- I vilket avsnitt av överföringsfunktionen ska man helst förlägga förstärkningen? Svara genom att ange ett intervall på  $V_{in}$  och/eller  $V_{ut}$ , eller rita av funktionen och markera i denna.
- Vad är spänningsförstärkningen inom funktionsavsnittet som valdes ut i uppgift a)?
- Vilket avsnitt av överföringsfunktionen motsvarar MOS-transistorns linjära operationsområde?
- Vad är tröskelspänningen på MOS-transistorn?
- Vilket är värdet på resistansen  $R$ ?

**Uppgift A4:**

I förstärkarsteget till höger används en diodkopplad PMOS-transistor som lastresistans. Transistorerna är från senare tids tillverkningsprocesser, säg 130-nm generationen där matningsspänningen är 1,2 V och tröskelspänningarna är 0,25 V resp. -0,25 V, och uppvisar därför betydande läckageströmmar.

Man kan approximera strömmen genom den aktuella NMOS-transistorn när  $V_{GS} = 0$  V som

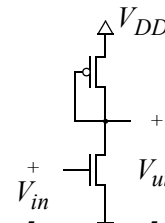
$$I_{DS} \approx 3 \times 10^{-10} \left( e^{\frac{0,078 V_{DS}}{V_{th}}} - e \right), \text{ där } V_{th} \text{ är termiska spänningen.}$$

För strömmen genom den diodkopplade PMOS-transistorn kan man använda sig av att

$$I_{SD} \approx 8 \times 10^{-8} \left( e^{\frac{-(1,2 - V_{SD})}{1,05 V_{th}}} - e^{\frac{-1,2}{1,05 V_{th}}} \right)$$

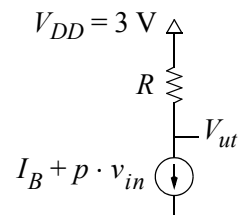
gäller för  $0 \leq V_{SD} \leq 0,2$  V

Bestäm den högsta spänning som  $V_{ut}$  kan anta.



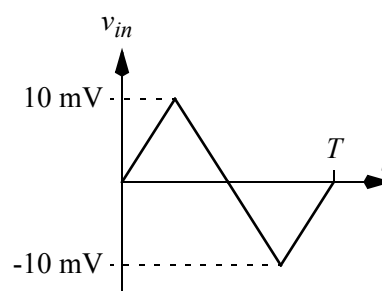
### Uppgift A5:

I figuren till höger återfinns ett ekvivalent schema över ett förstärkarsteg, där  $R = 1 \text{ k}\Omega$ . En småsignal,  $v_{in}$ , förstärks med faktorn  $p (= 2 \text{ mA/V})$  och yttrar sig som en ström skapad i strömgenerator. I strömgeneratoren genereras också likströmmen  $I_B (= 1 \text{ mA})$  som representerar den konstanta ström i arbetspunkten som man valt.



På utgången av steget återfinns utspänningen  $V_{ut}$ . Denna spänning är en summa av likspänningen på utgången, som skapats vid valet av arbetspunkt, samt den spänning som resulterar från förstärkarmekanismen.

a) Rita spänningen  $V_{ut}$  som funktion av tiden  $t$ , när vi har en insignal  $v_{in}$  som den i figuren till höger. Signalerna antas röra sig tillräckligt långsamt för att vi ska kunna strunta i de parasitiska kapacitanser som kan finnas i kretsen.



b) Rita ett småsignalsschema där utsignalen  $v_{ut}$  är tydligt markerad.

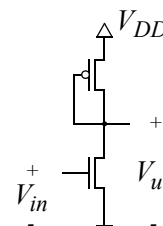
c) Rita spänningen  $v_{ut}$  som funktion av tiden  $t$ , när vi har en insignal  $v_{in}$  som den i figuren till höger.

### Uppgift A6:

Vidstående förstärkarsteg belastas med en mycket hög impedans.

a) Rita ett småsignalsschema som representerar förstärkarsteget.

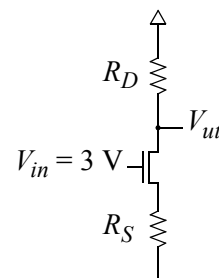
b) Ta fram ett uttryck för spänningsförstärkningen för småsignaler i förstärkarsteget, givet att NMOS-transistorn är i sitt mättade område.



### Uppgift A7:

Du skall dimensionera resistanserna  $R_D$  och  $R_S$  i kretsen till höger så att det flyter en likström på  $0,5 \text{ mA}$  från  $V_{DD}$  (som är  $5 \text{ V}$ ) till jord.

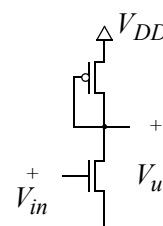
I punkten  $V_{ut}$  kommer en högimpediv spänningsprob anbringas och denna skall vid korrekt dimensionering uppmäta  $3 \text{ V}$ . Använd följande transistorparametrar:  $\mu C_{ox} = 20 \text{ }\mu\text{A/V}^2$ ,  $W = 100 \text{ }\mu\text{m}$ ,  $L = 2 \text{ }\mu\text{m}$ , samt  $V_T = 1,5 \text{ V}$ , och försumma bodyeffekten.



### Uppgift A8:

Vi ska konstruera en förstärkare, baserat på steget till höger där vi använder en diodkopplad PMOS-transistor som lastresistans.

Genom specifikationen vi fått i handen vet vi att arbetspunkten för inspänningen definitivt begränsas till följande intervall  $0,8 \text{ V} \leq V_{in} \leq 3,8 \text{ V}$ . Dessutom läser vi oss till att  $V_{DD} = 5 \text{ V}$  samt att  $V_{T, NMOS} = -V_{T, PMOS} = 0,7 \text{ V}$ .

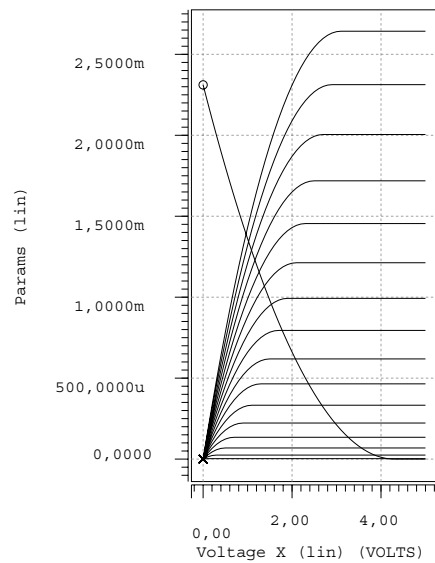


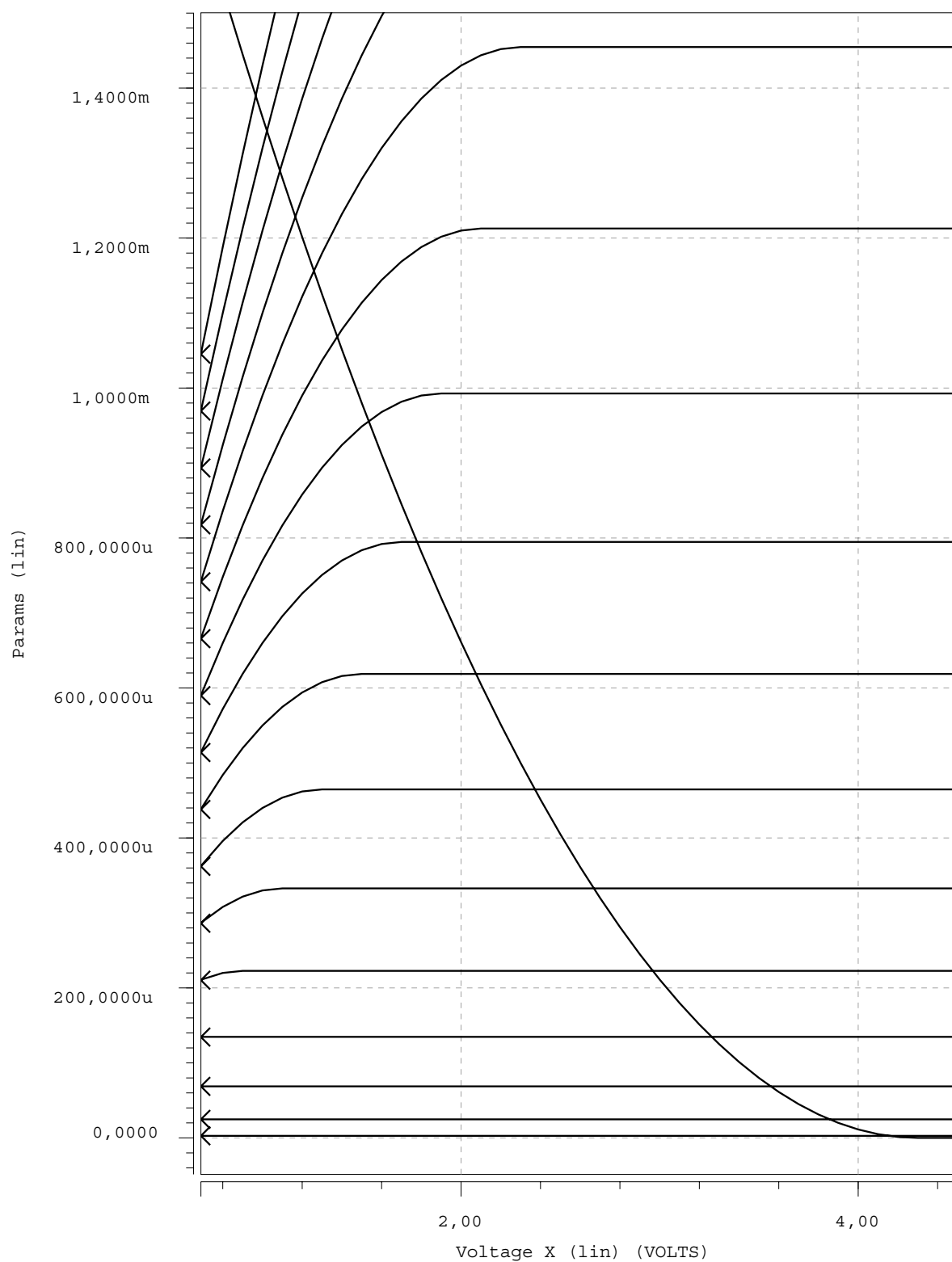
Tack och lov fick vi också från våra kollegor en graf som visar I-V karakteristiken för såväl den diodkopplade PMOS-transistorn som NMOS-transistorn — se figuren till höger. En större version av denna I-V karakteristisk finns på nästa sida, och det är här viktigt att notera att

1.  $V_{ut}$  (i V) anges på x-axeln, och  $I_D$  (i A) på y-axeln,
2. karakteristiken för NMOS:en anges i heldragna linjer, medan karakteristiken för PMOS:en anges med en streckad linje, samt
3. för NMOS-karakteristiken varierar  $V_{in}$  inom intervallet  $0,8 \text{ V} \leq V_{in} \leq 3,8 \text{ V}$ , med spänningsinkrementen  $\Delta V_{in} = 0,2 \text{ V}$ .

För att kunna bestämma en lämplig placering av arbetspunkten har vi blivit uppmanade att beskriva respektive transistors förstärkning i form av parametern *transkonduktans*. Man har vidare berättat att vi, i just detta fall, kan bortse från kanallängdsmodulationen.

- a) Anta en NMOS-transistor: Uttryck transkonduktansen  $g_m$  för det linjära respektive det mättade operationsområdet.
- b) Vid vilket  $V_{in}$  byter NMOS-transistorn operationsområde, mellan linjärt och mättat?
- c) För NMOS-transistorn, rita dess  $g_m$  som funktion av  $V_{in}$ .
- d) I kurvan från uppgift c), vid vilket  $V_{in}$  är  $g_m$  vid sitt maximum?

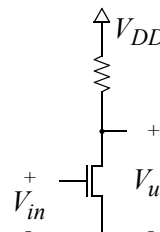




### Uppgift A9:

a) Bestäm bredden  $W$  på transistorn i förstärkarsteget till höger så att utgångsspänningen  $V_{ut}$  svänger kring den spänning vid vilken ingångsspänningen  $V_{in}$ s arbetspunkt är belägen.

b) Om en lastkapacitans på 30 fF placeras på utgången på förstärkarsteget till höger, hur många grader kommer utgången att färförskjutas jämfört med en ingångssignal som håller frekvensen 100 MHz?



Använd följande transistorparametrar:  $\mu C_{ox} = 100 \mu\text{A}/\text{V}^2$ ,  $L = 1 \mu\text{m}$ , samt  $V_T = 0,7$

V. Du får försumma kanallängdsmodulation. Transistorkapacitanser kan bortses från. Inspänningen  $V_{in}$  som används är en perfekt sinusvåg som svänger symmetriskt mellan 1,2 och 1,3 V. Slutligen,  $V_{DD}$  är satt till 2 V medan lastresistansens värde är 5 k $\Omega$ .

---

## Digitala kretsar:

---

### Uppgift D1:

När man arbetar med CMOS-grindar för digitala ändamål är uppenbarligen fördröjningen mycket viktig. Under föreläsningarna har vi främst studerat en enkel inverterare, eftersom den illustrerar alla viktiga prestandaaspekter på ett tydligt sätt. När man ska bygga ett riktigt digitalt system måste vi dock jobba med lite mer avancerade grindar. Nu är väl inte NAND-grinden den mest komplicerade CMOS-grinden som finns, men den kan ju ge lite realism åt problematiken att hitta fördröjningen.

a) Formulera en funktion för värsta möjliga fördröjning för en fallande utgång hos en NAND-grind byggd i standard CMOS-teknik, där båda ingångarna drivs med ideala stigande flanker. Utnyttja definitionerna och antagandena som ges nedan.

I en NAND-grind mäter vi fördröjningen (för fallande utgång) från det tillfälle när den ingång som stiger senast av de två, stiger förbi 50% av matningsspänningen, till det tillfälle när utgången faller under 50% av matningsspänningen.

Vi gör ett antal antaganden:

- Anta att bredderna hos de två (lika stora) NMOS-transistorerna kan omvandlas till en s.k. ekvivalent bredd, som därefter kan användas i ett uttryck för en inverterares fördröjning.
- För uttrycket för en inverterares fördröjning antar vi att utgångens logiska 1:a ska laddas ur till dess att utgången nått 50% av matningsspänningen.
- För att kunna räkna på den ström som ska förslas bort laddningen på utgången kan vi för enkelhets skull anta att alla ingående transistorer under den aktuella delen av signalomslaget befinner sig i sina mättade områden.
- Vi bortser från alla parasitiska kapacitanser inuti NAND-grinden — vi har alltså endast att ta hänsyn till den belastande kapacitansen  $C_L$ .
- Slutligen, antag att tröskelspänningen är en femtedel av matningsspänningen.

b) Vilket värde för värsta möjliga fördröjning för en fallande utgång får vi i uttrycket i uppgift a)?

Vi har följande parametrar för MOS-transistorerna i NAND-grinden:  $L = 1 \mu\text{m}$ ,  $W_n = 2 \mu\text{m}$ ,  $W_p = 2 \mu\text{m}$ ,  $\mu_n C_{ox} = 50 \mu\text{A}/\text{V}^2$ ,  $\mu_p C_{ox} = 20 \mu\text{A}/\text{V}^2$ ,  $V_{Tn} = 1 \text{ V}$ ,  $V_{Tp} = -1 \text{ V}$  samt  $C_L = 30 \text{ fF}$ ? Dessutom har vi att  $V_{DD} = 5 \text{ V}$ .

c) Låt oss försöka formulera den värsta möjliga fördröjningen för en fallande utgång hos en NAND-grind på ett annat sätt. Vi kan se NMOS-nätet som ansvarigt för att driva en utsignal, som från början ligger vid  $V_{DD}$ , till 0 V. Då kan man modellera NMOS-transistorerna som resistanser i en RC-länk som laddar ur utgången.

Vi gör ett antal antaganden även här:

- i) Vi behöver inte bry oss om parasitiska kapacitanser, utan kan koncentrera oss på  $C_L$ .
- ii) Antag att NMOS-transistorerna är i sina linjära områden, och att  $V_{DS}$  över en NMOS är litet.
- iii) Slutligen, antag att tröskelspänningen är en femtedel av matningsspänningen.

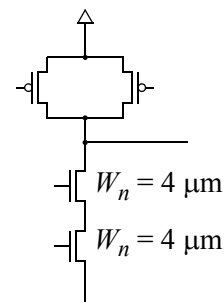
Formulera ett uttryck för fördröjningen för RC-länken, genom att sätta fördröjningen = tidskonstanten  $\tau$  (=  $RC$ ).

d) Vilket värde för värsta möjliga fördröjning för en fallande utgång får vi i uttrycket i uppgift c), om vi har samma parametrar som i uppgift b)?

### Uppgift D2:

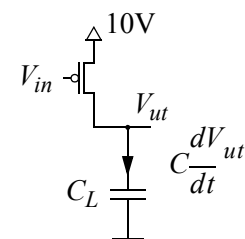
a) Förklara principen bakom att använda sig av breddjustering ("sizing") på transistorer i logiska grindar för att justera stig- och falltider.

b) Tillse att den logiska grinden till höger uppfyller kravet på lika stig- och falltider, genom att finna lämpliga transistorbredder  $W_p$  för de två PMOS-transistorerna. Vad gäller mobiliteter har vi  $\mu_n = 450 \text{ cm}^2/\text{Vs}$  samt  $\mu_p = 150 \text{ cm}^2/\text{Vs}$ ,



### Uppgift D3:

Vidstående krets, med en  $50 \mu\text{m}$  bred och  $1 \mu\text{m}$  lång PMOS-transistor, kommer vid  $t = 0$  att uppleva att insignalen  $V_{in}$  slår abrupt från 10 V till 0 V. Utgången på kretsen  $V_{ut}$  är vid  $t = 0$  belägen på 0 V, d.v.s. den belastande kapacitansen  $C_L$  på 1 pF är tom på laddning. Vi vet att PMOS:en har följande egenskaper:  $V_T = -2 \text{ V}$  samt  $\mu C_{ox} = 50 \mu\text{A}/\text{V}^2$ . Antag vidare att vi kan bortse från alla parasitiska kapacitanser inuti PMOS:en.



a) Exakt hur lång tid förlöper innan  $V_{ut}$  når 2 V, om kanallängdsmodulationen  $\lambda = 0 \text{ V}^{-1}$ ?

b) Exakt hur lång tid förlöper innan  $V_{ut}$  når 2 V, om kanallängdsmodulationen  $\lambda = 0,05 \text{ V}^{-1}$ ?

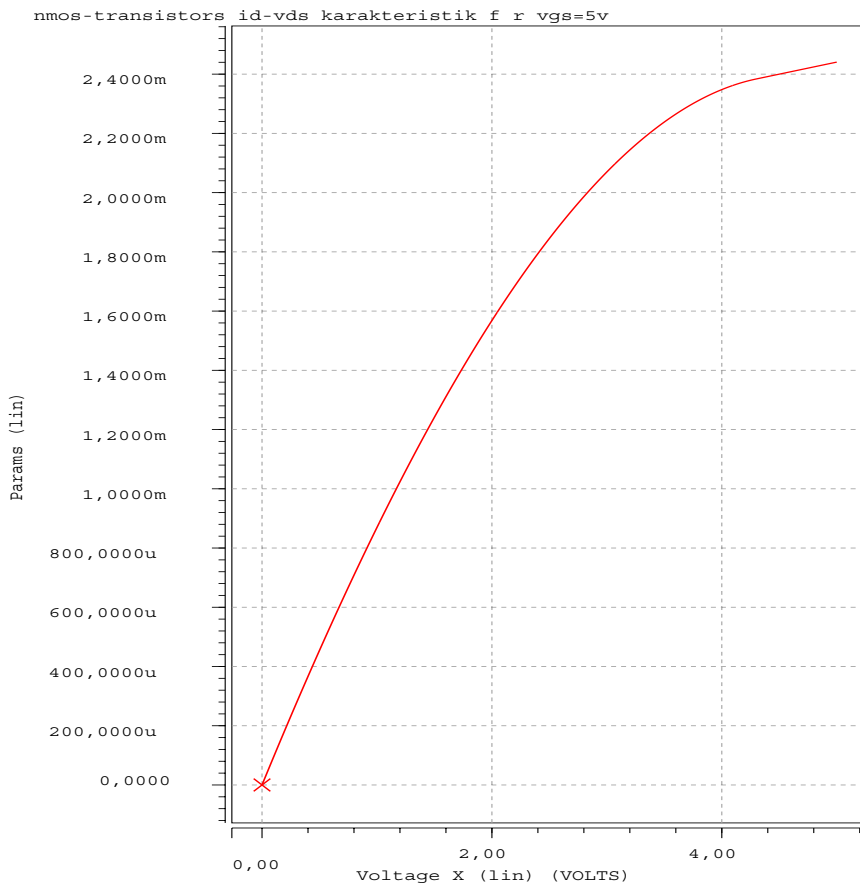


### Uppgift D4:

Ett metodalternativ för att räkna på fördröjning genom en CMOS-grind bygger på begreppet ON-resistans.

a) Ange ett allmängiltigt uttryck för fördröjningen för en CMOS-inverterare, som slår om sin utgång från 1 till 0, genom att använda begreppet ON-resistans.

b) Vi har lyckats komma över en utskrift av I-V karakteristiken (vid  $V_{GS} = V_{DD}$ ) för NMOS-transistorn (nedan), som används i den CMOS-inverterare som är föremål för vårt intresse. Bestäm värdet på ON-resistansen.



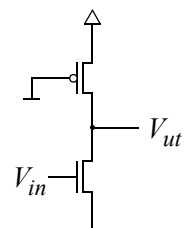
c) Under förutsättning att du gjort rätt på uppgift a); är den fördröjning man erhåller från uppgift a) en *överskattning* eller en *underskattning* av den verkliga grindfördröjningen? Givetvis krävs en motivering till ditt val.

### Uppgift D5:

Till höger syns en grind (inverterare) av pseudo-NMOS-typ. Två viktiga egenskaper som har med grindens brusmarginal att göra är *spänningsnivåerna på den logiska utgången* respektive *omslagspunkt för grinden*, och du ska räkna fram båda i denna uppgift.

Vad gäller transistorerna har NMOS:en följande egenskaper:

$$W/L = 10, \mu C_{ox} = 110 \mu A/V^2, V_T = 0,7 V, \lambda = 0 V^{-1},$$



medan PMOS:en har följande:

$$W/L = 2, \mu C_{ox} = 50 \mu\text{A/V}^2, V_T = -0,7 \text{ V}, \lambda = 0 \text{ V}^{-1}.$$

Matningsspänningen är  $V_{DD} = 3,3 \text{ V}$ .

Eftersom PMOS-transistorn, med sin jordade gateterminal, alltid är påkopplad kommer utspänningen som representerar en logisk nolla inte riktigt att nå ned till 0 V. Detta, för pseudo-NMOS (ökända tillkortakommande, påverkar brusmarginalen, genom att den dåliga logiska nollan ut från grinden lättare blir förstörd än en logisk nolla från t.ex. en CMOS-inverterare vars nolla verkligen är 0 V.

a) För en logisk etta på ingången, d.v.s.  $V_{in} = 3,3 \text{ V}$ , bestäm  $V_{ut}$ .

Begreppet omslagspunkt ( $V_{TRIP}$ ) torde vara bekant från föreläsningarna och SPICE-övningarna: det är den inspanning  $V_{in}$  som ger upphov till  $V_{ut} = V_{DD} / 2$ . Därmed motsvarar  $V_{TRIP}$  den inspanning som ger upphov till ett omslag av grindens logiska utgång.

b) Bestäm omslagspunkten  $V_{TRIP}$

## Ledningar i digitala system:

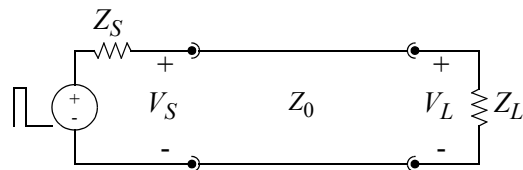
### Uppgift L1:

Att skicka signaler som innehåller endast ett steg, så att spänningen går från logiskt 0 till logiskt 1 är ju ett ganska akademiskt exempel. I verkligheten är ju en puls mycket mer vanligt förekommande så låt oss räkna på en sådan.

Låt oss studera en perfekt fyrkantspuls, med 1 V i amplitud och 200 ps i bredd, som färdas över en förlustfri transmissionsledning med ett löptid ( $t_d$ ) på 400 ps (löptiden = tiden det tar för pulsen att färdas till belastningen vid änden av ledningen). Vid  $t = 0$  sänds alltså pulsen iväg från källan, genom att stiga från 0 V till 1 V. Vi vet att källans inre impedans är  $Z_S = 900 \Omega$ , att  $Z_0$  är  $100 \Omega$  samt att belastningens impedans är  $Z_L = 25 \Omega$

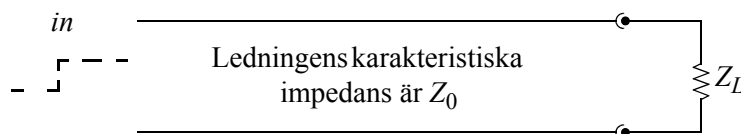
a) För tidsperioden  $t = 0$  till  $t = 1,4 \text{ ns}$ , rita ett rum-tid diagram för signalerna  $V_S$  respektive  $V_L$ .

b) För tidsperioden  $t = 0$  till  $t = 1 \text{ ns}$ , rita signalernas spänningar som funktion av tiden  $t$ , för såväl  $V_S$  som  $V_L$ .



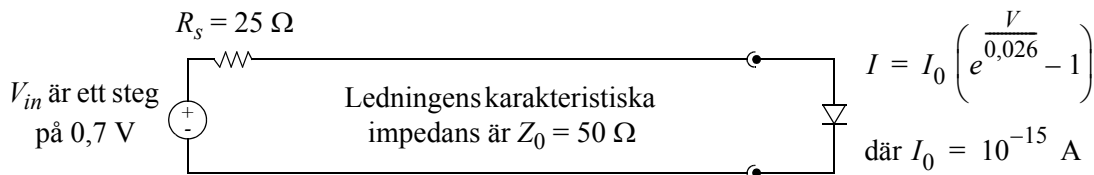
### Uppgift L2:

Härled reflektionskoefficienten  $\Gamma$  för ledningen nedan!



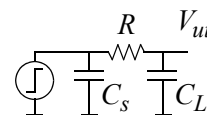
### Uppgift L3:

Hur lång tid tar det innan ledningen nedan svängt in till ett stabilt tillstånd (steady-state)? Ange tiden i antal löptider ( $td$ ) — en ( $1$ )  $td$  är alltså tiden det tar för signalen att ta sig från källan till dioden, alternativt från dioden till källan. Vi kan anta att ett stabilt tillstånd har inträtt när spänning och ström når inom 10% av sina respektive exakta steady-state värden (då  $T \rightarrow \infty$ ).

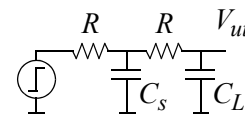


### Uppgift L4:

a) En ledning med en viss resistans  $R$ , samt med kapacitanserna  $C_s$  respektive  $C_L$  på ömse sida om  $R$ , drivs av en ideal spänningsgenerator som slår om från 0 V till 1 V (se figur till höger). Vad är fördröjningen, om vi räknar från tiden då spänningsgeneratoren slår om till dess att utsignalen har nått till 63% av sitt slutvärde?



b) Ledningen drivs av en steggenerator som har en inre resistans av  $R$  (se figur till höger). Vad är fördröjningen, om vi räknar från tiden då spänningsgeneratoren slår om till dess att utsignalen har nått till 63% av sitt slutvärde?



### Uppgift L5:

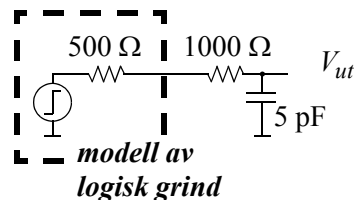
a) Rita en lämplig elektrisk modell av ett segment av en transmissionsledning.

b) En ledning som bär en digital signal kan modelleras som antingen en med distribuerade egenskaper eller en utan — den senare kallas då “lumpad”. Ange det villkor, på för ledningen och signalen relevanta storheter, som används för ledningar inom digital konstruktion för att beskriva när ett distribuerat synsätt krävs.

### Uppgift L6:

En längre ledning som har resistansen  $1000 \Omega$  samt kapacitansen  $5 \text{ pF}$  drivs av en logisk grind. Vi modellerar för enkelhets skull grinden som en spänningsgenerator som kopplas i serie med en resistans på  $500 \Omega$ . Spänningsgeneratoren har följande egenskaper:

1. en omslagspunkt, d.v.s. den nivå som insignalen ska passera för att utgången ska slå om, som är belägen mitt emellan  $V_{DD}$  och 0 V
2. en konstant, inneboende fördröjning, d.v.s. från det att omslagspunkten passerats till utgången slår om, som är  $500 \text{ ps}$
3. en idealt stegformad utgångssignal, med stig- och falltider identiska med 0 ps
4. en typisk högimpediv MOSFET-ingång, som uppvisar en försumbar kapacitiv last till det ledningssegment som driver grinden



Vi blir nu satta att minimera den totala fördröjningen genom ledningen, räknad från det att insignalen till spänningsgeneratoren passerar 50% av  $V_{DD}$  till det att utgången från ledningen passerar 50% av  $V_{DD}$ . Vi vet att man kan reducera RC-fördröjningen i ledningen genom att dela upp den i ett antal kortare segment, där varje segment drivs av en logisk grind som vi infogat. Vi antar att de logiska grindar som vi infogar kan modelleras med spänningsgeneratoren, som beskrevs ovan, i serie med en  $500\text{-}\Omega$  resistans. Att det logiska värdet ut från ledningen kan råka bli inverterat, jämfört med ursprungskretsen, då vi lägger till grindar behöver vi inte bry oss om.

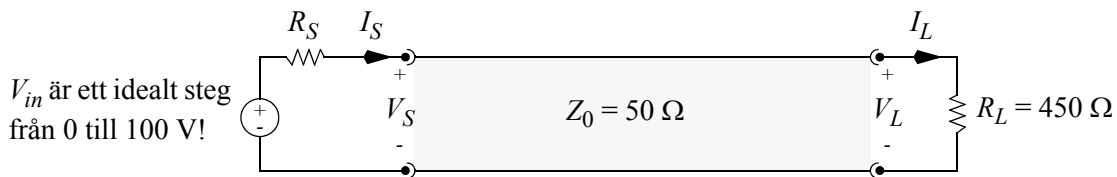
Bestäm antalet segment som ledningen ska delas upp i för att man ska erhålla kortast total fördröjning.

**Uppgift L7:**

På en arbetsplats fanns ett projekt där en anställd, John Doe, misslyckades med en konstruktion som beskrivs i nedanstående figur. Så vad gick snett? Jo, vad man i efterhand lyckats få reda på är att den (numera f.d.) anställda använde de komponentvärden som anges i figuren, d.v.s. en transmissionsledning av LC-typ med den karakteristiska impedansen  $50\ \Omega$  samt en terminerande impedans på  $450\ \Omega$ . Inspänningen är alltså ett abrupt steg från  $0\ \text{V}$  till  $100\ \text{V}$ .

Frågan man ännu idag ställer sig är vilket värde på källimpedansen  $R_S$  som John använde sig av. En ledtråd var att man fann, på Johns arbetsbänk, två resistanser som är de enda han kan ha haft tillgång till: en resistans var på  $60\ \Omega$ , medan den andra var på  $75\ \Omega$ .

**a)** Med tanke på att misslyckandet bestod i att John D fick ringningar i sin krets, där spänningsnivån på åtminstone en av  $V_S$  och  $V_L$  översteg  $100\ \text{V}$ , vilken impedans hade  $R_S$  i Johns krets?



Löptiden ( $t_d$ ) är den tid det tar för signalen att ta sig igenom transmissionsledningen ovan.

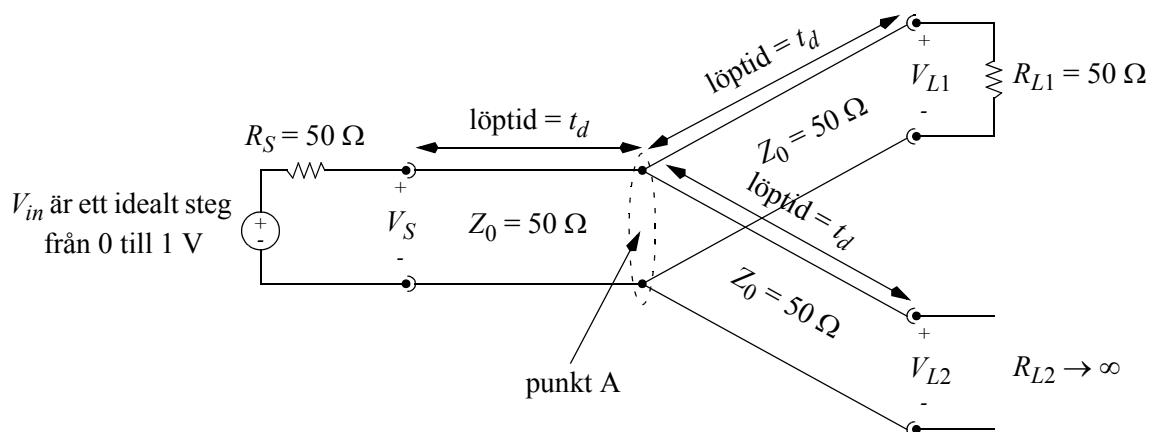
**b)** För impedansen på  $R_S$  du räknat fram i uppgift **a)**, visa med hjälp av ett Bergerondiagram hur spänningsnivån på  $V_S$  samt på  $V_L$  varierar för  $0 \leq t \leq 4 \cdot t_d$ .

**c)** En typisk lösning till telegrafekvationen för en LC-länk är  $A \cos(\omega(t - x/v_p))$ . Vad är löptiden  $t_d$  om den totala kapacitansen i transmissionsledningen ovan är  $1\ \text{pF}$ ?

### Uppgift L8:

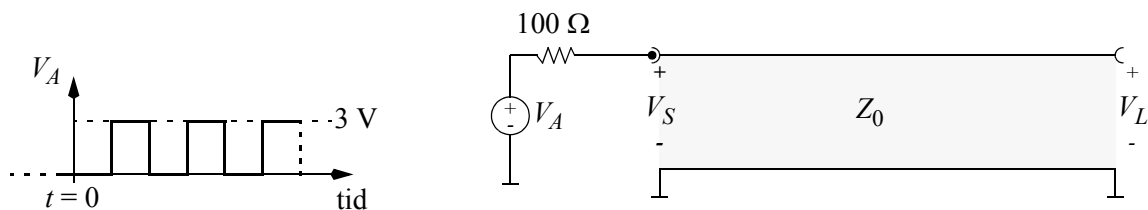
Kretsen i nedanstående figur visar en signalkälla  $V_{in}$  som driver en signal mot sammanbindningspunkten A, där vi har en utgrening i två ledningar. Det är värt att notera att löptiden för samtliga tre ledningssegment är vardera  $t_d$ , och att den karakteristiska impedansen dessutom är  $50 \Omega$  för samtliga segment.

- a) Vilken reflektionskoefficient i punkt A ser signalen som färdas från källan  $V_{in}$  mot sammanbindningspunkten?
- b) Rita spänningarna  $V_S$ ,  $V_{L1}$  resp.  $V_{L2}$ , som funktion av tid inom perioden  $0 \leq t < 6 \cdot t_d$ .



### Uppgift L9:

Vi har en situation där en grind driver en 1 cm lång förlustfri transmissionsledning, vilken har en total induktans på 10 nH och en total kapacitans på 1 pF. Grinden i fråga är en CMOS-inverterare, men för att slippa den icke-linjära  $I_D$ - $V_{DS}$  karakteristiken hos invertaren får vi lov att göra en approximation: Vi kan betrakta invertaren som en ideal späningskälla i serie med en resistans på  $100 \Omega$ , där späningskällan slår mellan 0 och 3 V (se figuren nedan).



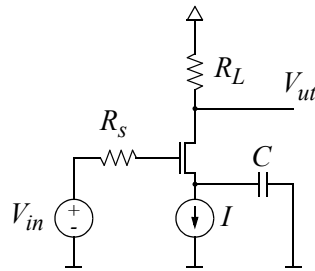
Under förutsättning att ledningen avslutas, till höger, med en mycket hög impedans, och att periodtiden för fyrkantvågen i  $V_A$  är 400 ps, bestäm och rita upp  $V_S(t)$  och  $V_L(t)$  för  $0 \leq t < 800$  ps.

Löptiden för en signal som färdas i en LC-ledning kan skrivas som  $t_d = Z_0 \cdot C$ .

## Designkontext:

### Uppgift K1:

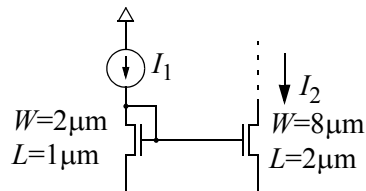
Figuren nedan föreställer ett Common-Source MOS förstärkarsteg med resistiv last. Last samt resistansnät för placering av arbetspunkt har för enkelhets skull kombinerats i resistansen  $R_L$ . En lämplig arbetspunkt har etablerats tack vare strömkällan  $I$ . Kapacitansen  $C$  antas vara mycket stor så att den oändliga impedansen i strömkällan kortslutes och transistorens source hamnar på jord i relation till en växelspanning:



- a) Rita en ekvivalent krets som är lämplig för att bestämma denna förstärkares högfrequensegenskaper.
- b) Genom att använda begreppet Millerkapacitans, bestäm övre gränshänsynsfrekvensen i kopplingen ovan.

### Uppgift K2:

Bestäm storleken på strömmen  $I_2$  i figuren nedan.



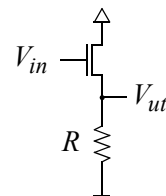
### Uppgift K3:

Vi har under kursens gång härlett småsignalförstärkningen för en emitterföljare (source follower) med hänsyn tagen till bodyeffekten. För ett kretsschema över emitterföljaren, se figuren till höger.

Härled småsignalförstärkningen för kretsen till höger utgående från de tre förutsättningarna som ges nedan.

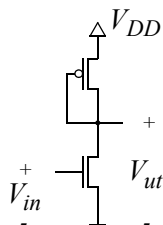
Förutsättningarna är att du

1. ska använda dig av ett ekvivalent småsignalsschema i uträkningen
2. ska försumma bodyeffekten
3. ska försumma transistorkanalens differentiella resistans

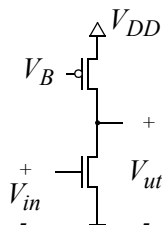


### Uppgift K4:

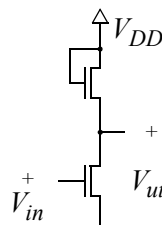
I denna uppgift ska de fyra förstärkarstegen i figuren nedan studeras. Vi antar att  $V_{DD} = 5\text{ V}$ ,  $V_{Tn} = 0,7\text{ V}$  och  $V_{Tp} = -0,7\text{ V}$ .



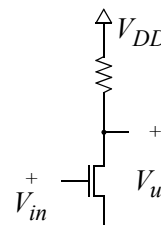
Steg 1



Steg 2



Steg 3



Steg 4

a) Bestäm för vart och ett av de fyra olika stegen respektive utspänning  $V_{ut}$  när  $V_{in} = 0\text{ V}$ .

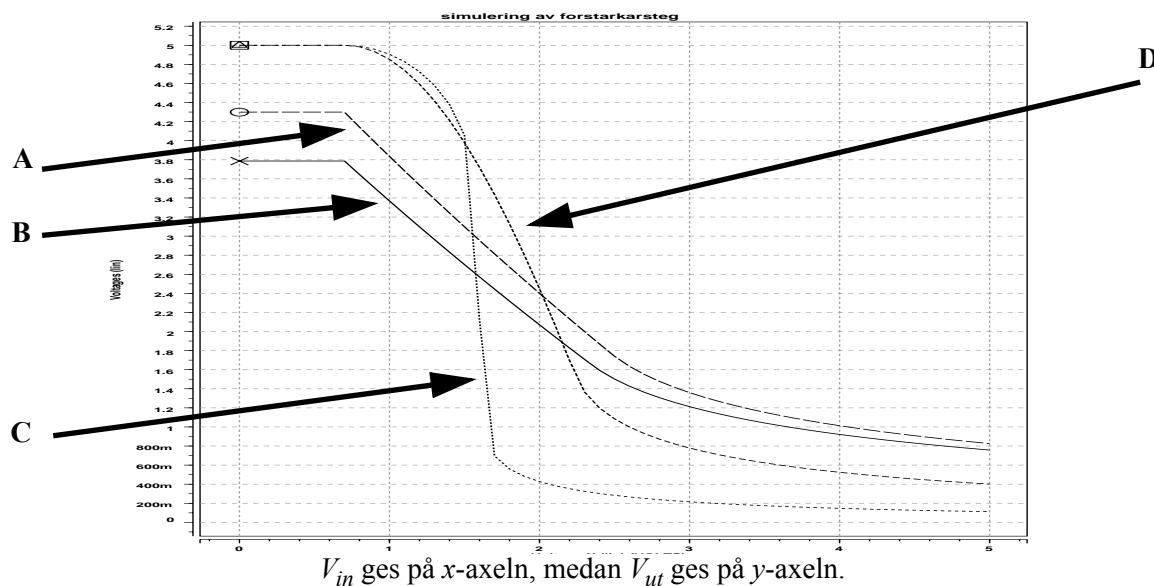
Bodyeffekten för en NMOS-transistor kan beskrivas som ett tillägg på tröskelspänningen motsvarande

$$\gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}) \text{ då } V_{SB} \geq 0$$

För en NMOS-transistor används typiskt följande parametrar:  $\gamma = 0,4\text{ V}^{1/2}$ , och  $2\phi_F = 0,7\text{ V}$ .

I nedanstående figur visas resultaten för en simulering av de fyra olika förstärkarstegen.

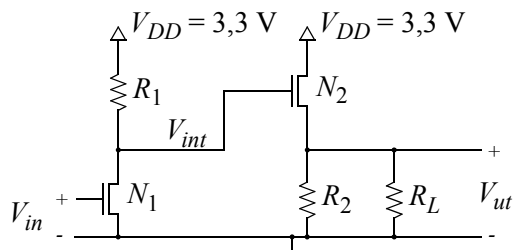
b) Para ihop stegen (1, 2, 3, 4) i figuren ovan med graferna (A, B, C, D) i figuren nedan. Du ska motivera varje par!



### Uppgift K5:

Ett Common-Source steg bestående av  $N_1$  och  $R_1$  hade krav på ganska hög förstärkning, men när det belastades med en lågohmig belastning  $R_L$  lyckades man inte få en tillräckligt hög spänning över  $R_L$ .

Tyvärr kan ju ett CS-steg inte effektivt leverera en förstärkt spänning till  $R_L$ , om denna har relativt låg resistans, utan man blev snart tvungen att infoga ett Source-Follower steg (bestående av  $N_2$  och  $R_2$ ) mellan CS-steget och belastningen. I figuren till höger visas den krets som blev slutresultatet.



Syftet med denna uppgift är att analysera ovanstående krets (småsignals)förstärkning,  $v_{ut}/v_{in}$ , och i de kommande deluppgifterna ska vi stegvis närma oss ett värde på förstärkningen. Eftersom deluppgifterna intimt hör samman i ett tänkt konstruktionsflöde, så kan du, ifall du upptäcker att du har svårt att lösa en deluppgift, försöka approximera fram ett svar (alternativt göra en bildad gissning) så du har ett vettigt ingångsvärde till nästa deluppgift. Om du tvingas ge något annat än ett exakt svar, var extra noga med att motivera dina resonemang.

Komponenterna i vår förstärkande krets har följande värden:  $R_1 = R_2 = 15 \text{ k}\Omega$ ,  $R_L = 5 \text{ k}\Omega$ ,  $W_{N1} = 5 \text{ }\mu\text{m}$ ,  $W_{N2} = 15 \text{ }\mu\text{m}$ . För  $N_1$  och  $N_2$  gäller  $L = 1 \text{ }\mu\text{m}$ ,  $V_T = 0,7 \text{ V}$ ,  $\mu C_{ox} = 100 \text{ }\mu\text{A/V}^2$ ,  $\gamma = 0,4 \text{ V}^{1/2}$ ,  $\lambda = 0 \text{ V}^{-1}$ , samt  $\phi_F = 0,35 \text{ V}$ . Genomgående i våra kommande beräkningar på denna uppgift kan vi anta att MOSFET:arna är i sina mättade områden (ja, alla parametrar har valts så mättad garanteras ...).

- Bestäm arbetspunkten på  $V_{int}$  för det fall när arbetspunkten för  $V_{in}$  placeras på 1,3 V.
- Bestäm arbetspunkten på  $V_{ut}$ , genom att använda den arbetspunkt på  $V_{int}$  som du räknat fram i uppgift a).

Bodyeffekten för en NMOS-transistor kan beskrivas som  $\gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F})$ .

Transkonduktansen  $g_m = dI_D/dV_{GS}$  är en beståndsdel i uttrycket för strömkällan  $i = g_m v_{gs}$  som vi återfinner i småsignalsschemor över MOSFET:ar. Bodyeffekten kan också representeras som en strömkälla i ett småsignalsschema, om vi skapar oss en transkonduktans  $g_{mb}$  som beror av  $V_{BS}$ ; strömkällan kan vi härmed skriva som  $i = g_{mb} v_{bs}$ . (Vi har valt ordningen Body-Source för att strömmarna  $i = g_m v_{gs}$  och  $i = g_{mb} v_{bs}$  ska ha samma riktning.)

- Visa att  $g_{mb} = \chi \cdot g_m$ , där Sedra och Smith definierat  $\chi = dV_T/dV_{SB}$ .
- Rita småsignalsschemat för ovanstående krets. Endast  $v_{in}$ ,  $v_{int}$  samt  $v_{ut}$  är tillåtna spänningsstorheter i slutliga schemat ( $v_{gs}$  eller  $v_{bs}$  är otillåtna). Kapacitanser kan uteslutas.
- Utgående från småsignalsschemat i uppgift d), bestäm ett uttryck för förstärkningen  $v_{ut}/v_{in}$  och ange dess numeriska värde.



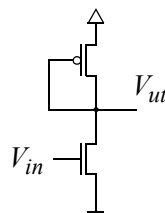
**Uppgift K6:**

I vissa av de följande deluppgifterna ges medvetet vaga förutsättningar (vilket är precis som vanligt för en ingenjör). Det finns alltså ibland ett visst utrymme för att göra egna (rimliga) antaganden, och vid dessa tillfällen gäller det att tydligt motivera dessa antaganden.

**a)** Rita ett småsignalsschema för ett Common-Source förstärkarsteg, som består av två komponenter: en NMOS-transistor samt en lastresistans  $R$ . Se till att schemat kan fånga frekvensegenskaper, det vill säga, rita in de kapacitetens som är väsentliga.

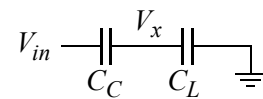
**b)** Förklara hur du definierar småsignalsresistanserna som du använder dig av i schemat. Vid poängsättningen kommer en noggrann, pedagogisk och koncis förklaring att premieras.

**c)** Istället för en lastresistans  $R$ , antar vi nu att vårt förstärkarsteg använder en diodkopplad PMOS-transistor (se figuren nedan). Bestäm spänningsförstärkningen för förstärkarsteget.



**Uppgift K7:**

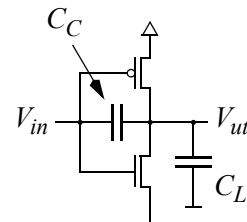
Till kretsen som visas till höger kopplas ett  $V_{in}$  som är en linjärt (med tiden) ökande spänning: Mellan tiden  $t = 0$  och  $t = 50$  ps går  $V_{in}$  från 0 V till 5 V. Notera också att i tiden  $t = 0$  är  $V_x = 5$  V.



**a)** Om  $C_C = 1$  fF och  $C_L = 5$  fF vad blir spänningen  $V_x$  i tiden  $t = 50$  ps?

Räkneuppgifter kan väl vara mer eller mindre genomtänkta. Denna uppgift tillhör (faktiskt!) de förra, för analysen i uppgift **a)** ligger väldigt nära den man får göra för att kunna räkna på Millereffektens inverkan på strömmar och spänningar i en digital grind som baseras på CMOS-tekniken.

I CMOS-inverteraren till höger sker ett omslag från logisk 0:a till 1:a på signalen  $V_{in}$ . Om kopplingskapacitansen  $C_C$  är relativt stor jämfört med  $C_L$  kommer spänningen på utgången  $V_{ut}$  kunna bli långt högre än  $V_{DD}$ . I en riktig CMOS-krets kommer dock inte spänningen kunna bli så väldigt mycket högre än  $V_{DD}$  för det finns ett antal mekanismer som begränsar  $V_{ut}$ .



**b)** Beskriv de mekanismer i kretsen som gör så att spänningen på utgången begränsas.

### Uppgift K8:

I en dynamisk digital krets ska en s.k. keeperinverterare användas. Vid matningsspänningen 3,3 V har man specificerat att keepern ska ha en omslagspunkt (d.v.s. den inspanning  $V_{TRIP}$  vid vilken inverteraren slår om sin logiska nivå på utgången) som ligger något över halva matningsspänningen. Anledningen är att man vill att keepern ska sluta driva den dynamiska utgångsnoden mot  $V_{DD}$  så snart som möjligt efter att utgångsnoden faller, för att minska kortslutningen och på så sätt spara effekt och vinna en del i hastighet i utvärderingsfasen. NMOS-transistorn i keepern har bredden  $W_n$ , längden  $L_n$ , samt kanallängdsmodulationen  $\lambda_n$  (för PMOS-transistorn gäller motsvarande  $W_p$ ,  $L_p$ , samt  $\lambda_p$ ).

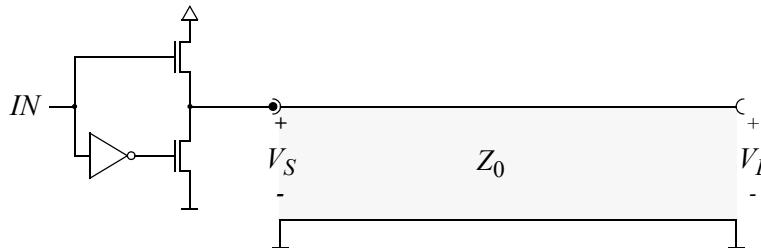
Du har fått specificerat att NMOS-transistorn måste ha  $W_n = 2 \mu\text{m}$  samt  $L_n = 1 \mu\text{m}$ , medan PMOS-transistorn måste ha  $L_p = 1 \mu\text{m}$ . Du kan däremot fritt variera  $W_p$ , under förutsättning att denna bredd överensstämmer med eller överstiger den minimala bredden  $2 \mu\text{m}$ . Vad gäller övriga transistorparametrar har vi att  $V_{Tn} = 0,7 \text{ V}$  och  $V_{Tp} = -0,7 \text{ V}$ , medan  $\mu C_{ox}$  är  $100 \mu\text{A}/\text{V}^2$  för NMOS och  $50 \mu\text{A}/\text{V}^2$  för PMOS.

Du kan använda två olika antaganden när det gäller kanallängdsmodulationen hos MOS-transistorerna; antingen är kanallängdsmodulationen försumbar, d.v.s.  $\lambda = 0$ , eller också är den satt till  $\lambda = 0,1 \text{ V}^{-1}$ . Nu ska du utreda inverkan av värdet på kanallängdsmodulationen på en kommande konstruktion av en keeper. Du får anta att utgången på keepern möter en belastning med mycket hög impedans.

Givet att  $V_{TRIP}$  specificeras till exakt 1,8 V samt att summan av  $W_n$  och  $W_p$  inte får överstiga  $9 \mu\text{m}$  (av effektbesparingsskäl), bestäm  $W_p$ ,  $\lambda_p$ , samt  $\lambda_n$  som uppfyller ovanstående specifikationer.

### Uppgift K9:

Vi kopplar nu samman en lågeffektsbussdrivare (se föreläsninganteckningarna) med en transmissionsledning, se nedan:



Ledningen har en induktans på  $10 \text{ nH}$ , en kapacitans på  $1 \text{ pF}$  och en oavslutad högra ände ( $Z_L \rightarrow \infty$ ), medan NMOS:arna utmärks av  $W/L = 10$ ,  $V_{T0} = 0,7 \text{ V}$ , samt  $\mu C_{ox} = 110 \mu\text{A}/\text{V}^2$ . Vidare är  $V_{DD} = 5 \text{ V}$ .

Bestäm  $V_S$  och  $V_L$  för  $0 \leq t < 500 \text{ ps}$ , under förutsättning att  $IN$  slår från 0 till 5 V i  $t = 0$ .

Man får göra två antaganden:

1. Inverteraren saknar fördröjning.
2. Substratet på den övre NMOS-transistorn är kopplat till  $V_S$  tack vare att vi har en avancerad tillverkningsprocess.

## Lösningar till övningsuppgifter i EDA351 Kretselektronik

---

---

### Repetition:

---

#### Uppgift R1:

a)  $R_{DC} = \frac{0,62}{0,0108} = 57,4 \Omega$

b)  $R_{AC} = \frac{0,63-0,61}{0,0159-0,0073} = 2,33 \Omega$

c) Vi fick följande tips

$$I = I_0 \left( e^{\frac{V}{V_{th}}} - 1 \right).$$

Vi tar fram den differentiella resistansen genom att derivera funktionen!

$$\frac{1}{r} = \frac{d}{dV} \left[ I_0 \left( e^{\frac{V}{V_{th}}} - 1 \right) \right] \approx \frac{1}{V_{th}} \cdot I, \text{ ty } I_0 \text{ mycket liten.}$$

Alltså har vi att

$$r \approx \frac{V_{th}}{I}$$

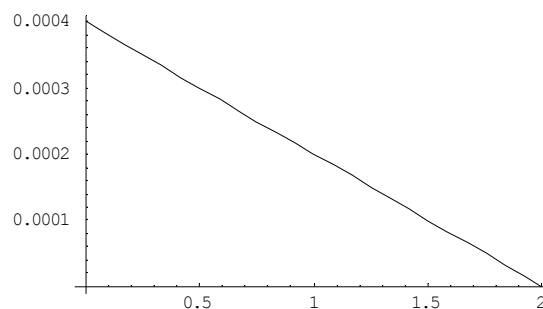
och just i punkten 0,62 V avläser vi  $I = 10,8$  mA. Därför får vi, antagande en termisk spänning av 0,026 V vid rumstemperatur:

$$r = \frac{0,026}{0,0108} = 2,41 \Omega$$

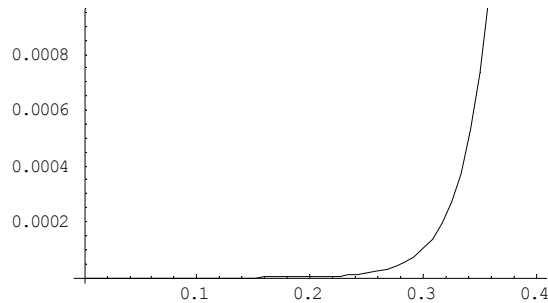
---

#### Uppgift R2:

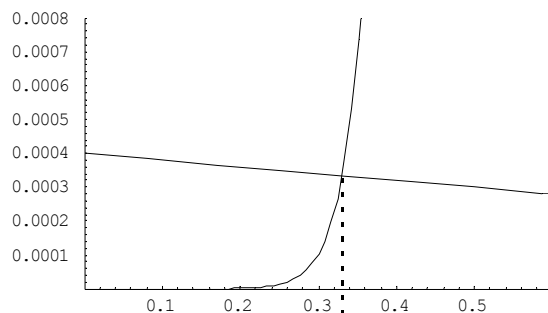
a) Rita funktionen  $I(V) = \frac{V_{DD} - V}{R}$  !



Rita funktionen  $I(V) = I_0 \left( e^{\frac{V}{0,026}} - 1 \right) !$



Finn skärningspunkten:



Sökt  $V$  är ungefär 0,33 V!

**b)** Vi har att strömmen  $I$  genom dioden och resistansen kan beskrivas på två sätt, om vi antar  $V$  är spänningen i noden mellan dioden och resistansen:

$$I = I_0 \left( e^{\frac{V}{0,026}} - 1 \right) \text{ respektive } I = \frac{V_{DD} - V}{R}$$

Vi kan t.ex. använda Newton-Raphsonmetoden för att iterera fram en lösning till ovanstående ekvationssystem:

$$V_{n+1} = V_n - \frac{f(V_n)}{f'(V_n)}, \text{ där}$$

$$f(V_n) = \frac{V_{dd} - V_n}{R} - I_0 \left( e^{\frac{V_n}{0,026}} - 1 \right) = 0$$

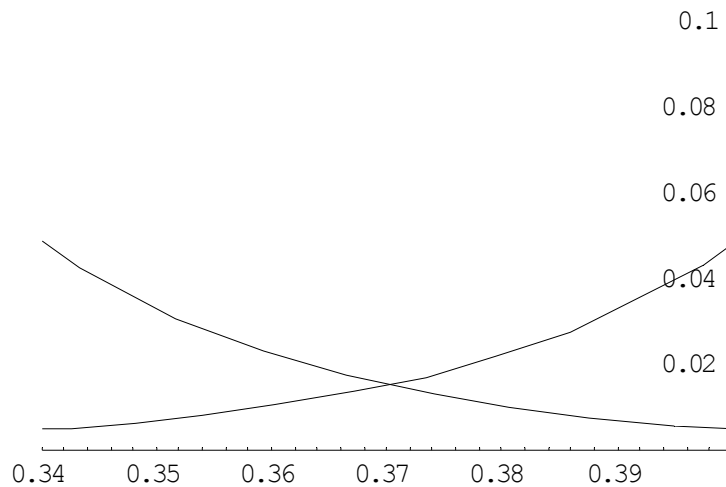
Alltså har vi nu att lösa iterativt:

$$V_{n+1} = V_n + \frac{\frac{V_{DD} - V_n}{R} - I_0 \left( e^{\frac{V_n}{0,026}} - 1 \right)}{\frac{1}{R} + \frac{I_0}{0,026} e^{\frac{V_n}{0,026}}}$$

Vi får som lösning:  $V = 0,331$  V

**Uppgift R3:**

$V_A = 370$  mV. Detta erhålles lämpligen genom en grafisk metod ( $I$  på y-axel,  $V_A$  på x-axel):



**Uppgift R4:**

Strömmen löses ut, tack vare  $j\omega$ -metoden, som:

$$i = \frac{V_A}{R + \frac{1}{j\omega C}} = \frac{V_A}{R - \frac{j}{\omega C}} = \frac{V_A \left( R + \frac{j}{\omega C} \right)}{R^2 + \frac{1}{(\omega C)^2}}$$

Givet  $V_A = 10 \sin(2\pi 10^7 t)$  V,  $R = 1$  k $\Omega$  samt  $C = 10$  pF, fås absolutbelopp och fas på strömmen  $i$ :

$$|i| = \frac{V_A \sqrt{R^2 + \frac{1}{(\omega C)^2}}}{R^2 + \frac{1}{(\omega C)^2}} = \frac{V_A}{\sqrt{R^2 + \frac{1}{(\omega C)^2}}} = \frac{10}{\sqrt{10^6 + 2,533 \times 10^6}} = 5,3 \text{ mA}$$

samt

$$\arg i = \operatorname{atan} \frac{1}{\omega RC} = 57,9^\circ \text{ (tänk på att } \operatorname{Im} > \operatorname{Re} \text{ vilket utesluter } 32,1^\circ \text{)}$$

Strömmen  $i$  kan nu skrivas

$$i = 5,3 \sin\left(2\pi 10^7 t + 57,9 \cdot \frac{\pi}{180}\right) \text{ mA}$$

---

---

## Analoga kretsar:

---

### Uppgift A1:

a) Vi har att

$$A_v = \frac{A_{v0}}{\left(1 + \frac{s}{\omega_{-3dB}}\right)},$$

eftersom vi angivit överföringsfunktionen på ett generellt sätt, d.v.s. med en DC-förstärkning och en övre gränshfrekvens. Återkoppling påverkar varje enskilt steg så att överföringsfunktionen nu ser ut som följer:

$$\frac{\frac{A_{v0}}{(1 + F A_{v0})}}{1 + \frac{j\omega}{(1 + F A_{v0}) \omega_{-3dB}}}.$$

Faktorn  $F$  är den multiplikativa faktorn vi söker. Således, att  $(1 + F A_{v0}) = 10$  medför att

$$F = \frac{9}{A_{v0}} = \frac{9}{100}.$$

b) Vi har  $H_1(s)$  för steg 1 och  $H_2(s)$  för steg 2. Dessa kaskadkopplas för att ge

$$H_{tot}(s) = H_1(s) \cdot H_2(s).$$

Med  $F$  lyckligt vald i uppgift a) får vi följande funktion:

$$H_{tot}(s) = \left( \frac{\frac{A_{v0}}{10}}{1 + \frac{j\omega}{10 \omega_{-3dB}}} \right) \cdot \left( \frac{\frac{A_{v0}}{10}}{1 + \frac{j\omega}{10 \omega_{-3dB}}} \right), \text{ eller}$$

$$H_{tot}(s) = \left( \frac{\frac{100}{10}}{1 + \frac{j\omega}{10 \cdot 10}} \right) \cdot \left( \frac{\frac{100}{10}}{1 + \frac{j\omega}{10 \cdot 10}} \right)$$

med värdena insatta. DC-förstärkningen för hela systemet är givetvis täljarna multiplicerade med varann, d.v.s.

$$\left(\frac{100}{10}\right)^2 = 100,$$

vilket råkar vara precis vad vi vill ha. Nu jagar vi efter övre gränshfrekvensen för hela systemet, och denna frekvens är som bekant den frekvens vi har när den frekvensberoende förstärkningen gått ned 3dB. Vi kan också skriva det så här

$$\left| \left( \frac{1}{1 + \frac{j\omega}{10 \cdot 10}} \right) \cdot \left( \frac{1}{1 + \frac{j\omega}{10 \cdot 10}} \right) \right| = \frac{1}{\sqrt{2}}.$$

Låt oss göra lite algebra för att hitta absolutbeloppet av nämnaren i överföringsfunktionen:

$$\left( \frac{1}{1 + \frac{j\omega}{100}} \right) \cdot \left( \frac{1}{1 + \frac{j\omega}{100}} \right) = \frac{1}{1 + \frac{2j\omega}{100} + \left(\frac{j\omega}{100}\right)^2} = \frac{1}{\left[1 - \left(\frac{\omega}{100}\right)^2\right] + \frac{2\omega}{100} \cdot j}.$$

Nu har vi en real- och en imaginärdel, och dessa ger oss beloppet genom:

$$\left| \frac{1}{\left[1 - \left(\frac{\omega}{100}\right)^2\right] + \frac{2\omega}{100} \cdot j} \right| = \frac{1}{\sqrt{\left[1 - \left(\frac{\omega}{100}\right)^2\right]^2 + \left[\frac{2\omega}{100}\right]^2}} = \frac{1}{\sqrt{2}}.$$

Nu går vi den sista biten och identifierar  $\omega$ , som motsvarar övre gränshfrekvensen:

$$\left[1 - \left(\frac{\omega}{100}\right)^2\right]^2 + \left[\frac{2\omega}{100}\right]^2 = 1 - 2\left(\frac{\omega}{100}\right)^2 + \left(\frac{\omega}{100}\right)^4 + 4\left(\frac{\omega}{100}\right)^2 = 2$$

$$\left(\frac{\omega}{100}\right)^4 + 2\left(\frac{\omega}{100}\right)^2 = 1 \Rightarrow \omega^4 + 2\omega^2 \cdot 100^2 - 100^4 = 0$$

$$\omega^2 = -100^2 \pm \sqrt{(-100^2)^2 + 100^4} = 4142.$$

Alltså, den övre gränshfrekvensen för förstärkaren är 64 MHz.

### Uppgift A2:

I det mättade området gäller

$$I_D = \frac{k}{2}(V_{GS} - V_T)^2,$$

d.v.s. strömmen på utgången beror av kvadraten av spänningen mellan gate och source. Genom att sätta in ett motstånd mellan source och jord, förskjuter man i någon mening relationen mellan  $V_{in}$  och  $V_{GS}$ .

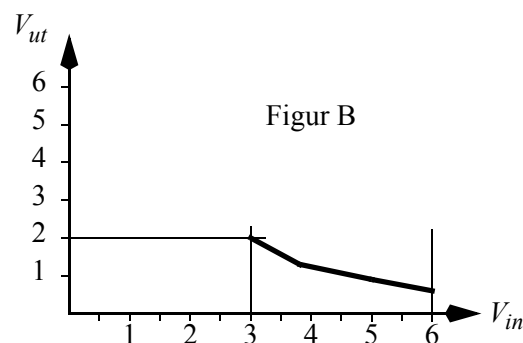
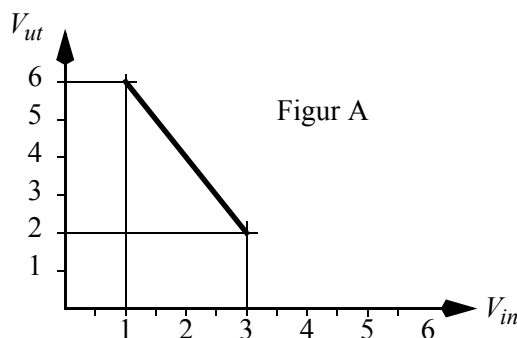
Innan motståndet  $R_S$  inkluderades förhöll ju dessa sig som  $V_{in} = V_{GS}$ .

Tänk dig nu att  $V_{in}$  ökar:

- I en koppling utan motstånd (alltså  $R_S = 0$ ), så är  $V_{in} = V_{GS}$  och strömmen  $I_D$  kommer nu växa kvadratisk med  $V_{in}$ .
- I en koppling med motstånd kommer en spänning att byggas upp över  $R_S$  alltefter som  $I_D$  ökar, vilket får till följd att  $V_{GS}$  inte följer  $V_{in}$  utan att  $V_{GS}$  är mindre än  $V_{in}$ . Alltså bromsas  $I_D$ 's kvadratiske beroende på  $V_{in}$ , och därför blir överföringsfunktionen för förstärkaren mer linjär.

### Uppgift A3:

a) Det lämpliga spänningsområdet som eftersöks är det då vår MOS-transistor är mättad,  $V_{ut} > V_{in} - V_T$  samt  $V_{in} > V_T$ , för då erhåller vi både linjär och hög småsignalförstärkning. Det mättade området markeras i figur A.



b) Spänningsförstärkningen är  $A_v = \frac{2-6}{3-1} = -2$

c) Det spänningsområde som motsvarar det linjära området markeras i figur B.

**d)** Dels ser vi att MOS-transistorn inte börjar leda förrän  $V_{in} > V_T$ , och dels ser vi att vi har en övergång från det mättade området till det linjära området då  $V_{in} = V_{ut} + V_T$ . Alltså  $V_T = 1 \text{ V}$ .

**e)** Den enda säkra avläsningen av spänningar vi kan göra är för  $V_{in} = 6 \text{ V}$ .

I det linjära området beskrivs MOS-transistorns ström med följande uttryck:

$$I_D = k \left[ (V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right],$$

där

$$k = \frac{W}{L} \cdot \mu C_{ox}$$

Här är  $\mu$  ( $450 \text{ cm}^2/\text{Vs}$ ) för NMOS samt  $C_{ox}$  ( $2 \text{ fF}/\mu\text{m}^2$ ) givet, och vi får  $\mu C_{ox} = 9 \times 10^{-5} \text{ F/Vs}$ .

I detta fall motsvarar de olika spänningarna

$$I_D = \left( \frac{W}{L} \cdot \mu C_{ox} \right) \left[ (V_{in} - V_T)V_{ut} - \frac{1}{2}V_{ut}^2 \right]$$

Med värden för  $V_{in} = 6 \text{ V}$ , där vi avläser en utspänning på  $0,576 \text{ V}$ , fås

$$I_D = (3 \cdot 9 \times 10^{-5}) \left[ (6 - 1)0,576 - \frac{1}{2}0,576^2 \right] = 0,733 \text{ mA}$$

Alltså genom resistansen  $R$ , över vilken ligger en spänning om  $6 - 0,576 \text{ V}$ , flyter en ström  $I_D$ , d.v.s.

$$R = \frac{6 - 0,576}{0,733 \times 10^{-3}} = 7,4 \text{ k}\Omega$$

#### Uppgift A4:

Eftersom vi har betydande läckageströmmar kan vi inte utgå från att  $V_{ut}(\text{max}) = V_{DD} - |V_{Tp}|$  vilket kan äga sin riktighet för (äldre) transistorer med större dimensioner.

Nej, istället har vi att

$$I_{DS} \approx 3 \times 10^{-10} \left( e^{\frac{0,078 V_{DS}}{V_{th}}} - e \right) \text{ (NMOS, } V_{GS} = 0 \text{ V)}$$

$$I_{SD} \approx 8 \times 10^8 \left( e^{\frac{-(1,2 - V_{SD})}{1,05 V_{th}}} - e^{\frac{-1,2}{1,05 V_{th}}} \right) \text{ (PMOS, } 0 \leq V_{SD} \leq 0,2 \text{ V, } V_{SG} = V_{SD})$$

Genom att bestämma arbetspunkten för  $V_{in} = 0 \text{ V}$  erhåller vi maximal  $V_{ut}$ . Uttrycken ovan kan lämpligare skrivas som funktioner av  $V_{ut}$ .

$$I_{DS} \approx 3 \times 10^{-10} \left( e^{\frac{0,078 V_{ut}}{V_{th}}} - e \right), \text{ respektive}$$

$$I_{SD} \approx 8 \times 10^8 \left( e^{\frac{-(1,2 - (V_{DD} - V_{ut}))}{1,05 V_{th}}} - e^{\frac{-1,2}{1,05 V_{th}}} \right), \text{ där } V_{DD} = 1,2 \text{ V.}$$

Alltså blir PMOS:ens strömfunktion följande:



$$I_{SD} \approx 8 \times 10^8 \left( e^{\frac{-V_{ut}}{1,05V_{th}}} - e^{\frac{-1,2}{1,05V_{th}}} \right)$$

Arbetspunktsbestämning medför att vi letar efter för vilket  $V_{ut}$  som  $I_{DS}$  för NMOS:en överensstämmer med  $I_{SD}$  för PMOS:en. Vi tar hjälp av antingen en grafisk metod eller Newton-Rhapson, t.ex. som så här:

$$V_{n+1} = V_n - \frac{f(V_n)}{f'(V_n)}, \text{ där } V_n \text{ resp. } V_{n+1} \text{ syftar till } V_{ut}, \text{ och}$$

$$f = 8 \times 10^8 \left( e^{\frac{-V_{ut}}{1,05V_{th}}} - e^{\frac{-1,2}{1,05V_{th}}} \right) - 3 \times 10^{-10} \left( e^{\frac{0,078V_{ut}}{V_{th}}} - e \right) \text{ resp.}$$

$$f' = \left( \frac{-1}{1,05V_{th}} \right) 8 \times 10^8 \left( e^{\frac{-V_{ut}}{1,05V_{th}}} \right) - \left( \frac{0,078}{V_{th}} \right) 3 \times 10^{-10} \left( e^{\frac{0,078V_{ut}}{V_{th}}} \right).$$

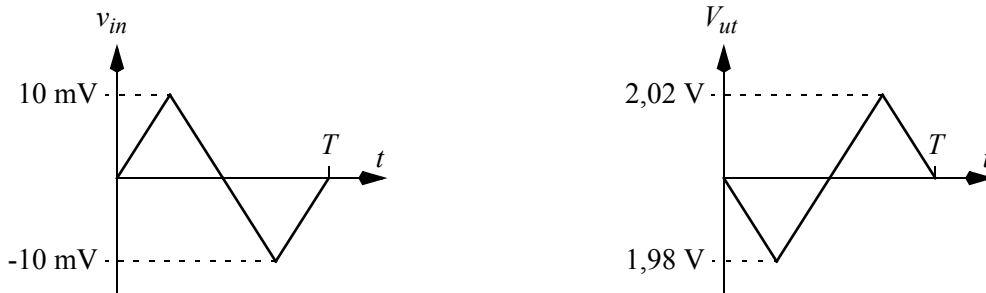
Vi vet att en av funktionerna endast är giltig för  $0 \leq V_{SD} \leq 0,2 \text{ V}$ , dvs  $1 \leq V_{ut} \leq 1,2 \text{ V}$ , så därför gissar vi på ett initialt  $V_{ut}$  som ligger vid 1 V och hoppas att vårt sökta  $V_{ut}(max)$  ligger över 1 V. Med  $V_{th} = 0,0259 \text{ V}$  får vi:

$$\begin{aligned} V_1 &= 1,0 \text{ V} \\ V_2 &= 1,02519 \text{ V} \\ V_3 &= 1,04698 \text{ V} \\ V_4 &= 1,06154 \text{ V} \\ V_5 &= 1,06678 \text{ V} \\ V_6 &= 1,06730 \text{ V} \\ V_7 &= 1,06731 \text{ V} \end{aligned}$$

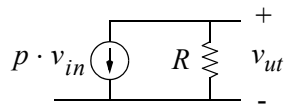
Lösningen ger att  $V_{ut}(max)$  är 1,067 V, och som man ser ligger denna över vad man förväntar sig om man fått för sig att  $V_{DD} - |V_{Tp}|$  begränsar utsignalen. Fenomenet vi upptäckt beror på att transistorerna läcker mycket även när de är avstängda.

**Uppgift A5:**

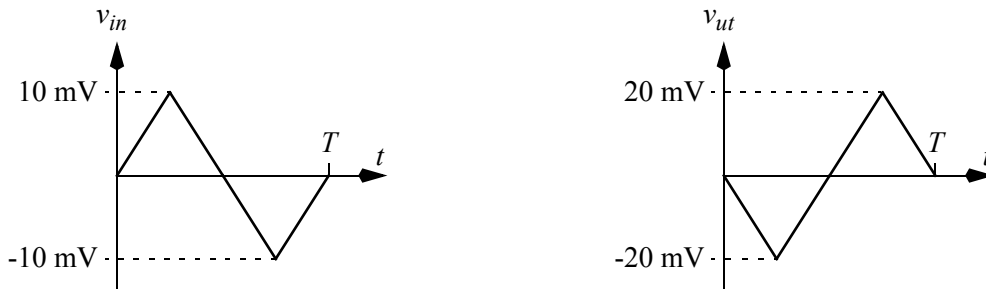
a) Strömkällan genererar en ström  $I_s = I_B + p \cdot v_{in} = 1 \text{ mA} + 2 \text{ mA/V} \cdot v_{in}$ , där  $v_{in}$  slår mellan -10 mV och 10 mV som i figuren nedan. Maximal ström är  $1 \text{ mA} + 2 \text{ mA/V} \cdot 0,01 \text{ V} = 1,02 \text{ mA}$ , medan minimal ström är  $1 \text{ mA} + 2 \text{ mA/V} \cdot (-0,01 \text{ V}) = 0,98 \text{ mA}$ . Spänningen  $V_{ut}$  kan enkelt beskrivas som  $V_{ut} = V_{DD} - R \cdot I_s$ . Spänningen  $V_{ut}$  som funktion av tiden  $t$ , vid insignalen  $v_{in}$ , ges nu i figuren nedan:



b) Följande är ett småsignalsschema där utsignalen  $v_{ut}$  är tydligt markerad.

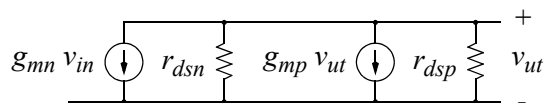


c) Spänningen  $v_{ut}$ , som antingen tas fram ur småsignalsschemat eller ur figuren i uppgift a), ritas som funktion av tiden  $t$  i figuren nedan:



**Uppgift A6:**

a) Eftersom kapacitanser ej är markerade eller omnämnda i uppgiften anges en frekvensoberoende lösning:



**b)** Vi tillgripes Kirchoffs strömlag för att kunna relatera in- och utspänningen. Summan av strömmarna in i en nod ska vara lika med strömmarna ut från samma nod — i vår krets kan man då få följande:

$$g_{mn} \cdot v_{in} + \frac{v_{ut}}{r_{dsn}} + g_{mp} \cdot v_{ut} + \frac{v_{ut}}{r_{dsp}} = 0.$$

Samtliga strömdefinitioner antas nu riktas ut från övre noden (den markerad +) mot den undre noden.

Den sökta förstärkningen är helt enkelt

$$A_v = \frac{v_{ut}}{v_{in}},$$

och den erhålls om vi isolerar  $v_{ut}$  från den förra ekvationen:

$$v_{ut} = -\frac{v_{in} \cdot g_{mn}}{g_{mp} + \frac{1}{r_{dsn}} + \frac{1}{r_{dsp}}}.$$

Alltså har vi att småsignalförstärkningen är:  $A_v = -\frac{g_{mn}}{g_{mp} + \frac{1}{r_{dsn}} + \frac{1}{r_{dsp}}}.$

---

### Uppgift A7:

För kretsen i fråga noterar vi direkt att  $V_G = V_{in} = 3 \text{ V}$  samt  $V_D = V_{ut} = 3 \text{ V}$ , och alltså är transistorn i sitt mättrade område.

Att räkna fram  $R_D$  borde vara enkelt:

$$R_D = \frac{V_{DD} - V_{ut}}{I} = \frac{5 - 3}{0,5 \times 10^{-3}} = 4 \text{ k}\Omega$$

Att finna  $R_S$  är aningen svårare. Först måste vi bestämma spänningen över resistansen! Spänningen på source-terminalen på transistorn,  $V_S$ , är den okända parametern som vi måste leta efter:

$$I = \frac{1}{2} \cdot \mu C_{ox} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \Rightarrow 0,5 \times 10^{-3} = \frac{1}{2} \cdot 20 \times 10^{-6} \cdot \frac{100}{2} (V_{GS} - 1,5)^2.$$

$V_{GS}$  kan här anta värdena 0,5 V och 2,5 V. Lösningen  $V_{GS} = 0,5 \text{ V}$  är direkt felaktig eftersom spänningen mellan gate och source inte ens tagit sig över tröskelspänningen. Nej,  $V_{GS} = 2,5 \text{ V}$  är den enda fysikaliskt korrekta lösningen till andragradsekvationen, och i och med att  $V_G = 3 \text{ V}$  blir  $V_S = 0,5 \text{ V}$ . Alltså:

$$R_S = \frac{V_S}{I} = \frac{0,5}{0,5 \times 10^{-3}} = 1 \text{ k}\Omega$$

---

### Uppgift A8:

**a)**

Transkonduktansen för en NMOS-transistor ges av

$$g_m = \frac{dI_D}{dV_{GS}}, \text{ givet att } V_{DS} \text{ är konstant}$$

För en mättad NMOS får vi då

$$g_m = \frac{d}{dV_{GS}} \left[ \frac{1}{2} k_{NMOS} (V_{GS} - V_{T, NMOS})^2 \right] = k_{NMOS} (V_{GS} - V_{T, NMOS})$$

För en NMOS-transistor i sitt linjära operationsområde får vi

$$g_m = \frac{d}{dV_{GS}} \left[ k_{NMOS} \left( (V_{GS} - V_{T, NMOS}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right) \right] = k_{NMOS} \cdot V_{DS}$$

**b)**

När det gäller randvillkor: Vi vet att gränsen mellan det linjära och det mättade området för en NMOS går vid

$$V_{DS} = V_{GS} - V_{T, NMOS}$$

Är  $V_{DS}$  större än detta värde är NMOS:en i det mättade området.

Vi avläser från den bifogade I-V karakteristiken att vi har en mättad NMOS vid  $V_{in} = 2,4$  V eller lägre. Just för  $V_{in} = 2,4$  V ger skärningen med belastningslinjen för PMOS-dioden  $V_{ut} \approx 1,78$  V. Eftersom  $V_{DS} = V_{ut}$  samt  $V_{GS} = V_{in}$  för NMOS:en i vår krets, får vi ju då att  $1,78$  V  $>$   $2,4$  V  $-$   $0,7$  V, d.v.s villkoret för det mättade operationsområdet är uppfyllt.

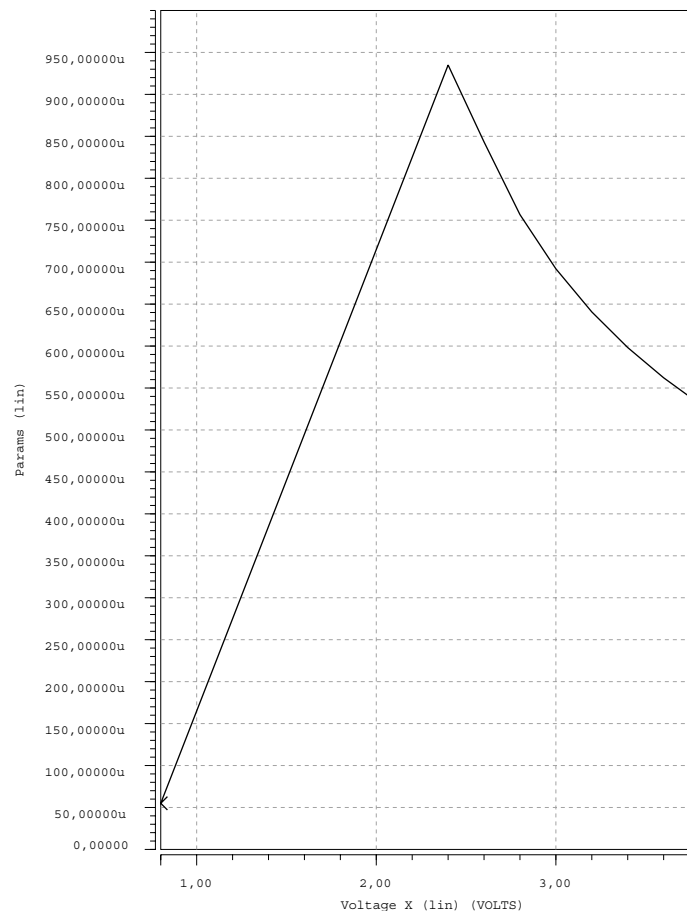
Om vi istället tittar på belastningslinjen hos NMOS:en som motsvarar  $V_{in} = 2,6$  V så skär den belastningslinjen för PMOS-dioden i  $V_{ut} \approx 1,54$  V. Nu får vi istället  $1,54$  V  $<$   $2,6$  V  $-$   $0,7$  V, vilket medför att vi har en NMOS i sitt linjära område.

**c)**

Ett rättfram sätt att finna transkonduktansen för NMOS:en är att ta fasta på

$$g_m = \frac{dI_D}{dV_{GS}}$$

Vi letar fram skärningspunkterna mellan belastningslinjerna hos NMOS:en och belastningslinjen för PMOS:en. Vid varje sådan punkt noterar vi dels  $V_{in}$  och dels  $I_D$ . De sexton paren vi noterat ritas upp med  $V_{in}$  på x-axeln och  $I_D$  på y-axeln. Då  $V_{GS} = V_{in}$  återfinnes transkonduktansen som derivatan, eller ännu enklare differensen  $\Delta I_D / \Delta V_{in}$  i grafen. Noggrannheten kommer av naturliga skäl (mäta/rita/mäta...) bli begränsad, så jag visar här vad man skulle få genom en simulering i Hspice:



Notera den linjära tillväxten av  $g_m$  när  $V_{in}$  ökar genom  $g_m = k_{NMOS}(V_{GS} - V_{T,NMOS})$ . När NMOS:en går in i sitt linjära område avtar  $g_m$  eftersom den beror av  $V_{ut}$  genom  $g_m = k_{NMOS} \cdot V_{DS}$ .

Nu får man vara lite försiktig med att titta på fristående ekvationer för drainström, för egentligen är ju

$$g_m = \frac{dI_D}{dV_{GS}}$$

så  $g_m$  i kurvan ovan är ett resultat av att strömökningen genom NMOS-transistorn bromsas upp av lastresistansen.

**d)**

Maximum för  $g_m$  uppstår mellan  $V_{in} = 2,4 \text{ V}$  och  $V_{in} = 2,6 \text{ V}$ . Detta överensstämmer med övergången mellan mättat och linjärt område i uppgift **b**).

### Uppgift A9:

**a)**

Det är här viktigt att notera att eftersom vi ska tillse att arbetspunkten för ingångsspänningen rätt väl överensstämmer med arbetspunkten hos  $V_{ut}$  måste per automatik mättnadsvillkoret ( $V_{DS} > V_{GS} - V_T$ ) vara uppfyllt!

Vi har fått samtliga parametrar givna utom bredden som vi nu ska bestämma. Utspänningen kan skrivas som

$$V_{ut} = V_{DD} - R \cdot I_D,$$

där strömmen beskrivs genom

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_T)^2.$$

För att hitta den spänning kring vilken utgångsspänningens sinus svänger behöver vi finna topp- och bottenvärdena på  $V_{ut}$ . Vi vill ju se till att medelvärdet för topp- och bottenvärdena för utgångens sinus överensstämmer med arbetspunkten hos ingången. Vi får

$$V_{ut}(\min) = V_{DD} - R \cdot I_D(\max) = V_{DD} - R \cdot \frac{1}{2} \mu C_{ox} \frac{W}{L} (1,3 - V_T)^2,$$

samt

$$V_{ut}(\max) = V_{DD} - R \cdot I_D(\min) = V_{DD} - R \cdot \frac{1}{2} \mu C_{ox} \frac{W}{L} (1,2 - V_T)^2$$

Alltså,

$$\frac{V_{ut}(\min) + V_{ut}(\max)}{2} = 1,25,$$

eller

$$V_{DD} - R \cdot \frac{1}{2} \mu C_{ox} \frac{W}{L} \left[ \frac{(1,2 - V_T)^2 + (1,3 - V_T)^2}{2} \right] = 1,25,$$

där endast  $W$  är en obekant. Dock ej länge till, lösningen av ekvationen ger  $W = 9,84 \mu\text{m}$ .

**b)**

Småsignalschemat (inklusive kanalresistansen) kan återfinnas i föreläsninganteckningarna. Med lastresistansen  $R$  (5 k $\Omega$ ) och den belastande kapacitansen  $C$  (30 fF) kan vi skriva

$$A_v = \frac{-g_m}{\frac{1}{R} + \frac{1}{1/j\omega C}}$$

och färförskjutningen blir

$$\arg \frac{-g_m}{\frac{1}{R} + \frac{1}{1/j\omega C}} = \text{atan}(-\omega RC) = -5,4^\circ \text{ (eller } 180^\circ - 5,4^\circ = 174,6^\circ)$$

## Digitala kretsar:

### Uppgift D1:

**a)** Med  $V_{GS} = V_{DD}$ , har vi för en enskild NMOS som laddar ur utgången på en inverterare, med antagandet att NMOS:en befinner sig i sitt mättade område, att

$$I_{mättad} = \frac{k_n}{2} (V_{GS} - V_{Tn})^2 = \frac{k_n}{2} \left( V_{DD} - \frac{V_{DD}}{5} \right)^2 = \frac{8}{25} \cdot k_n \cdot V_{DD}^2.$$

Man låter den mättade strömmen tömma den från utgångsläget vid  $V_{DD}$  belägna utgången på laddning, så utgången hamnar vid 50% av matningsspänningen. Alltså har vi att följande ska gälla:

$$Q = I \cdot t = C \cdot V$$

eller

$$I_{\text{mättad}} \cdot t_{d(1 \rightarrow 0)} = C_L \cdot \frac{V_{DD}}{2}$$

och att

$$t_{d(1 \rightarrow 0)} = \frac{C_L \cdot V_{DD}}{2 \cdot \left( \frac{8}{25} \cdot k_n \cdot V_{DD}^2 \right)} = \frac{25}{16} \frac{C_L}{k_n \cdot V_{DD}}$$

Nu är det en NAND-grind som vi vill analysera och vi tar nu fram den ekvivalenta bredden för de två seriekopplade NMOS:ar som tömmer utgångsnoden på laddning. Vi får:

$$\frac{1}{W_{eq}} = \frac{1}{W_n} + \frac{1}{W_n} = \frac{2}{W_n} \Rightarrow W_{eq} = \frac{W_n}{2}$$

Uttrycket vi söker för den värsta fördröjningen för en fallande utgång på en NAND-grind är alltså

$$t_{d(1 \rightarrow 0)} = \frac{25}{16} \frac{C_L}{\left( \frac{W_{eq}}{L_n} \mu_n C_{ox} \right) \cdot V_{DD}}$$

eller

$$t_{d(1 \rightarrow 0)} = \frac{25}{8} \frac{C_L}{\left( \frac{W_n}{L_n} \mu_n C_{ox} \right) \cdot V_{DD}}$$

**b)** Med värdena angivna i uppgift **b)**, kan vi skriva fördröjningen som:

$$t_{d(1 \rightarrow 0)} = \frac{25}{8} \frac{30 \times 10^{-15}}{\left( \frac{2}{1} 50 \times 10^{-6} \right) \cdot 5} = 187,5 \text{ ps}$$

**c)** Med ett litet  $V_{DS}$  kan vi använda uttrycket för strömmen i det linjära området i en NMOS

$$I_{\text{linjär}} = k_n \left[ (V_{GS} - V_{Tn}) V_{DS} - \frac{1}{2} V_{DS}^2 \right],$$

för att representera en resistans motsvarande en påslagen NMOS:

$$R_{ON} = \frac{V_{DS}}{I_{\text{linjär}}} = \frac{1}{k_n (V_{GS} - V_{Tn})} = \frac{1}{k_n \left( V_{DD} - \frac{V_{DD}}{5} \right)},$$

eller

$$R_{ON} = \frac{5}{4} \frac{1}{\left( \frac{W_n}{L_n} \mu_n C_{ox} \right) \cdot V_{DD}}$$

En NAND-grind har två NMOS:ar kopplade i serie, och dessa två ska tömma laddningen som finns på utgången. I en RC-länk kan man se detta som att 0 V (från jorden) ska ta sig till utgången via två stycken resistanser, vardera med värdet  $R_{ON}$ , och ändra spänningen på utgången, som har kapacitansen  $C_L$ , från  $V_{DD}$  till jord. Tidskonstanten anger i detta fall hur lång tid det tar för utgången att falla till  $e^{-1} \cdot V_{DD}$ , d.v.s. till 37% av matningsspänningen, vilket är lite lägre än 50%. Omräkning till 50% sker med hjälp av multiplikation med  $-\ln 0,5 \approx 0,69$

Tidskonstanten för urladdningen kan skrivas som

$$\tau = 0,69 \cdot (2R_{ON}) \cdot C_L = 0,69 \cdot \left[ 2 \cdot \frac{5}{4} \frac{1}{\left( \frac{W_n}{L_n} \mu_n C_{ox} \right) \cdot V_{DD}} \right] \cdot C_L.$$

d) Insättning av parametrar ger oss

$$\tau = 1,725 \cdot \left( \frac{1}{\left( \frac{W_n}{L_n} \mu_n C_{ox} \right) \cdot V_{DD}} \right) \cdot 30 \times 10^{-15} = 103,5 \text{ ps}$$

### Uppgift D2:

a) Se föreläsninganteckningar.

b) Med mobiliteterna angivna,  $\mu_n$  (NMOS) = 450 cm<sup>2</sup>/Vs samt  $\mu_p$  (PMOS) = 150 cm<sup>2</sup>/Vs, så vet vi att vi ska göra PMOS-kombinationen som ger värst stigtid 450/150 = 3 gånger större, m.a.p. ekvivalent bredd, än den NMOS-kombination som ger värst falltid.

De två seriekopplade NMOS:arna ger värsta falltiden när de två ingångarna till grinden stiger samtidigt. Som förklaras i föreläsninganteckningarna, upplevs denna kombination av transistorbredder som om en enda transistor med bredden  $W_{n, eq}$ :

$$\frac{1}{W_{n, eq}} = \frac{1}{4} + \frac{1}{4} \text{ vilket ger } W_{n, eq} = 2 \text{ } \mu\text{m}$$

PMOS:arna ska vardera ha bredden  $W_p = 3 \cdot 2 = 6 \text{ } \mu\text{m}$

### Uppgift D3:

När  $V_{ut}$  håller sig mellan 0 och 2 V är PMOS-transistorn i sitt mättade område, eftersom dess tröskelspänning är -2 V. För en mättad PMOS gäller ju att

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{SG} - |V_T|)^2 (1 + \lambda V_{SD}).$$

I vår krets gäller då

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{DD} - |V_T|)^2 (1 + \lambda V_{SD}),$$

vilket med de givna parametervärdena ger

$$I_D = 0,08(1 + \lambda V_{SD}) \text{ A.}$$

a) Eftersom  $\lambda = 0 \text{ V}^{-1}$  är laddningsströmmen konstant under det förlopp vi vill ta tiden på. Eftersom både  $I \cdot t$  och  $C \cdot V$  beskriver laddning, kan vi hitta den sökta tiden genom

$$t = \frac{C_L \cdot 2\text{V}}{I_{D\text{konstant}}} = \frac{1 \times 10^{-12} \cdot 2}{0,08} = 25 \text{ ps}$$



**b)** Eftersom  $\lambda = 0,05 \text{ V}^{-1}$  varierar strömmen under uppladdningsförloppet. Vi kan alltså inte använda  $I \cdot t = C \cdot V$ , utan måste gå till definitionen av strömmen genom kapacitansen

$$i = C \frac{dv}{dt}$$

Vi kan finna tiden det tar att fylla kapacitansen med laddning motsvarande 0 V till 2 V genom en integration

$$dt = \frac{C_L}{i} dV_{ut} \Rightarrow t = \int_0^2 \frac{C_L}{0,08(1 + \lambda V_{SD})} dV_{ut} \Rightarrow t = \int_0^2 \frac{C_L}{0,08(1 + \lambda(V_{DD} - V_{ut}))} dV_{ut}$$

Med den primitiva funktionen

$$\frac{C_L}{0,08} \cdot \frac{1}{-\lambda} \cdot \ln(1 + \lambda(V_{DD} - V_{ut}))$$

får vi följande

$$t = \frac{10^{-12}}{0,08 \cdot 0,05} \cdot [-\ln((1 + 0,05(10 - 2))) - \{-\ln(1 + 0,05(10 - 0))\}] = 17,2 \text{ ps}$$

#### Uppgift D4:

**a)** Ser man på NMOS-transistorn som en strömbrytare med en viss resistans  $R_{ON}$ , kan man analysera grunden som en RC-krets (se föreläsningen om digitala kretsar). Med hjälp av tidskonstanten  $R_{ON} C_L$  (där  $C_L$  antas vara den belastande kapacitansen) får vi en uppfattning om fördröjningen, men naturligtvis är detta en approximation eftersom vi använder oss av en konstant resistans; att transistorens resistans varierar torde vara uppenbart från I-V karakteristiken som gavs i uppgiften.

Tidskonstanten  $R_{ON} C_L$  anger hur lång tid det tar för utgången att falla till  $e^{-1} \cdot V_{DD}$ , d.v.s. till 37% av matningsspänningen, vilket är lite lägre än 50%. Omräkning till 50%, vilket är definitionen av fördröjning, sker med hjälp av multiplikation med  $-\ln 0,5 \approx 0,69$ .

Vi får en approximation av fördröjningen som skrivs  $0,69 \cdot R_{ON} \cdot C_L$ . Med en utvecklad ON-resistans

$$\text{för en fallande utgångsflank fås } 0,69 \cdot \frac{1}{k_n (V_{DD} - V_{Tn})} \cdot C_L$$

**b)** Man kan faktiskt avläsa ON-resistansen från I-V karakteristiken! Lutningen på  $I_D(V_{DS})$  när  $V_{DS}$  är nära 0 V ger oss  $1/R_{ON}$  (eftersom  $I_D$  ges av Ohms lag, som  $V_{DS}/R_{ON}$ ). Eftersom I-V kurvan är linjär för låga  $V_{DS}$  (ja, just det, det linjära området!), kan man antingen erhålla  $R_{ON}$  vid en speciell punkt  $I_D$ - $V_{DS}$ , men det brukar vara enklare att rita ut en tangent och mäta dess lutning med linjal för att få hög noggrannhet.

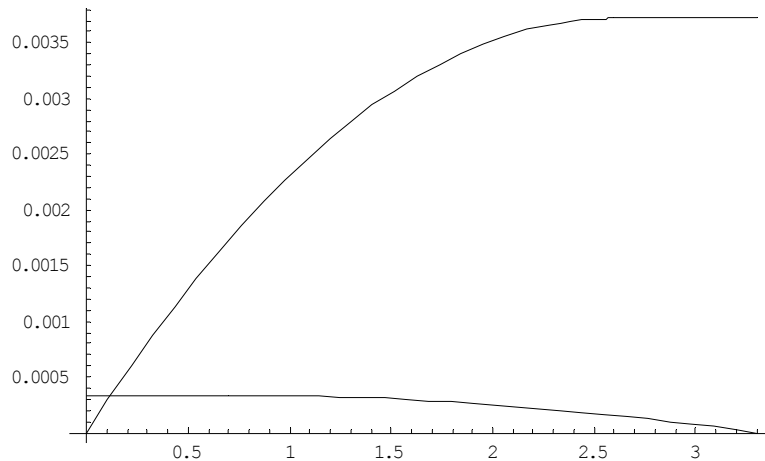
Värdet på  $R_{ON}$  är omkring 1060 Ohm.

**c)** Av uppgift **b)** följer att allteftersom  $V_{DS}$  ökar, ökar också resistansen hos NMOS-transistorn — transistoren mätas. I vår uppgift ska en NMOS-transistor leda bort laddning från en nod, som ursprungligen motsvarar en logisk etta. Alltså ligger hela  $V_{DD}$  över NMOS:ens kanal i början av omslaget, och just nu är NMOS:en mättad och uppvisar högre resistans än  $R_{ON}$ . Under hela den tidsrymd som fördröjningen  $t_d$  motsvarar, blir resistansen gradvis lägre, men den når aldrig ned till  $R_{ON}$  eftersom vid  $t=t_d$  har  $V_{DS}$  bara nått ned till halva  $V_{DD}$ .

Kortfattat kan alltså man säga att  $0,69 \cdot R_{ON} \cdot C_L$  underskattar den verkliga fördröjningen.

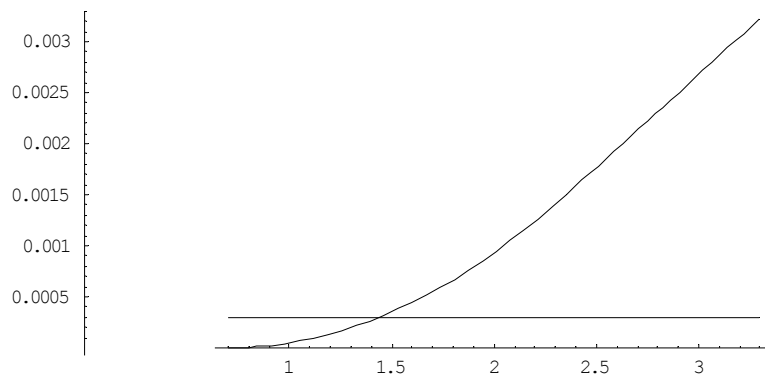
**Uppgift D5:**

**a)** Belastningslinjer (med drainströmmen  $I_D$  på y-axeln) ritas lämpligen för de båda transistorerna (med  $V_{SG} = 3,3$  V för PMOS och  $V_{GS} = 3,3$  för NMOS), med  $V_{ut}$  som gemensam x-axel. Skärningen av de två  $I_D$ -linjerna ger  $V_{ut} = 121$  mV.



Man kan också lösa det analytiskt, genom att identifiera att  $V_{ut}$  är såpass låg att NMOSen är i sitt linjära område, medan PMOSen är mättad.

**b)** Även i denna deluppgift kan vi använda oss av belastningslinjer av drainströmmarna, fast nu ska  $V_{in}$  ligga på x-axeln. Eftersom  $V_{ut} = V_{DD} / 2$  gäller för omslagspunkten, vet vi att PMOSen alltid är i sitt linjära område och att strömmen genom den är konstant. NMOSen rör sig både i sitt linjära och i sitt mättade område, beroende på  $V_{in}$ . I grafen nedan kan vi utläsa  $V_{TRIP} = 1,43$  V.



## Ledningar i digitala system:

### Uppgift L1:

Reflektion vid belastningen  $Z_L$  (till höger):  $\Gamma_L = \frac{Z_L - Z_0}{Z_L + Z_0} = \frac{25 - 100}{25 + 100} = -0,6$

Reflektion vid återkomst till källan  $Z_S$  (till vänster):  $\Gamma_S = \frac{900 - 100}{900 + 100} = 0,8$

**$t = 0$  ps:** Spänningskällan skickar vid  $t = 0$  iväg ett steg

( $0V \rightarrow 1V$ ) med spänningen  $1V \cdot \frac{Z_0}{Z_S + Z_0} = 0,1V$ . Nu

gäller att  $V_S$  är  $0,1V$ .

**$t = 200$  ps:** Ett nytt steg ( $1 \rightarrow 0$ ) skickas iväg på ledningen

från källan:  $-1V \cdot \frac{Z_0}{Z_S + Z_0} = -0,1V$ .  $V_S$  är tidigare

spänning + utgående våg  $0,1V + (-0,1V)$

**$t = 400$  ps:** Steget  $+0,1V$  studsar i högra änden av ledningen och ger den reflekterade spänningen

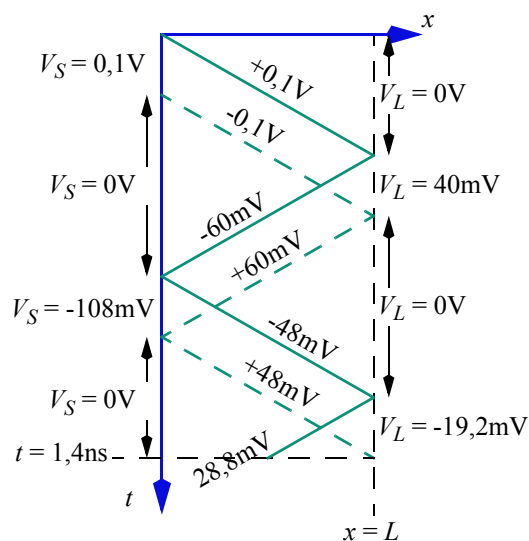
$0,1V \Gamma_L = -60mV$ . Nu gäller att  $V_L$  blir tidigare

spänning ( $0V$ ) + inkommande våg ( $0,1V$ ) + reflekterad våg, d.v.s.  $0,1V + (-60mV) = 40mV$

**$t = 600$  ps:** Steget  $-0,1V$  studsar i högra änden och ger den reflekterade spänningen

$-0,1V \Gamma_L = +60mV$ .  $V_L$  blir tidigare spänning ( $40mV$ ) + inkommande våg ( $-0,1V$ ) + reflekterad våg,

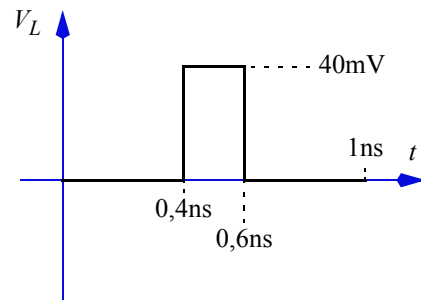
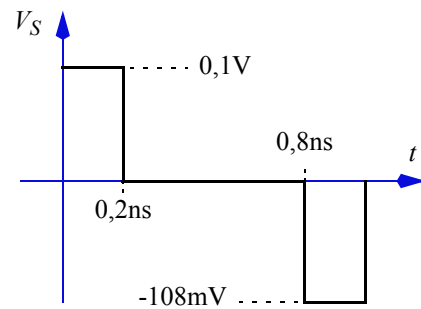
d.v.s.  $40mV + (-0,1V) + 60mV = 0$



$t = 800 \text{ ps}$ : Steget  $-60\text{mV}$  studsar i vänstra änden av ledningen och ger den reflekterade spänningen  $-60\text{mV}$   $\Gamma_S = -48\text{mV}$ .  $V_S$  blir tidigare spänning ( $0\text{V}$ ) + inkommande våg ( $-60\text{mV}$ ) + reflekterad våg ( $-48\text{mV}$ ), d.v.s.  $-60\text{mV} + (-48\text{mV}) = -108\text{mV}$

$t = 1 \text{ ns}$ : Steget  $+60\text{mV}$  studsar i vänstra änden av ledningen och ger den reflekterade spänningen  $60\text{mV}$   $\Gamma_S = 48\text{mV}$ .  $V_S$  blir  $-108\text{mV} + 60\text{mV} + 48\text{mV} = 0$

$t = 1,2 \text{ ns}$ : Steget  $-48\text{mV}$  studsar i högra änden av ledningen och ger den reflekterade spänningen  $-48\text{mV}$   $\Gamma_L = +28,8\text{mV}$ .  $V_L$  blir  $0\text{V} + (-48\text{mV}) + 28,8\text{mV} = -19,2\text{mV}$



---

### Uppgift L2:

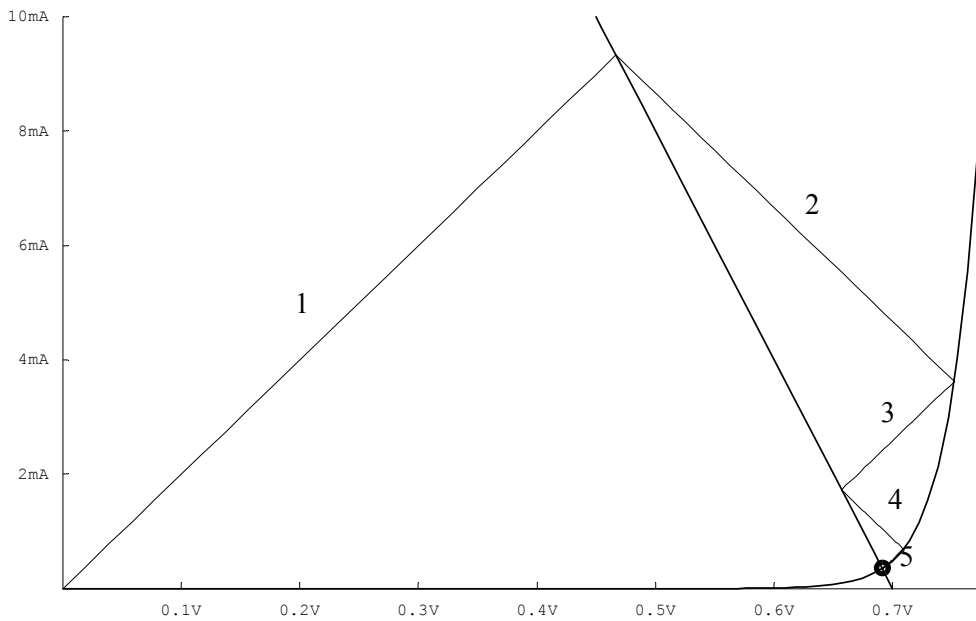
För härledning av reflektionskoefficient se föreläsninganteckningar.

### Uppgift L3:

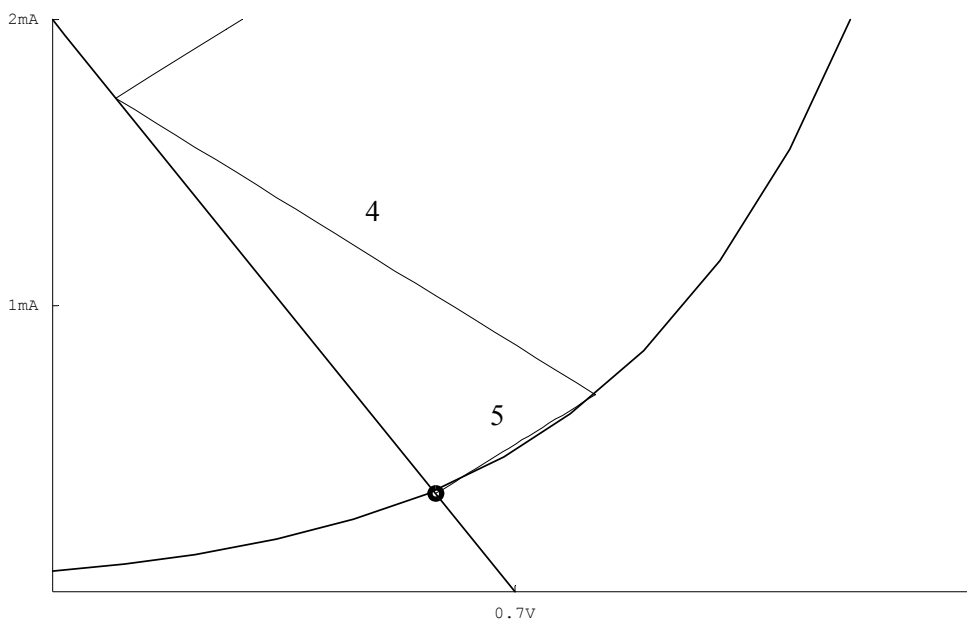
Genom att använda Bergeronmetoden finner vi att vi behöver låta

1. spänningskällans signal komma ut på ledningen,
2. reflekteras i den belastande dioden,
3. reflekteras i källan,
4. reflekteras i den belastande dioden, samt
5. reflekteras i källan.

Bilden nedan visar de 5 linjer som behöver ritas för att till sist nå källans belastningslinje vid  $V = 0,6914 \text{ V}$  och  $I = 0,3430 \text{ mA}$ . Dessa ligger var och en inom de 10% från steady-state som krävs. Steady-state, som är skärningspunkten mellan källans belastningslinje och diodens, ger f.ö.  $V = 0,6912 \text{ V}$  och  $I = 0,3514 \text{ mA}$ .



Nästa bild visar, med större upplösning, vad som händer kring de två avslutande beräkningsstegen/linjerna.



Det krävs alltså fyra (4) löptider,  $td$ , innan spänning och ström har etablerat sig stabilt på ledningen.

### Uppgift L4:

För en RC-ledning, där  $R$  och  $C$  ej är distribuerade, som stimuleras med ett steg från 0 V till 1 V får vi på utgången ett uppladdningsförlopp som kan beskrivas med

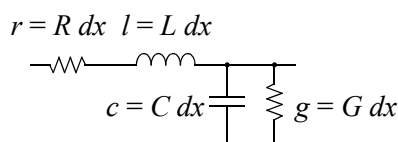
$$V_{ut}(t) = 1V \cdot \left(1 - e^{-\frac{t}{RC}}\right).$$

När  $t = RC$  hamnar utgången vid 63% av sitt slutvärde. Vi letar alltså efter tidkonstanten för respektive ledning!

- a)** När spänningsgeneratoren är ideal spelar inte  $C_s$  någon roll, eftersom denna laddas upp oändligt snabbt i och med att den inte drivs via någon som helst resistans. Fördröjningen blir här  $t_d = R \cdot C_L$
- b)** Den inre resistansen måste räknas med, då den skapar en extra fördröjning. Vi får att fördröjningen blir  $t_d = R \cdot C_s + (R + R) \cdot C_L$ .

### Uppgift L5:

**a)**



**b)** En tumregel säger att ett distribuerat synsätt krävs när stig/falltiden är kortare än 2,5 gånger tiden det tar för signalen att åka genom ledningen.

### Uppgift L6:

På en RC-ledning har vi uppladdningsförloppet  $V_{ut}(t) = V_{DD} \cdot \left(1 - e^{-\frac{t}{RC}}\right)$ . När  $t = 0,693 \cdot RC$  har utgången nått halvvägs till sitt slutliga värde och det är då signalgeneratoren i uppgiften nått villkoret för att starta omslagsprocessen på sin utgång (omslaget är fördröjt 500 ps efter det att omslagspunkten nåtts).

Ett enda segment:  $t_d = 0,7 \cdot (500 + 1000) \cdot 5 \times 10^{-12} + 500 \times 10^{-12} = 5750$  ps

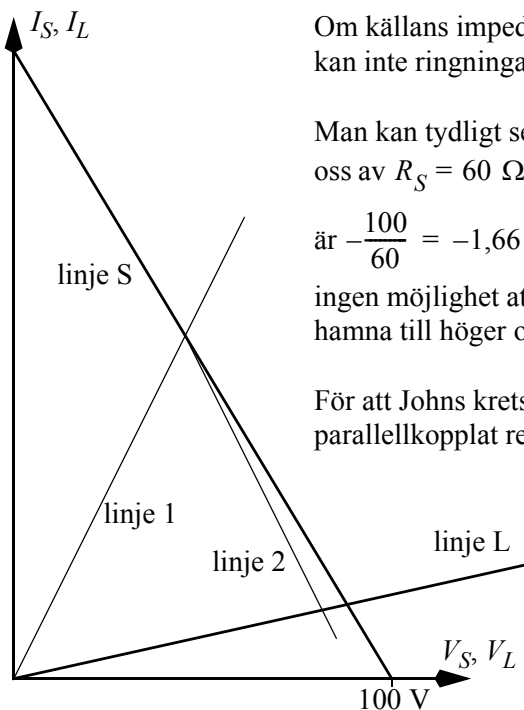
Två segment:  $t_d = 2 \cdot \left[0,7 \cdot \left(500 + \frac{1000}{2}\right) \cdot \frac{5}{2} \times 10^{-12} + 500 \times 10^{-12}\right] = 4500$  ps

Tre segment:  $t_d = 3 \cdot \left[0,7 \cdot \left(500 + \frac{1000}{3}\right) \cdot \frac{5}{3} \times 10^{-12} + 500 \times 10^{-12}\right] = 4417$  ps **MINIMUM!**

Fyra segment:  $t_d = 4 \cdot \left[0,7 \cdot \left(500 + \frac{1000}{4}\right) \cdot \frac{5}{4} \times 10^{-12} + 500 \times 10^{-12}\right] = 4625$  ps

### Uppgift L7:

a)



Om källans impedans är större än ledningens karakteristiska impedans, kan inte ringningar uppstå.

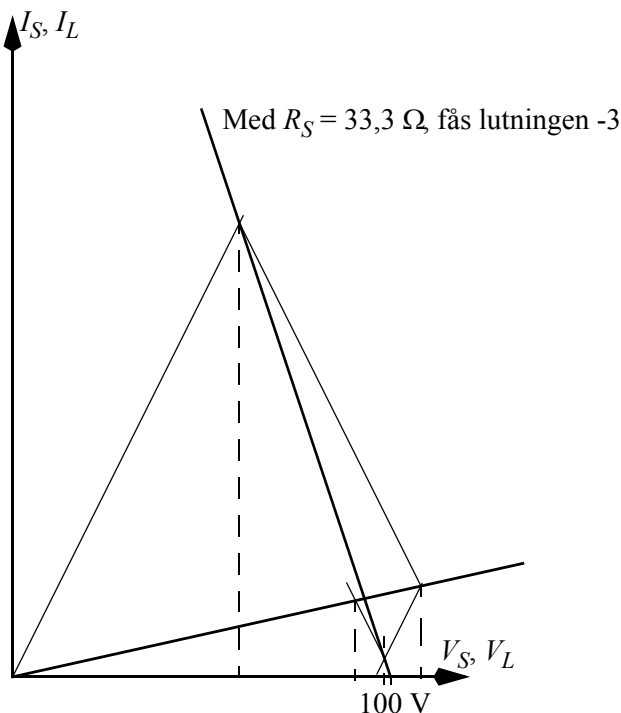
Man kan tydligt se detta i vidstående Bergerondiagram där vi använder oss av  $R_S = 60 \Omega > Z_0 = 50 \Omega$ . Lutningen på linje S (källimpedansens)

är  $-\frac{100}{60} = -1,66$ , medan linje 2 har lutningen  $-\frac{100}{50} = -2$ . Det finns

ingen möjlighet att vi kan få ringningar eftersom linje 2 aldrig kan hamna till höger om skärningen mellan linje S och linje L.

För att Johns krets ska ha kunnat uppvisa ringningar måste alltså han ha parallellkopplat resistanserna på  $60 \Omega$  och  $75 \Omega$ . Då fås  $R_S = 33,3 \Omega$

b)



Första  $V_S$  avläses som 60 V. Första  $V_L$  (vid  $t = t_d$ ) visar sig bli 108 V. Andra  $V_S$  (vid  $t = 2t_d$ ) blir 98,4 V. Slutligen, andra  $V_L$  (vid  $t = 3t_d$ ) blir 90,7 V. Först efter att  $t = 4t_d$  passerats förändras signalerna igen, så vi kan nu sluta ange siffror på spänningarna.

c)

För lösningen med den periodiska funktionen har vi  $t - \frac{x}{v_p}$ , där  $v_p = \frac{1}{\sqrt{LC}}$ . Då  $L$  och  $C$  ges per längdenhet ger  $x \cdot \sqrt{LC}$  löptiden för en  $x$  lång ledning. I vår uppgift får vi  $L$  och  $C$  som absoluta parametrar med följden att  $t_d = \sqrt{LC}$ .

Man definierar för en förlustfri LC-ledning  $Z_0 = \sqrt{\frac{L}{C}}$  och då fås  $L = (1 \text{ pF}) \cdot (50 \text{ } \Omega)^2 = 2,5 \text{ nH}$ .

Alltså  $t_d = \sqrt{1 \text{ pF} \cdot 2,5 \text{ nH}} = 50 \text{ ps}$ .

### Uppgift L8:

a)

Reflektionskoefficienten i punkten A är:

$$\Gamma_A = \frac{Z_A - Z_0}{Z_A + Z_0},$$

där

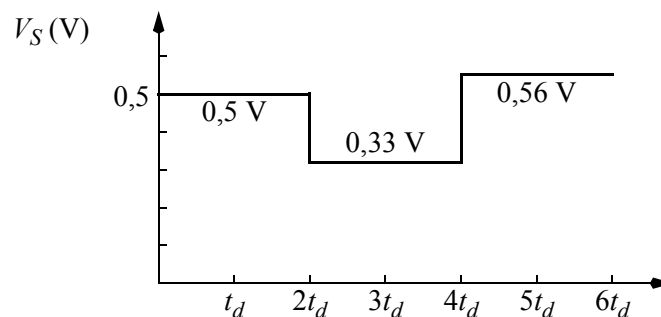
$$Z_A = \frac{Z_0 \cdot Z_0}{Z_0 + Z_0} = \frac{Z_0}{2},$$

är den upplevda karakteristiska impedansen bortom (till höger) om sammanbindningen i punkt A.

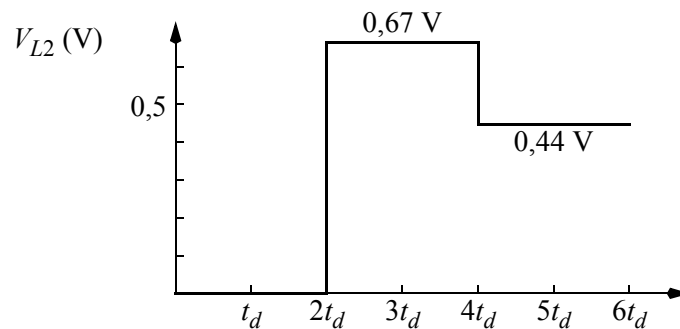
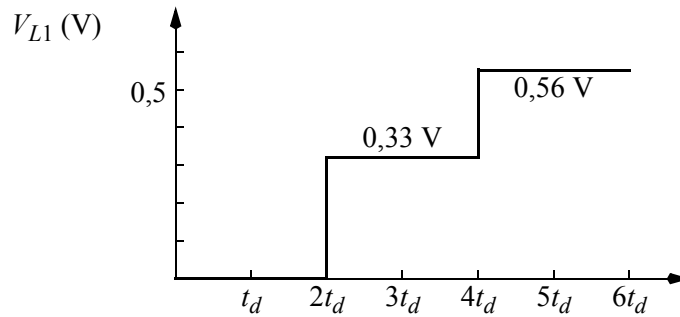
Alltså:

$$\Gamma_A = \frac{\frac{Z_0}{2} - Z_0}{\frac{Z_0}{2} + Z_0} = -\frac{1}{3}.$$

b)







### Uppgift L9:

Först tar vi fram  $Z_0 = \sqrt{L/C} = 100 \Omega$ , vilket ger oss  $t_d = 100 \cdot 1 \times 10^{-12} = 100 \text{ ps}$ .

Vi tar dessutom fram vilken reflektion höger ledningsända ger upphov till ( $\Gamma_L = 1$ ) samt den reflektion en signal upplever vid återkomsten till källan ( $\Gamma_S = 0$ ).

#### $t = 0 \text{ ps}$ :

$V_S$  och  $V_L$  förblir båda stabila på 0 V.

#### $t = 200 \text{ ps}$ :

Spänningskällan  $V_A$  gör vid  $t = 200 \text{ ps}$  ett omslag (0 V  $\rightarrow$  3 V) som i sin tur via spänningsdelning ger ett spänningssteg  $V_S$  in på ledningen:  $3 \text{ V} \cdot Z_0 / (Z_S + Z_0) = 1,5 \text{ V}$ .

#### $t = 300 \text{ ps}$ :

Steget +1,5 V studsar i högra änden av ledningen och ger den reflekterade spänningen  $\Gamma_L \cdot 1,5 \text{ V} = 1,5 \text{ V}$ . Nu gäller att  $V_L$  blir tidigare spänning (0 V) + inkommande våg (1,5 V) + reflekterad våg, d.v.s.  $1,5 \text{ V} + 1,5 \text{ V} = 3 \text{ V}$ .

#### $t = 400 \text{ ps}$ :

Nu händer det en massa saker på en gång:

1. Först noterar vi att  $V_S$  strax före  $t = 400 \text{ ps}$  är stabil på +1,5 V.
2. Spänningskällan  $V_A$  gör vid  $t = 400 \text{ ps}$  ett omslag (3 V  $\rightarrow$  0 V) som ger ett spänningssteg på  $V_S$ :

$$-3 \text{ V} \cdot \frac{Z_0}{Z_S + Z_0} = -1,5 \text{ V}.$$

Räknar vi samman 1 och 2 ger detta att  $V_S$  är 0 V. Men ...

3. ... samtidigt kommer ju steget +1,5 V in från höger, men detta kommer inte reflekteras eftersom  $\Gamma_S = 0$ .

Räknar vi samman 1, 2 och 3 ger detta att  $V_S$ , efter att  $t = 400$  ps passerats, är +1,5 V.

**$t = 500$  ps:**

Steget -1,5 V, som sändes iväg för 100 ps sedan, studsar nu i högra änden av ledningen och ger den reflekterade spänningen -1,5 V. På samma sätt som förut är ju  $V_L$  summan av tidigare spänning (3 V) + inkommande våg (-1,5 V) + reflekterad våg, d.v.s.  $3 \text{ V} + (-1,5 \text{ V}) + (-1,5 \text{ V}) = 0 \text{ V}$ .

**$t = 600$  ps:**

Ännu en gång händer det en massa saker på en gång:

1. Först noterar vi att  $V_S$  strax före  $t = 600$  ps är stabil på +1,5 V.
2.  $V_A$  gör vid  $t = 600$  ps ett omslag (0 V  $\rightarrow$  3 V) som ger ett spänningssteg på  $V_S$  som blir +1,5 V.

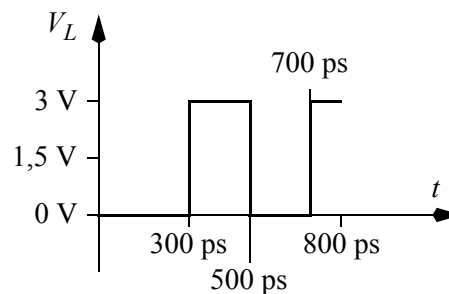
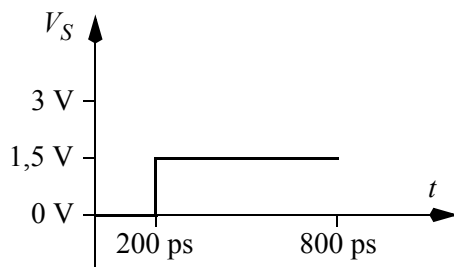
Räknar vi samman 1 och 2 ger detta att  $V_S$  är +3 V. Men ...

3. ... samtidigt kommer steget -1,5 V in från höger, men detta kommer inte reflekteras eftersom  $\Gamma_S = 0$ .

Räknar vi samman 1, 2 och 3 ger detta att  $V_S$  är +1,5 V.

**$t = 700$  ps:**

Steget +1,5 V studsar i högra änden av ledningen och ger den reflekterade spänningen  $\Gamma_L \cdot 1,5 \text{ V} = 1,5 \text{ V}$ . Nu gäller att  $V_L$  blir  $1,5 \text{ V} + 1,5 \text{ V} = 3 \text{ V}$ .



## Designkontext:

### Uppgift K1:

a) Se Fig 7.16 i S&S4, eller Fig. 6.20 i S&S5 (uteslut  $C_L$  på utgången)

b) Man kan tänka sig hitta begränsningar i bandbredden antingen

1. genom att det finns en kapacitans på utgången av förstärkarsteget som i S&S5:s figur (och då kan resistanser i transistorkanalen och nätet för arbetspunkten bilda en RC-länk med nämnda utkapacitans), eller
2. genom att det finns en kapacitans på ingången av förstärkarsteget (och då kan resistanser i spänningskällan som driver transistorns gate/styre bilda en RC-länk med nämnda inkapacitans)

I vårt fall, med uttryckligt resistiv last, så har vi egentligen inga frekvensbegränsande egenskaper på utgången av transistorn. Vi ska alltså använda oss av det senare betraktelsesättet (2.) — d.v.s. att ingången på förstärkarsteget begränsar bandbredden.

Kapacitansen vi letar efter beskrivs m.h.a. transistorns interna kapacitanser medan resistansen i spänningskällan återfinns på mycket lättbearbetad form ( $R_s$ ). Bland de interna kapacitanserna finner vi  $C_{gd}$  (gate-till-drain) resp.  $C_{gs}$  (gate-till-source) — se Fig 7.16 resp. 6.20 — men eftersom en MOS i en förstärkare har sin arbetspunkt i det mättade området är  $C_{gd}$  ganska liten (p.g.a. pinch-off i kanalen).  $C_{gd}$  förstärks genom Millereffekten och den ekvivalenta kretsen i Fig 7.19(b) (S&S4) eller Fig. 6.21(a) (S&S5) visar resultatet av manipulationen. Eftersom vi antar att utgången levererar en ström till lasten helt oberoende av frekvens, kan vi nu analysera den övre gränshänsen genom att titta på hur spänningen  $V_{in}$ , via RC-nätet, kopplas till punkten G i Fig 7.19(b)/Fig. 6.21(a). Vi kallar spänningen i

punkten G för  $V_G$  och letar nu efter vid vilken frekvens  $V_G$  har sjunkit till  $\frac{V_{in}}{\sqrt{2}}$ .

$$\frac{V_G}{V_{in}} = \frac{\left[ \frac{1}{j\omega C_T} / \left( R_s + \frac{1}{j\omega C_T} \right) \right] \cdot V_{in}}{V_{in}} = \frac{1}{j\omega C_T \cdot R_s + 1} = \frac{1}{1 + \frac{j\omega}{(1/C_T R_s)}}$$

$$\frac{V_G}{V_{in}} = \frac{1}{\sqrt{2}} = \frac{1}{1 + \frac{j\omega_{-3dB}}{(1/C_T R_s)}} \Rightarrow 2 = 1 + \omega_{-3dB}^2 \cdot (C_T R_s)^2 \Rightarrow \omega_{-3dB} = \frac{1}{C_T R_s}$$

Detta resultat ges också i Ekvation 7.55 i S&S4 / Ekvation 6.54 i S&S5.

### Uppgift K2:

Vi kan skriva

$$I_1 = \frac{\mu C_{ox}}{2} \frac{W_1}{L_1} (V_{GS1} - V_T)^2$$

samt

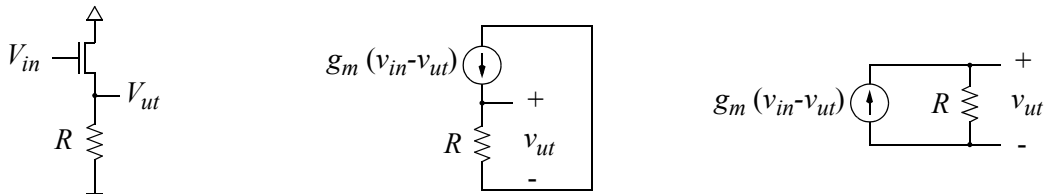
$$I_2 = \frac{\mu C_{ox}}{2} \frac{W_2}{L_2} (V_{GS2} - V_T)^2.$$

I kopplingen, som kallas strömspegel, råder följande:  $V_{GS1} = V_{GS2}$ .

Vidare, det är rimligt att anta att mobiliteten och gatekapacitansen är identiska för de två transistorerna, och då får vi att  $I_2 = \frac{(W_2/L_2)}{(W_1/L_1)} \cdot I_1 = \frac{(8/2)}{(2/1)} \cdot I_1 = 2I_1$ .

**Uppgift K3:**

Vi tar först fram ett ekvivalent småsignalsschema:



Utspänningens småsignalvärde blir

$$v_{ut} = R \cdot g_m \cdot (v_{in} - v_{ut})$$

och detta ger oss möjlighet att skriva småsignalförstärkningen som

$$A_v = \frac{v_{ut}}{v_{in}} = \frac{g_m R}{1 + g_m R}$$

**Uppgift K4:**

a)

Steg 1:

$V_{ut} = 4,3$  V, ty  $V_T$  för PMOS-transistorn är  $-0,7$  V.

Steg 2:

Om  $V_B - V_{DD} \leq V_T$  för PMOS-transistorn är  $V_{ut} = 5$  V.

Skulle  $V_B - V_{DD} > V_T$  (vilket för övrigt skulle vara ett vansinnigt val av biasspänningen  $V_B$ !) är båda transistorerna avstängda och utsignalen är väsentligen obestämd (i verkligheten skulle läckageströmmarna bestämma en arbetspunkt).

Steg 3:

När  $V_{in}$  går mot 0 V stiger  $V_{ut}$ , men inte till  $V_{DD} - V_{T0}$  för lasttransistorn utan till ett värde som bestäms av bodyeffekten hos NMOS-transistorn som agerar lasttransistor. Vi har alltså följande utspänningsberoende tröskelspänning  $V_{DD} - V_T(V_{ut}) = V_{ut}$ .

Med hjälp av ledtråden kring bodyeffekten kan vi skriva

$$V_{DD} - (V_{T0} + \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F})) = V_{ut},$$

där  $V_{SB}$  är source-bodyspänningen  $= V_{ut}$ . Alltså

$$V_{DD} - (V_{T0} + \gamma(\sqrt{2\phi_F + V_{ut}} - \sqrt{2\phi_F})) = V_{ut},$$

vilket, efter lösning av den andragsradsekvationen man kan bilda efter ha brutit ut  $\sqrt{2\phi_F + V_{ut}}$ , ger

$$V_{ut} = 3,79$$
 V

Steg 4:

$V_{ut} = 5$  V

**b)**

- Steg 1 och Graf A hör ihop.  $V_{ut} = 4,3$  V när  $V_{in} = 0$  är motiveringen!
  - Steg 3 och Graf B hör ihop.  $V_{ut} = 3,79$  V när  $V_{in} = 0$  är motiveringen!
  - Steg 2 och Graf C hör ihop. Motiveringen är att lastresistanser uppbyggda kring strömkällor har högre förstärkning (brantare lutning på överföringskaraktistiken!) än dem som bygger på resistanser. Detta är också motiveringen varför Steg 4 och Graf D hör ihop.
- 

**Uppgift K5:**

a) Ingen ström passerar genom gateoxiden på  $N_2$  och därför blir arbetspunkten för  $V_{int}$  en smal sak:

$$V_{int} = V_{DD} - R_1 \cdot I_{D, N1} = V_{DD} - R_1 \cdot \frac{1}{2} \mu C_{ox} \frac{W_{N1}}{L_{N1}} (V_{GS} - V_T)^2 = 1,95 \text{ V}.$$

**b)** Vi har en avsevärt mer komplicerad uppgift nu, eftersom  $V_T$  för  $N_2$  beror av spänningen på utgången. Fast det är ju "bara" algebraiskt knepigt:

Vi har att

$$I_{D, N2} = \frac{1}{2} \mu C_{ox} \frac{W_{N2}}{L_{N2}} (V_{GS} - V_T)^2,$$

där

$$V_{GS} = V_{int} - V_{ut} \text{ samt } V_T = V_{T0} + \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}).$$

Vi noterar att  $V_{SB} = V_{ut}$ , och då innehåller ekvationen ovan två obekanta:  $V_{ut}$  och  $I_{D, N2}$ . Med hjälp av det triviala sambandet

$$I_{D, N2} = \frac{V_{ut}}{R_2 || R_L}$$

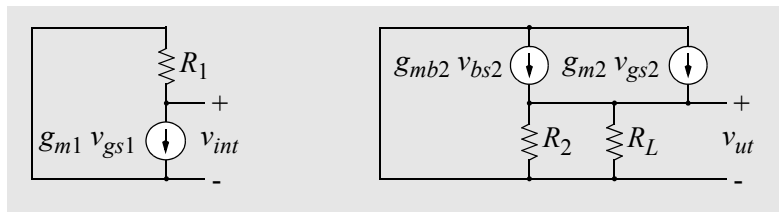
så har vi ett ekvationssystem som vi kan lösa med t.ex. Newton-Raphson. Med ett startvärde av 0,5 V på  $V_{ut}$  fås efter tre iterationer  $V_{ut} = 0,643$  V som verkar stabilt.

Arbetspunkten för  $V_{ut}$  är alltså 0,643 V.

**c)** Vi ska visa att  $g_{mb} = \chi \cdot g_m$ , där  $\chi = dV_T/dV_{SB}$ .

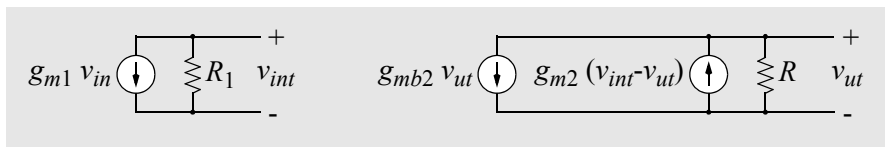
$$\text{Vi har att } g_{mb} = \frac{dI_D}{dV_{BS}} = \frac{d}{dV_{BS}} \left( \frac{k}{2} (V_{GS} - V_T)^2 \right) = [k(V_{GS} - V_T)] \left( \frac{dV_T}{dV_{BS}} \right) = g_m \cdot \chi$$

**d)** En första skiss kan se ut här:



Indexering av transistorparametrar sker så att t.ex.  $g_{m1}$  motsvarar  $g_m$  för  $N_1$ .

Några iakttagelser:  $v_{bs2} = -v_{ut}$ , vilket vi kan representera genom att byta riktning på strömkällans pil. Dessutom är  $v_{gs2} = v_{int} - v_{ut}$ . Vi låter till sist  $R$  representera parallellkopplingen av  $R_2$  och  $R_L$ , d.v.s.



$$R = 3750 \Omega$$

**e)** Förstärkningen i CS-steget är ganska trivial:

$$\frac{v_{int}}{v_{in}} = -g_{m1} R_1.$$

KCL i den andra kretsen (SF-steget) ger:

$$g_{mb2}v_{ut} - g_{m2}(v_{int} - v_{ut}) + \frac{v_{ut}}{R} = 0,$$

som kan skrivas som

$$v_{ut}\left(g_{mb2} + g_{m2} + \frac{1}{R}\right) = v_{int} g_{m2}.$$

Nu fås

$$v_{ut}\left(g_{mb2} + g_{m2} + \frac{1}{R}\right) = (-g_{m1}R_1 v_{in}) g_{m2}$$

och

$$\frac{v_{ut}}{v_{in}} = \frac{-g_{m1} g_{m2} R_1}{\left(g_{mb2} + g_{m2} + \frac{1}{R}\right)}.$$

För numeriska värden behövs

$$g_{m1} = \mu C_{ox} \frac{W_{N1}}{L_{N1}} (V_{in} - V_T) = 100 \times 10^{-6} \frac{5}{1} (1,3 - 0,7) = 300 \mu\text{A/V}^2, \text{ samt}$$

$$g_{m2} = \mu C_{ox} \frac{W_{N2}}{L_{N2}} ((V_{int} - V_{ut}) - (V_{T0} + \gamma(\sqrt{2\phi_F + V_{ut}} - \sqrt{2\phi_F}))), \text{ eller}$$

$$g_{m2} = 100 \times 10^{-6} \frac{15}{1} ((1,95 - 0,643) - (0,7 + 0,4(\sqrt{0,7 + 0,643} - \sqrt{0,7}))) = 717 \mu\text{A/V}^2.$$

Vi behöver också

$$\chi = \frac{dV_T}{dV_{SB}} = \frac{d}{dV_{SB}} (V_{T0} + \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F})) = \frac{\gamma}{2\sqrt{2\phi_F + V_{SB}}},$$

för att kunna hitta

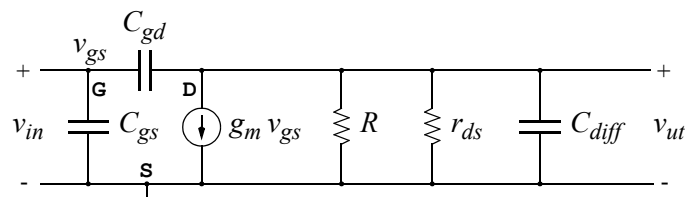
$$g_{mb2} = \chi \cdot g_{m2} = \frac{\gamma}{2\sqrt{2\phi_F + V_{ut}}} \cdot g_{m2} = \frac{0,4}{2\sqrt{0,7 + 0,643}} \cdot 717 = 124 \mu\text{A/V}^2.$$

Förstärkningen blir:

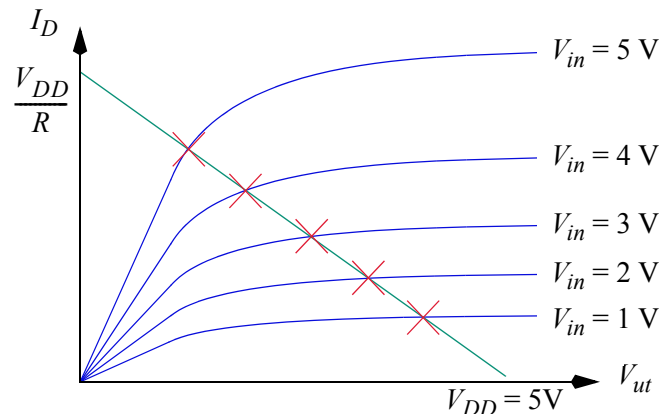
$$\frac{v_{ut}}{v_{in}} = \frac{-300 \times 10^{-6} \cdot 717 \times 10^{-6} \cdot 15 \times 10^3}{\left(124 \times 10^{-6} + 717 \times 10^{-6} + \frac{1}{3750}\right)} = -2,92$$

### Uppgift K6:

a)



b) Från föreläsninganteckningarna har vi följande bild; grön linje är belastningslinjen för resistansen



och de blå representerar MOSFET:ens för några olika gatespänningar. Småsignalsresistanserna (de linjariserade resistansegenskaperna!)  $R$  resp  $r_{ds}$  i ovanstående schema erhålls som differenskvoten  $\Delta V_{ut}/\Delta I_D$  i arbetspunkten man valt. Småsignalsresistansen för den linjära lastresistansen skulle då bli  $-R$ , men i och med att denna resistans placeras "uppochned" ( $V_{DD}$  blir ju signaljord) i småsignalssschemat, så får vi resistansen  $R$  i schemat ovan. Vad gäller kanalresistansen fås  $r_{ds}$  (eller  $r_{ut}$ )

$$r_{ds} = \frac{1}{\lambda \cdot \frac{k}{2} (V_{GS} - V_T)^2}$$

c) Se föreläsningen "Föreläsaren räknar ...".

**Uppgift K7:**

a) Kirchhoffs strömlag säger att strömmen från vänster till höger genom  $C_C$  måste vara lika med strömmen från vänster till höger genom  $C_L$ . Vi har en obekant spänning  $V_x$  som påverkar strömmarna.

$$C_C \cdot \frac{d}{dt}(V_{in} - V_x) = C_L \cdot \frac{dV_x}{dt}$$

Eftersom vi har en linjärt ökande spänning  $V_{in}$  kommer även  $V_x$  att öka linjärt. Derivatans kan nu ersättas med en differens och vi tittar på tidsintervallet  $0 \leq t \leq 50$  ps :

$$C_C \cdot \left( \frac{(V_{in}(50 \text{ ps}) - V_x(50 \text{ ps})) - (V_{in}(0) - V_x(0))}{50 \text{ ps} - 0} \right) = C_L \cdot \frac{(V_x(50 \text{ ps}) - V_x(0))}{50 \text{ ps} - 0},$$

vilket ger

$$C_C \cdot (5 \text{ V} - (V_x - 5 \text{ V})) = C_L \cdot (V_x - 5 \text{ V})$$

eller

$$C_C \cdot (10 \text{ V} - V_x) = C_L \cdot (V_x - 5 \text{ V}) \Rightarrow C_C \cdot 10 \text{ V} + C_L \cdot 5 \text{ V} = V_x \cdot (C_C + C_L).$$

Vi får

$$V_x = \frac{1 \text{ fF} \cdot 10 \text{ V} + 5 \text{ fF} \cdot 5 \text{ V}}{1 \text{ fF} + 5 \text{ fF}} = 5,83 \text{ V vid } t = 50 \text{ ps}.$$

b)

1.

Diffusionsdioden mellan PMOS:ens drain och substratet blir framspänd när  $V_{ut}$  blir kring 0,7 V större än  $V_{DD}$ . Denna kommer kortsluta ganska stora strömmar från  $V_{ut}$ .



2.

Den andra mekanismen är kanalströmmen genom PMOS:en ut till  $V_{DD}$ , som kan uppstå när vi får en spänningsskillnad i PMOS:ens kanal när  $V_{in} < V_{DD} - |V_{Tp}|$ . Notera att strömmen nu går ut till  $V_{DD}$ , vilket betyder att drain och source för PMOS byter plats, så länge  $V_{ut} > V_{DD}$ . Denna mekanism är tydlig då (absolutbeloppet på) tröskelspänningen för PMOS:en understiger kontaktpotentialen  $V_0$  på dioden.

3.

Den tredje mekanismen kommer sig helt enkelt av att NMOS:en leder, och bortforslar laddning från utgångsnoden, när  $V_{in} > V_{Tn}$ .

### Uppgift K8:

Vi har i omslagspunkten att såväl NMOS som PMOS är sina mättade områden, och att

$$I_{DSn} = \frac{k_n}{2}(V_{GSn} - V_{Tn})^2 (1 + \lambda_n V_{DSn}) \text{ resp. } I_{SDp} = \frac{k_p}{2}(V_{SGp} - |V_{Tp}|)^2 (1 + \lambda_p V_{SDp}).$$

I vår krets gäller dels att

$$V_{DSn} = V_{ut} \text{ och } V_{DSn} = V_{DD} - V_{ut}, \text{ där } V_{ut} = V_{DD}/2 \text{ när omslaget på utgången sker,}$$

och dels att

$$V_{GSn} = 1,8 \text{ V och } V_{SGp} = 3,3 - 1,8 \text{ V.}$$

Strömmarna genom de två MOSFET:arna ( $I_{DSn} = I_{SDp}$ ) måste vara identiska, så länge vi inte belastar grinden:

$$\frac{k_n}{2}(1,8 - V_{Tn})^2 \left(1 + \lambda_n \frac{V_{DD}}{2}\right) = \frac{k_p}{2}((3,3 - 1,8) - |V_{Tp}|)^2 \left(1 + \lambda_p \frac{V_{DD}}{2}\right)$$

eller

$$\frac{W_n}{L_n} \cdot \frac{100 \times 10^{-6}}{2} (1,8 - 0,7)^2 (1 + \lambda_n 1,65) = \frac{W_p}{L_p} \cdot \frac{50 \times 10^{-6}}{2} (1,5 - 0,7)^2 (1 + \lambda_p 1,65).$$

I och med att  $L_p = L_n$  kan vi lösa ut  $W_p$  som

$$W_p = W_n \cdot \frac{100 \times 10^{-6}}{50 \times 10^{-6}} \frac{(1 + \lambda_n 1,65) 1,1^2}{(1 + \lambda_p 1,65) 0,8^2}$$

eller

$$W_p = 2 \cdot 2 \cdot \frac{(1 + \lambda_n 1,65) \cdot 1,21}{(1 + \lambda_p 1,65) \cdot 0,64} = 7,5625 \cdot \frac{(1 + \lambda_n 1,65)}{(1 + \lambda_p 1,65)}$$

För  $\lambda_p = \lambda_n = 0$  resp.  $\lambda_p = \lambda_n = 0,1 \text{ V}^{-1}$  fås  $W_p = 7,56 \text{ } \mu\text{m}$ . Eftersom  $W_p + W_p = 9,56 \text{ } \mu\text{m} > 9 \text{ } \mu\text{m}$  får vi testa en annan kombination; en där  $\lambda_p > \lambda_n$ !

För  $\lambda_n = 0$  och  $\lambda_p = 0,1 \text{ V}^{-1}$  fås  $W_p = 6,49 \text{ } \mu\text{m}$  och detta uppfyller breddvillkoret som är givet i uppgiften.

**Uppgift K9:**

Den övre NMOS-transistorn driver upp bussen från 0 V till en högre nivå, men eftersom reflektioner är ofrånkomliga sker spänningsökningen i steg, både för  $V_S$  och  $V_L$ . Eftersom löptiden bestäms av

$$t_d = \sqrt{LC} = 100 \text{ ps ska vi finna } V_{S1}, V_{L2}, V_{S3}, V_{L4} \text{ samt } V_{S5}.$$

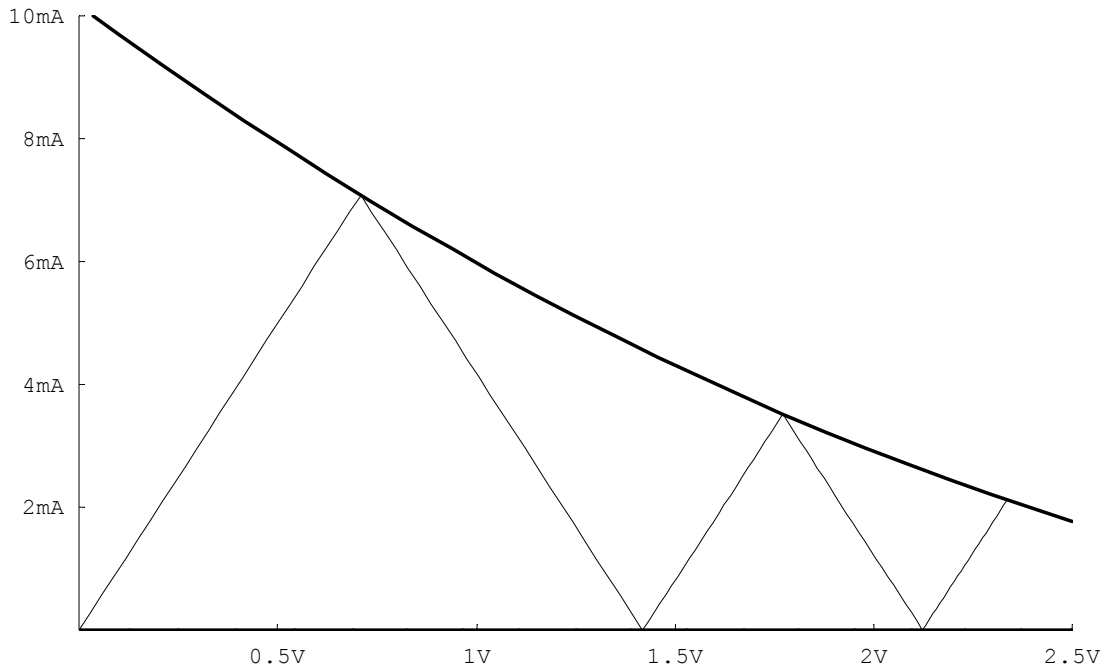
Den övre NMOS-transistorn är kopplad som en Source-Follower, där både drain och gate (när  $t = 0$  har passerats) är kopplade till 5 V. Tack vare att vi fått göra antagande 2 slipper vi bry oss om bodyeffekten, och vi kan sätta  $V_T = 0,7 \text{ V}$ . Den övre NMOS-transistorn är påkopplad för  $V_S < V_{DD} - V_T = 4,3 \text{ V}$ , men avstängd för  $V_S \geq 4,3 \text{ V}$ . I påkopplat läge är den tydligen mättad och dess kanalström kan skrivas

$$I = \frac{1}{2} \mu C_{\text{ox}} \frac{W}{L} (V_{GS} - V_T)^2 = \frac{1}{2} \mu C_{\text{ox}} \frac{W}{L} ((5 - V_S) - 0,7)^2 \text{ för } 0 \leq V_S \leq 4,3 \text{ V}.$$

Eftersom vi har en icke-linjär tillämpning är det Bergeronmetoden vi behöver för att lösa uppgiften. Vi sätter upp de två belastningslinjerna:

$$I_S(V_S) = \frac{1}{2} \mu C_{\text{ox}} \frac{W}{L} (4,3 - V_S)^2 \text{ resp. } I_L(V_L) = 0$$

Med  $Z_0 = \sqrt{L/C} = 100 \text{ } \Omega$  får vi följande diagram:



- $V_{S1} = 0,71 \text{ V}$  som etableras vid  $t = 0$ ,
- $V_{L2} = 1,42 \text{ V}$  som etableras vid  $t = t_d$ ,
- $V_{S3} = 1,77 \text{ V}$  som etableras vid  $t = 2t_d$ ,
- $V_{L4} = 2,12 \text{ V}$  som etableras vid  $t = 3t_d$ , samt
- $V_{S5} = 2,33 \text{ V}$  som etableras vid  $t = 4t_d$ .