

FÖRELÄSNING 9

Orientering i praktisk digital kretskonstruktion

Introduktion till ledningar i digitala system

Ledningsmodeller

Introduktion till reflektioner i förlustfria ledningar

Orientering i praktisk digital kretskonstruktion

OLIKA SÄTT ATT BYGGA DIGITALA SYSTEM 1(2)

Klassiskt:

- ◆ Kretskort med diskreta logikkretsar: på utdöende, mest för reservdelar och när man inte har stora krav och/eller resurser för utveckling:
 - TTL: bipolär teknik med låga impedanser = ström är signalbärare.
 - CMOS: MOS-teknik med höga inimpedanser = spänning är signalbärare.

Modernt:

- ◆ Kretskort med egenhändigt utvecklade IC-kretsar (kretskortet är underordnat IC-kretsarna) — här kommer ni jobba som "avancerade" konstruktörer:
 - CPLD & FPGA: programmerbar funktion i fördefinierad kiselbricka.
 - ASIC: chips som konstruktören låter tillverka från "tom kiselbricka".

OLIKA SÄTT ATT BYGGA DIGITALA SYSTEM 2(2)

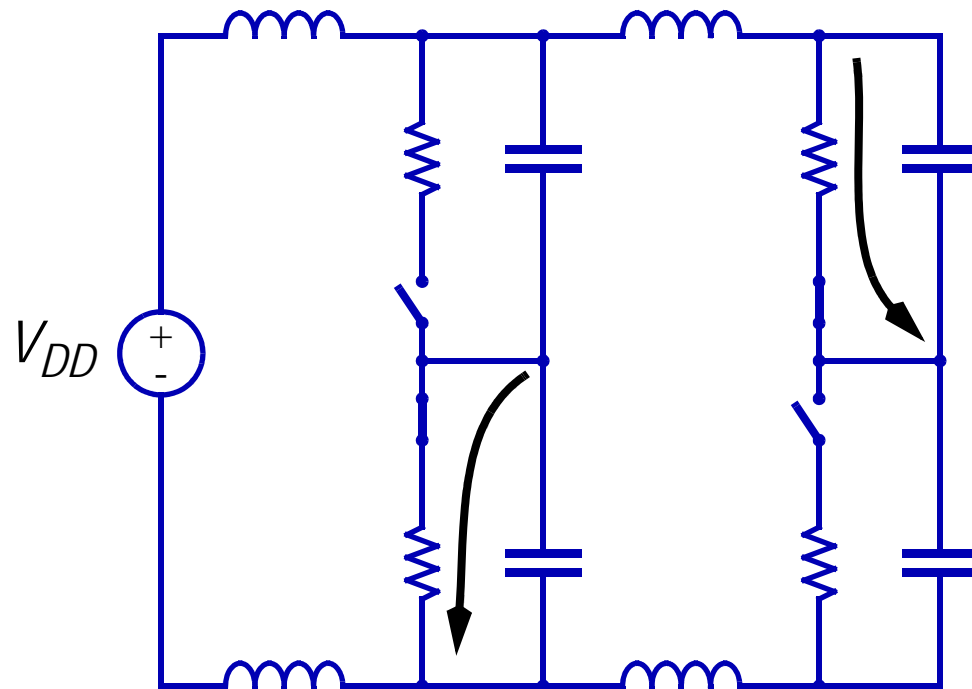
Klassiskt:

- ◆ Prestanda som hastighet och effekt var av lägre betydelse: man hade fullt upp att få till funktion och störmarginaler.
- ◆ Eftersom datablad låg till grund för konstruktion räknade man mycket för hand, och fick på köpet bra känsla för elektriska beteenden.
Försvagad designintuition är en fara för framtidens konstruktioner.

Modernt:

- ◆ Idag byggs elektroniken till stor del i simulatormiljöer, där funktion, störmarginal, hastighet, effekt, etc går hand i hand.
- ◆ Dock: när det verkligen gäller så bygger man riktiga prototyper, för simuleringar är ändock bara simuleringar.

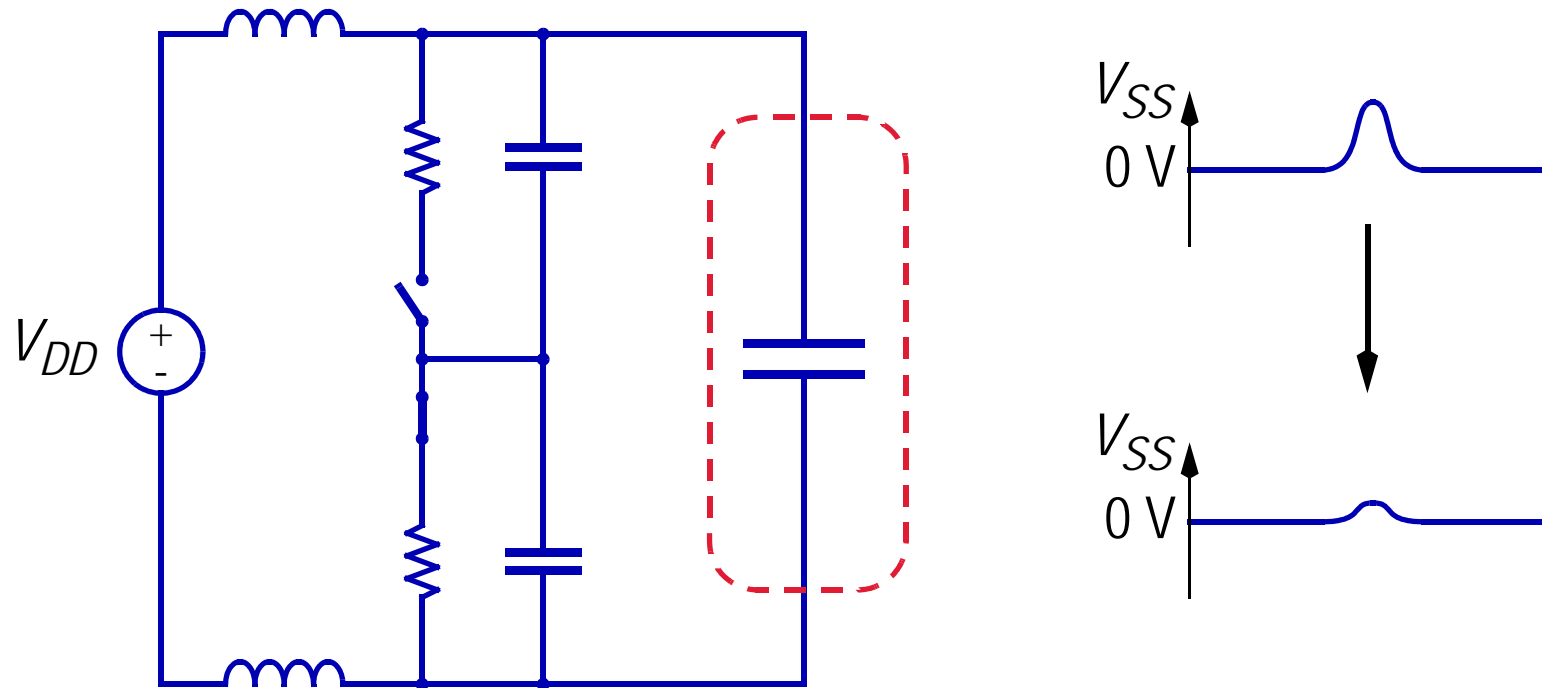
KRAFTFÖRSÖRJNING



$$\Delta V = -L \frac{dI}{dt}$$

- ◆ Synkrona system har höga toppströmmar då alla grindar slår om samtidigt.
- ◆ Kraftförsörjningens ledningar (DC-skenor) agerar induktans = de "reagerar" långsamt på snabba strömförlopp.

AVKOPPLING

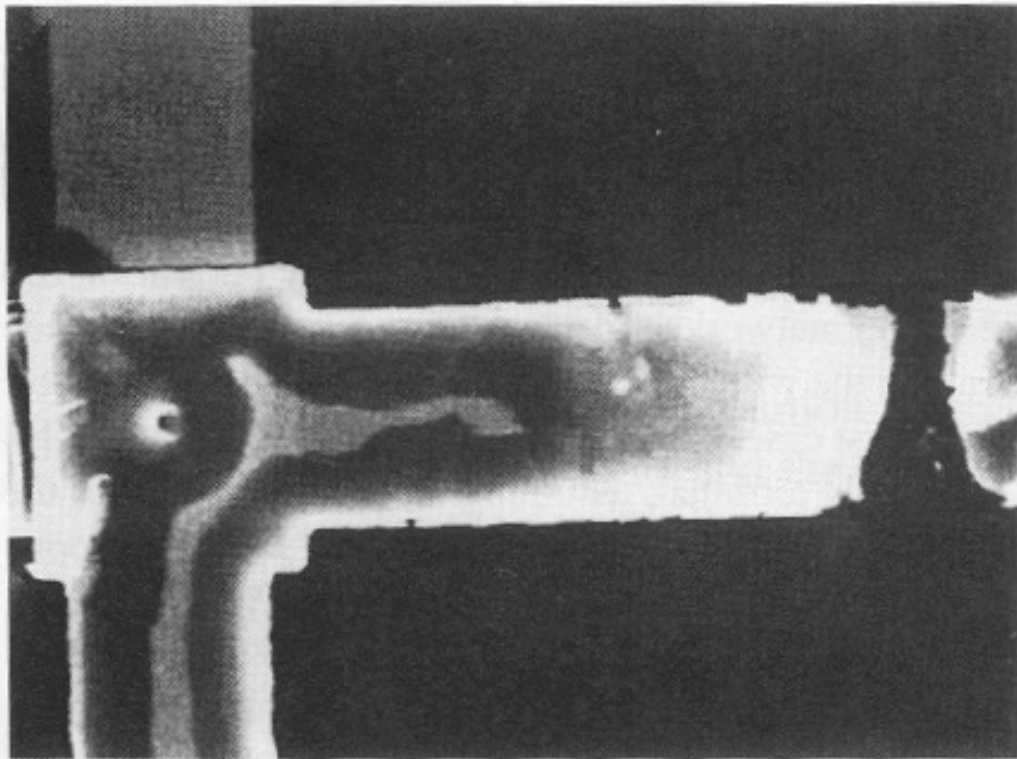


- ◆ Kapacitansen fungerar som en buffert av laddning som utnyttjas när den yttre spänningskällan inte kan försörja kretsarna (när den inte hinner med).
- ◆ **Avkoppla** mycket och på många ställen, med olika storlek och typ av C .

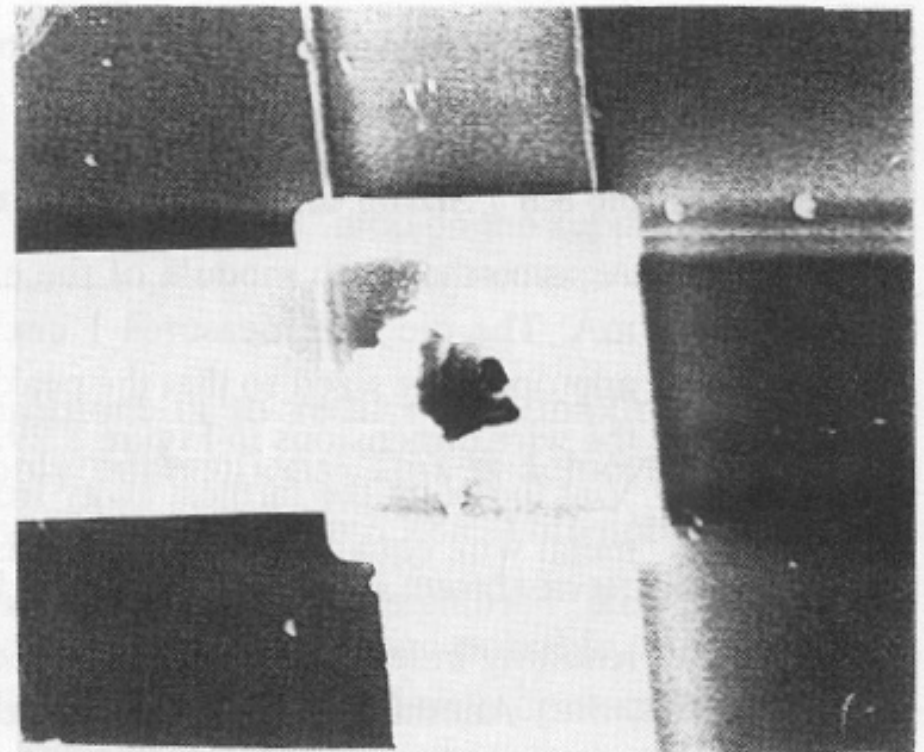
KRAFTDISTRIBUTION OCH ELEKTROMIGRATION

- ◆ När man konstruerar ledningar för kraftförsörjning kan stora strömmar dra (atomer) materialet med sig och skapa avbrott i ledningsmönstret: Elektromigration.
 - Bredda ledningen!
- ◆ Inom chipskonstruktion (chips har tunnare ledningar än ett kretskort har, så chipset är känsligare) brukar riktlinjen på maxström (DC) vara 1 mA per μm ledningsbredd.
- ◆ Trenden mot lägre matningsspänningar för med sig att strömmarna ökar, eftersom effektförbrukningen tyvärr sällan minskas (*trots att matningsspänningen minskas just för att minska effektförbrukningen*). Alltså ökar risken för elektromigration.

FOTON AV ELEKTROMIGRATIONENS FÖLJDER ...



(a) Line-open failure.



(b) Open failure in contact plug.

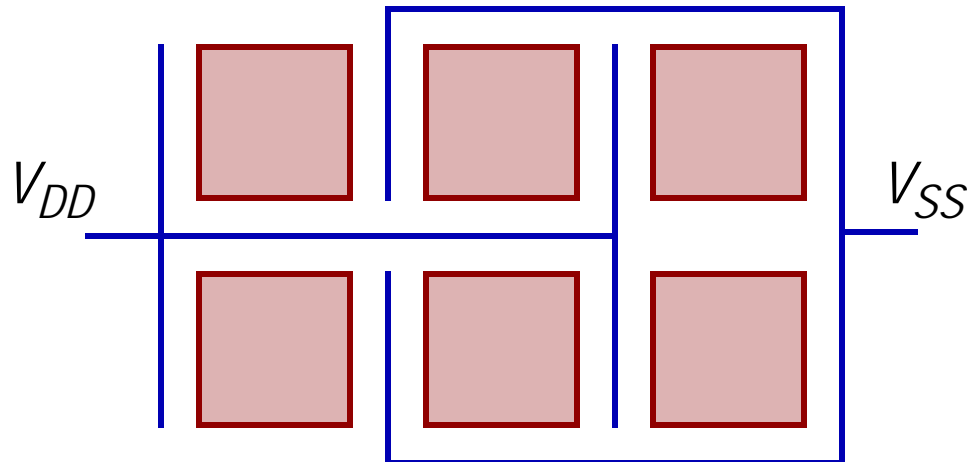
Figure 8.30 Electromigration-related failure modes (*Courtesy of N. Cheung and A. Tao, U.C. Berkeley*).

KRAFTDISTRIBUTION OCH SPÄNNINGSFALL 1(2)

- ◆ Även en ledare har resistans, så när stora strömmar går genom en ledning för kraftförsörjning gör resistansen att ett spänningsfall skapas över ledningen. V_{DD} och V_{SS} kommer alltså inte att vara lika stort överallt!
 - Problemet accentueras i system som har låg matningsspänning.
- ◆ Ännu en gång så är det chipsen som är känsligast, t.ex. i en 1 cm lång ledning skulle spänningsfallet kunna överstiga 0,5 V (vid slapp design!).
- ◆ Man kan bredda ledaren, för att minska resistansen.
 - Risken finns att en breddning utnyttjas till att öka strömmen proportionellt med bredden!
Då skulle vi vara tillbaka vid samma spänningsfall som innan bredden ökades :-)

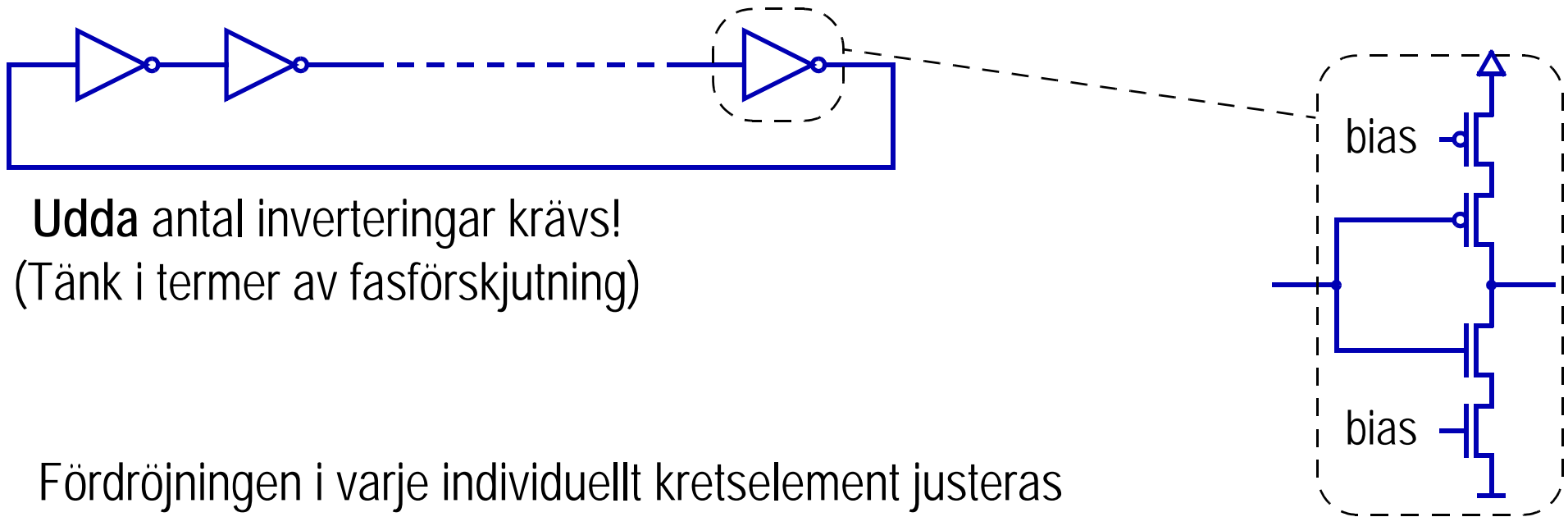
KRAFTDISTRIBUTION OCH SPÄNNINGSFALL 2(2)

- ◆ Det bästa sättet att hålla nere spänningsfallet är att minimera ledningslängder på kraftförsörjningen. Ett exempel på teknik är s.k. fingrade ledningar:



KLOCKNING - V(OLTAGE) C(ONTROLLED) O(SCILLATOR)

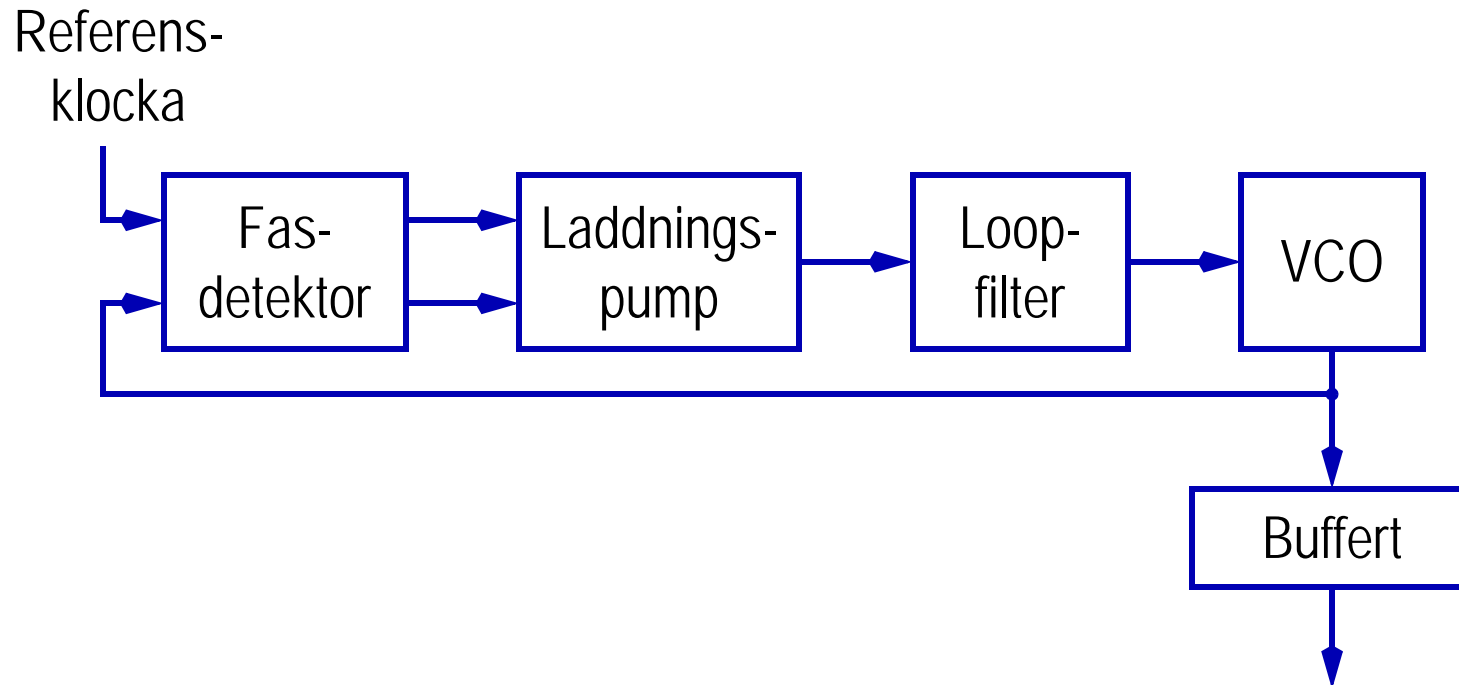
- ◆ En klockgenerator kan byggas mer eller mindre analog:
En analog/digital krets är ringoscillatorn.



Udda antal inverteringar krävs!
(Tänk i termer av fasförskjutning)

- ◆ Fördröjningen i varje individuellt kretselement justeras med en biasspänning (därav VCO). Elementen kallas strömstrypta inverterare.

EN FASLÅST SLINGA (PLL)

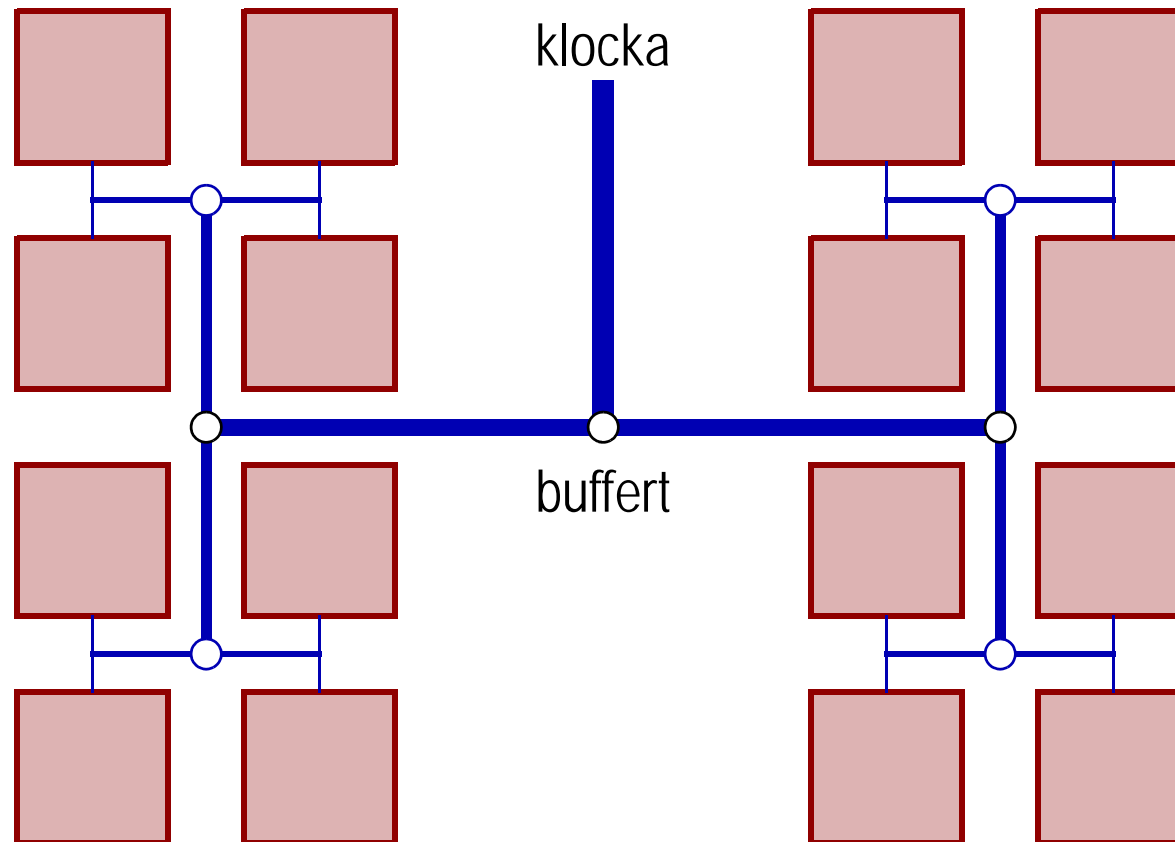


- ◆ PLL:en låser fasen i VCO:n till den externa referensklockan, så den internt genererade klockan har sina flanker synkroniserade med referensklockan.
- ◆ Referensklockan kommer från kretskortet och är i storleksordningen 100 MHz, medan den interna klockan kan ligga i storleksordningen 1 GHz.

KLOCKSKEV

- ◆ När man arbetar med ett digitalt system gäller det att kunna synkronisera vissa (många) klockfaser, vilket ofta sker genom att man har en referensklocka med ganska låg frekvens till vilken andra klocksignalers faser (t.ex. en stigande flank) kalibreras genom en PLL.
- ◆ Inuti t.ex. ett chips får man dock se till att hålla klocksignalerna synkrona utan att använda PLL:er i parti och minut.
 - Detta är inte lätt för antagandet att två klocksignaler som går åt olika håll i exakt lika långa ledare får samma fördröjning ... är fel.
- ◆ S.k. klockskev uppstår på grund av ...
 - att de belastande kapacitanserna (i ändarna av resp. klockledning) är olika.
 - variationer i kanallängder, i V_T i dielektrikats tjocklek, i V_{DD} , och i temperatur.
 - oförutsägbara kopplingskapacitanser och rena designfel.

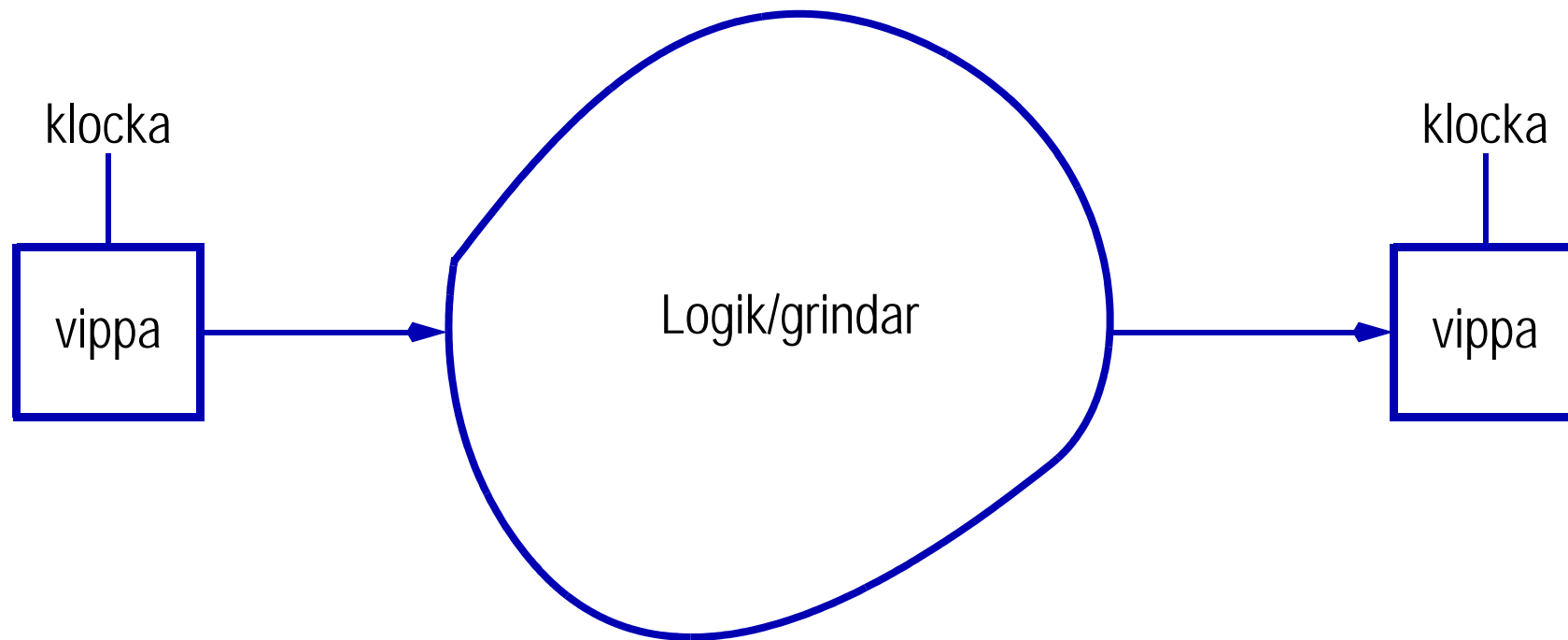
EXEMPEL PÅ KLOCKDISTRIBUTION - H-TRÄDET



Introduktion till ledningar i digitala system

KLOCKPERIOD OCH LOGIKUTVÄRDERING

- ◆ Vi har maximalt en klockperiod på oss att utvärdera logik mellan vipor/register.
- ◆ Ledningar mellan grindar har stor inverkan på fördröjningar och kan leda till att elektroniken inte fungerar korrekt (beräkningen hinns ej klart i tid).

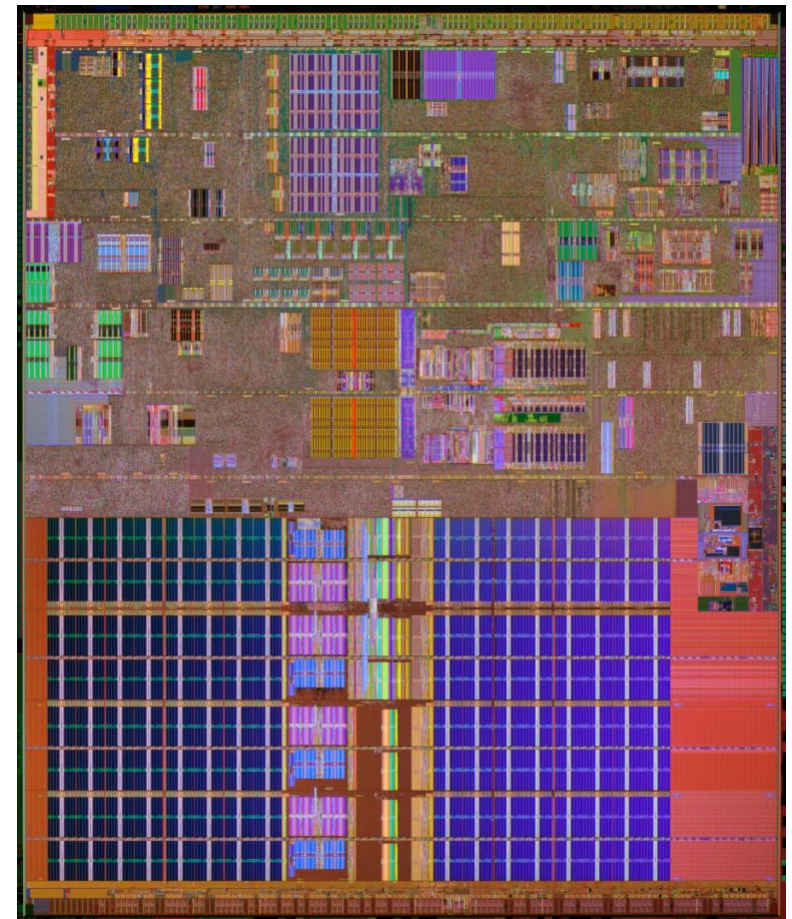


NÄR LJUSHASTIGHETEN BLIR ETT HINDER ... 1(3)

- ◆ Klockcykelns längd sätter alltså en gräns för hur lång tid logikkretsarna har på sig att räkna färdigt sina Booleska uttryck.
- ◆ Vid 3,73 GHz klockas kärnan i en P4 vid dubbla frekvensen (= 7,46 GHz), vilket ger en periodtid på 134 ps.

Hur långt kan en chipssignal nå på 134 ps?

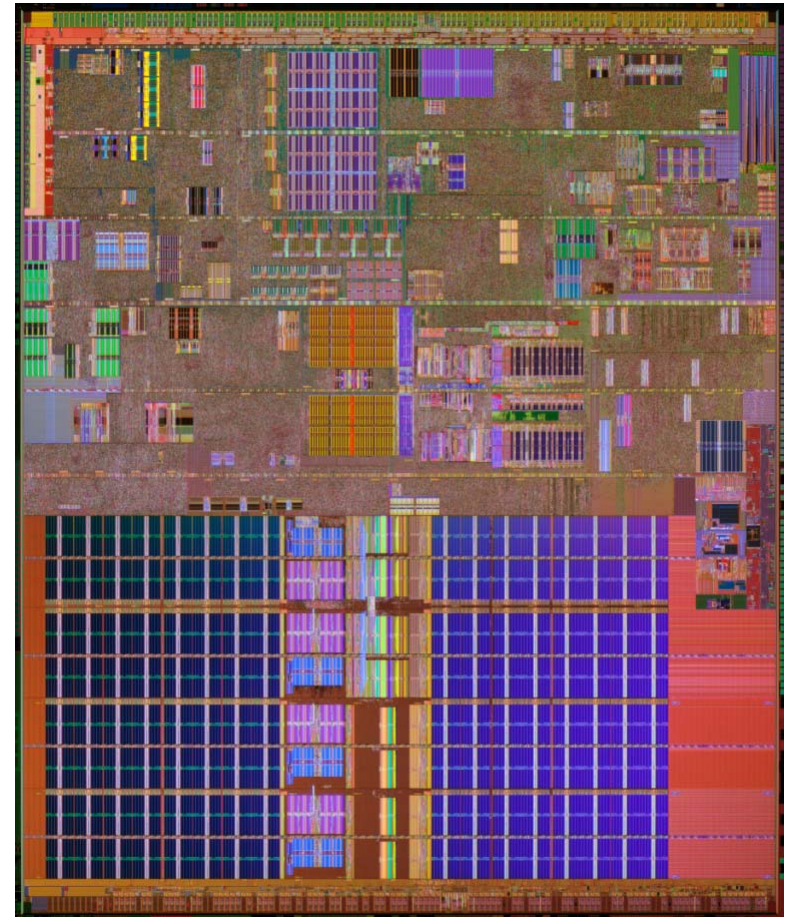
- ◆ P4-chipset till höger har en yta på 135 mm², eller 10,7 x 12,6 mm.



NÄR LJUSHASTIGHETEN BLIR ETT HINDER ... 2(3)

- ◆ I vakuum är ljushastigheten $c = 300\,000\,000$ m/s.
- ◆ När en elektrisk växelspanningssignal färdas på en förlustfri chipsledning bestämmer emellertid dielektrikat runt ledningen maxhastigheten.
- ◆ Vi kan skriva den maximala hastigheten

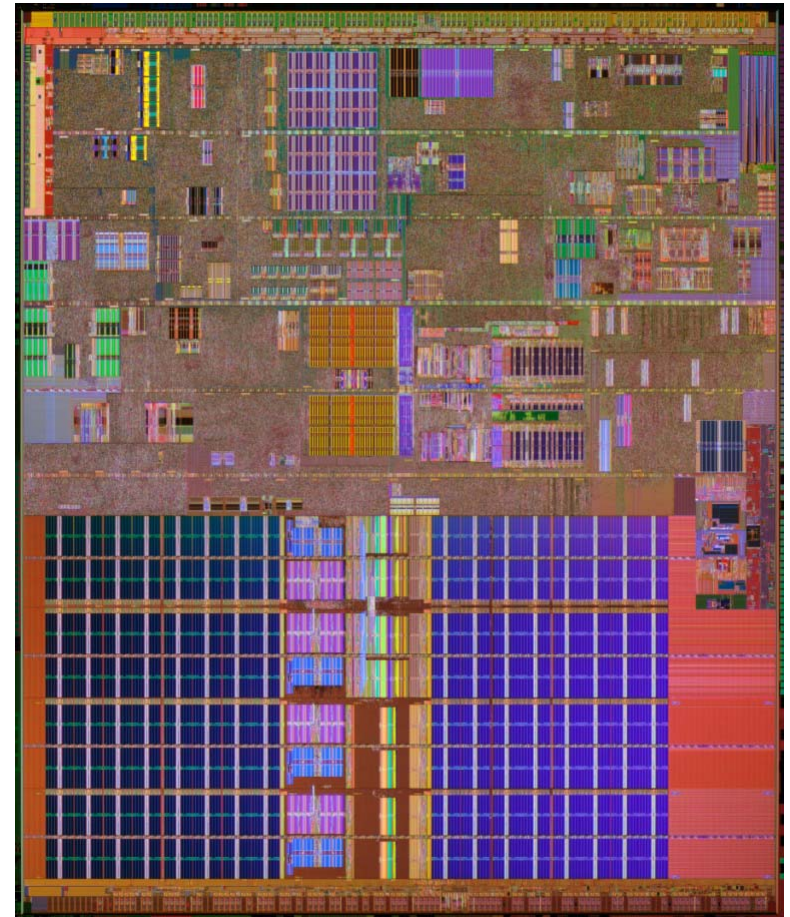
$$\text{som } v = \frac{c}{\sqrt{\epsilon_r}}.$$



NÄR LJUSHASTIGHETEN BLIR ETT HINDER ... 3(3)

- ◆ För SiO_2 är $\epsilon_r = 3,9$ och maxhastigheten blir då ca 150 000 000 m/s. Med denna hastighet når man på 134 ps ungefär 20 mm!
- 1. Det finns ledningar som är längre än 20 mm på vanliga chips idag!
- 2. Och vad värre är ... man kommer sällan upp i maxhastigheten!

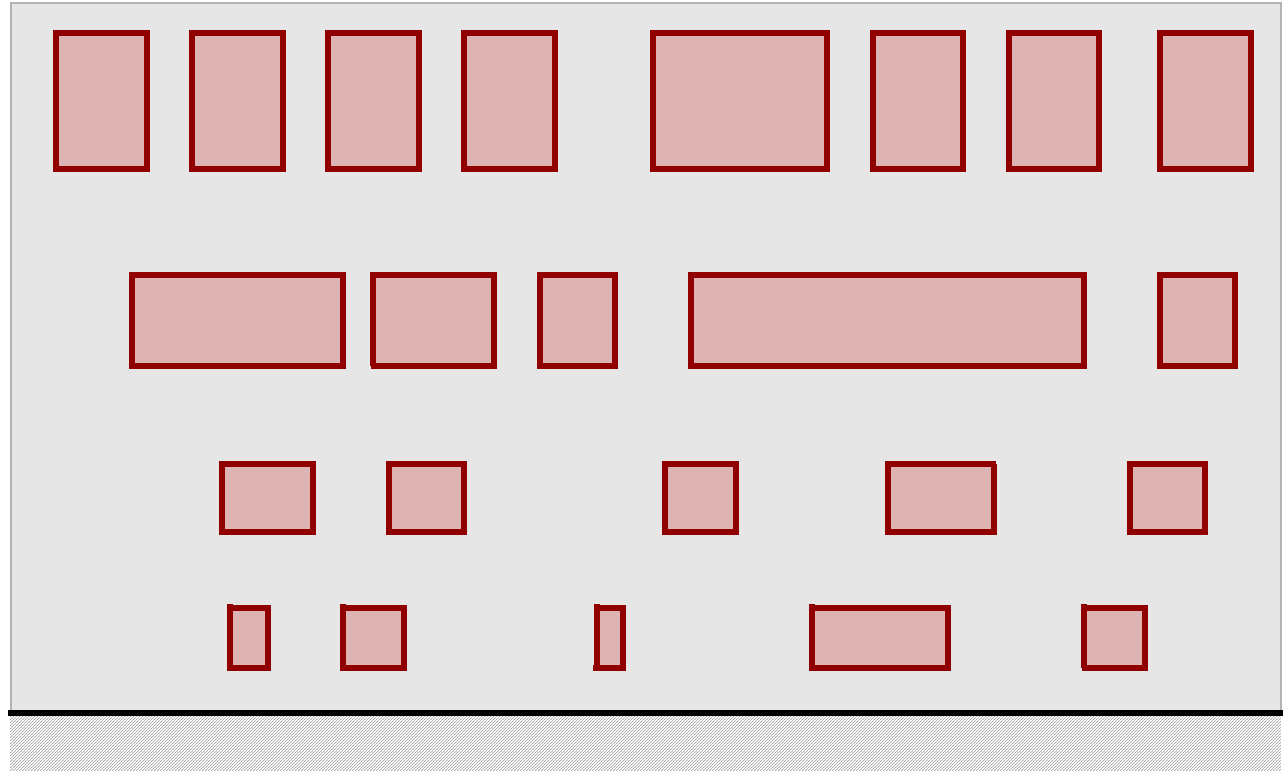
Maxhastigheten ovan är bara möjlig att uppnå i s.k. förlustfria ledningar, d.v.s. de som har $R = 0$



MODERN METALLSTRUKTUR PÅ IC

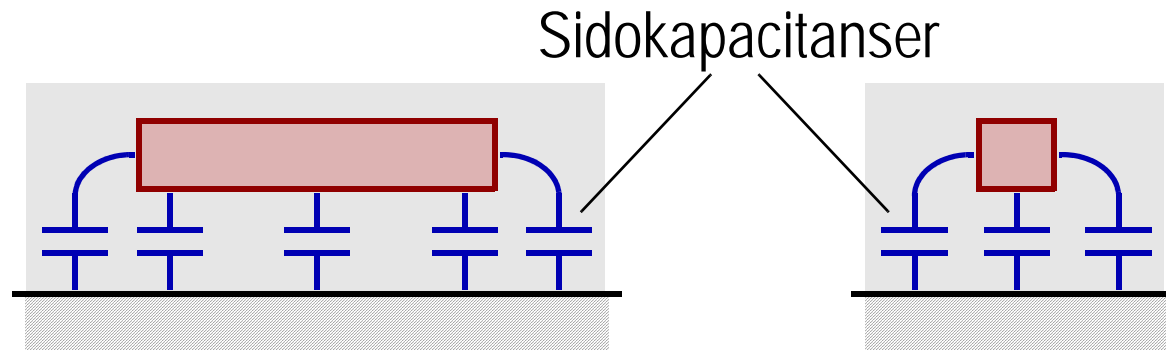
$$C = \varepsilon \cdot \frac{W_{\text{ledning}}}{t_{\text{oxid}}}$$

Lågt ε ger låga
kapacitanser!



- ◆ Intels första 90-nm process (2002): Koldopad kiseldioxid med $\varepsilon_r = 2,9 \Rightarrow$ maxhastighet = 176 000 000 m/s \Rightarrow vår tänkta "P4-extreme ed"-signal kan nu som mest nå 24 mm inom en klockcykel, istället för de 20 mm som den nådde i SiO₂ !

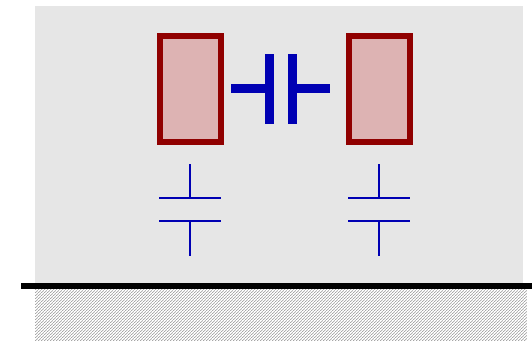
TRENDEN MOT SMALARE OCH HÖGRE LEDNINGAR ...



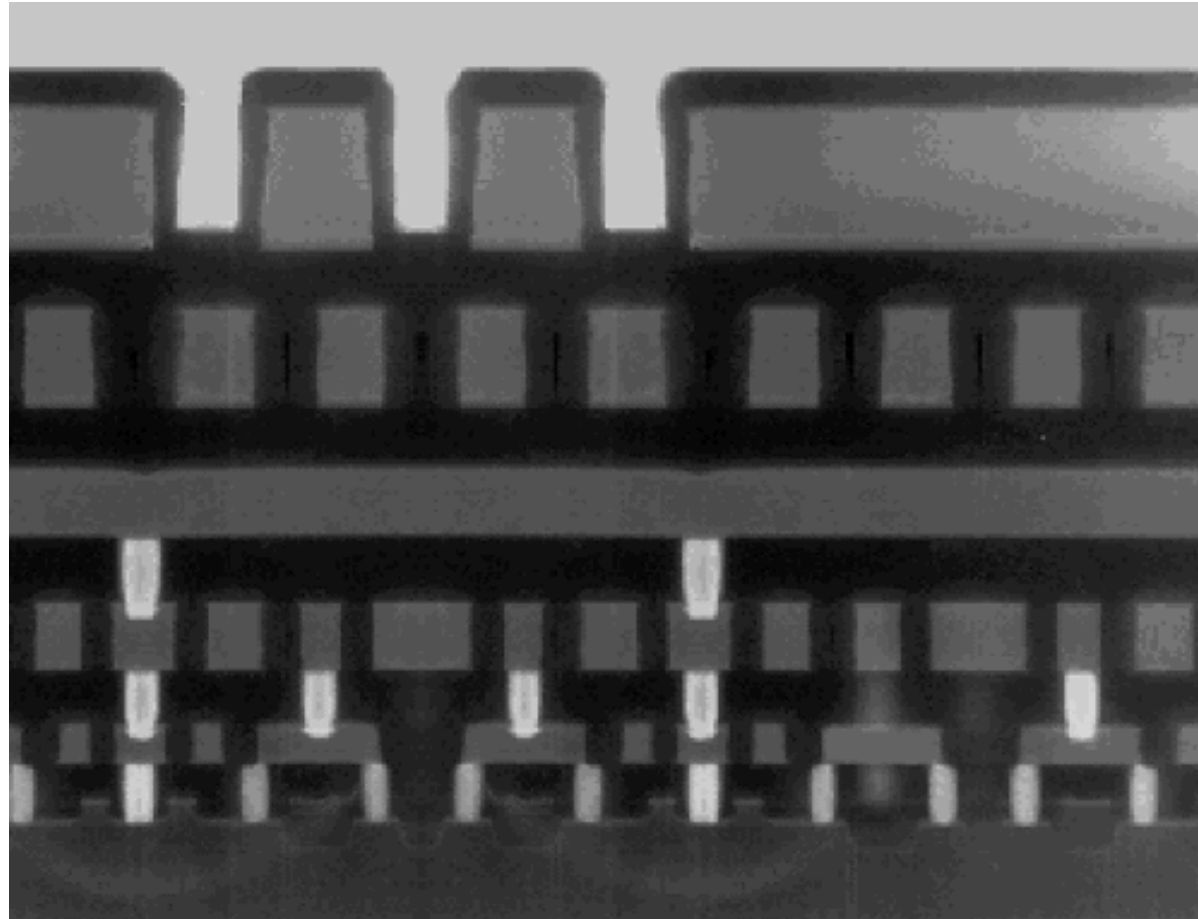
Ledningarna skalas ned i bredd \Rightarrow
sidokapacitanser dominerar

Metallager längre från jordplan,
och ledningar allt tätare packade
 \Rightarrow
s.k. överhörning påverkar allt mer

Överhörning !

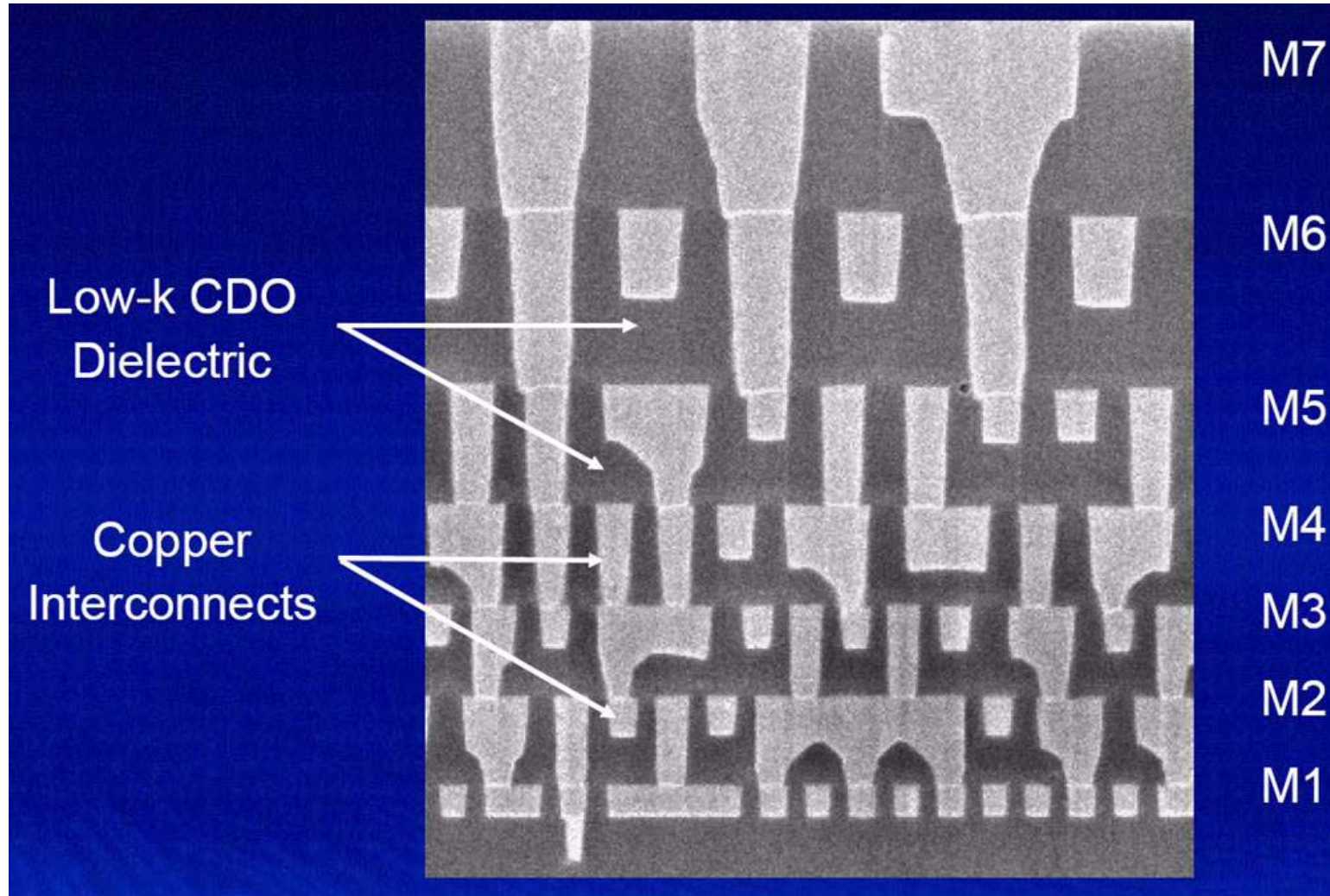


MODERN TILLVERKNINGSPROCESS (5 METALL-LAGER)



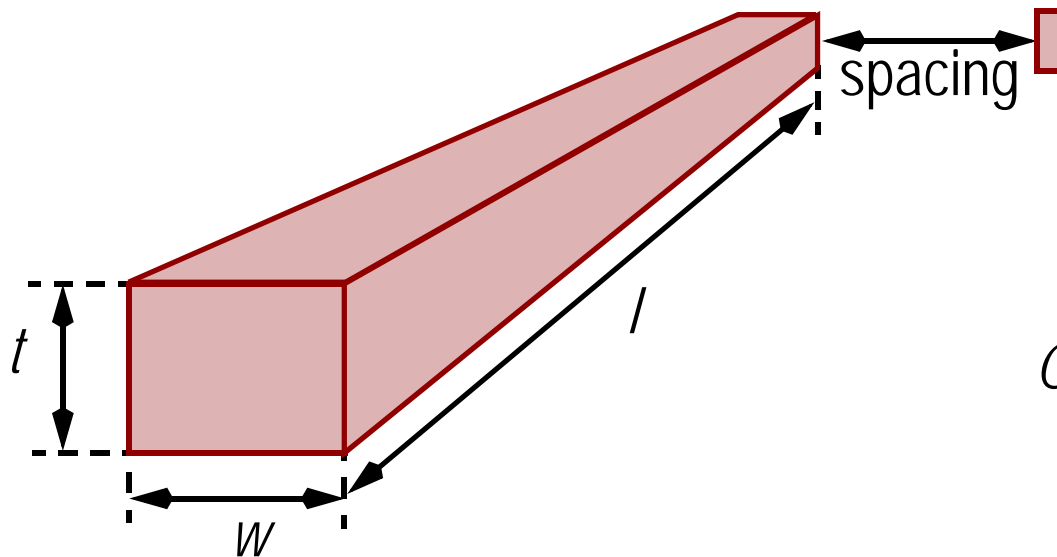
Notera att ledningarna längst ned har mycket liten tvärsnittsytta, vilket leder till hög resistivitet. Detta är en av nackdelarna med skalning.

MODERN TILLVERKNINGSPROCESS (7 METALL-LAGER)



EN LEDNINGS ANATOMI OCH PROBLEMET MED SKALNING

- ◆ De nedre lagrens ledningar har liten tvärsnittyta \Rightarrow resistansen är stor!



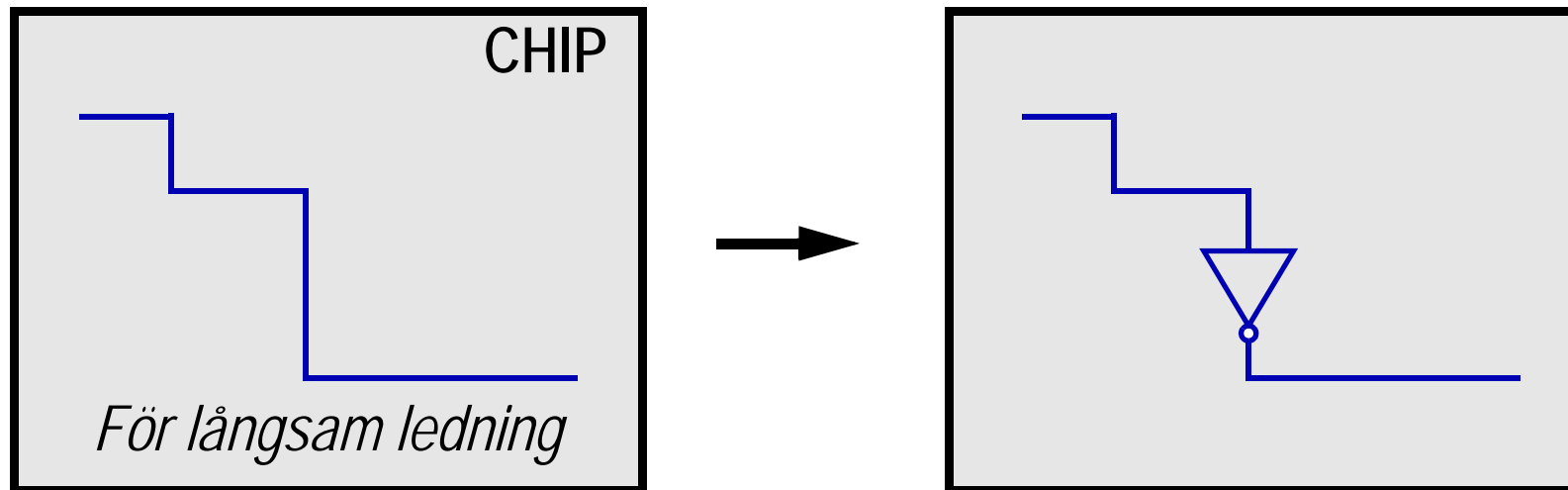
$$R(\text{le}^{-1}) = \rho \cdot \frac{1}{Wt}$$

$$C(\text{le}^{-1}) = \varepsilon \cdot \left(\frac{W}{t_{\text{oxid}}} + \frac{t}{\text{spacing}} \right)$$

- ◆ W och t_{oxid} skalas kontinuerligt ned med en faktor $\sim 0,7$ per chipsgeneration.
- ◆ t skalas däremot inte ned lika kraftigt, eftersom R skulle öka för snabbt annars.

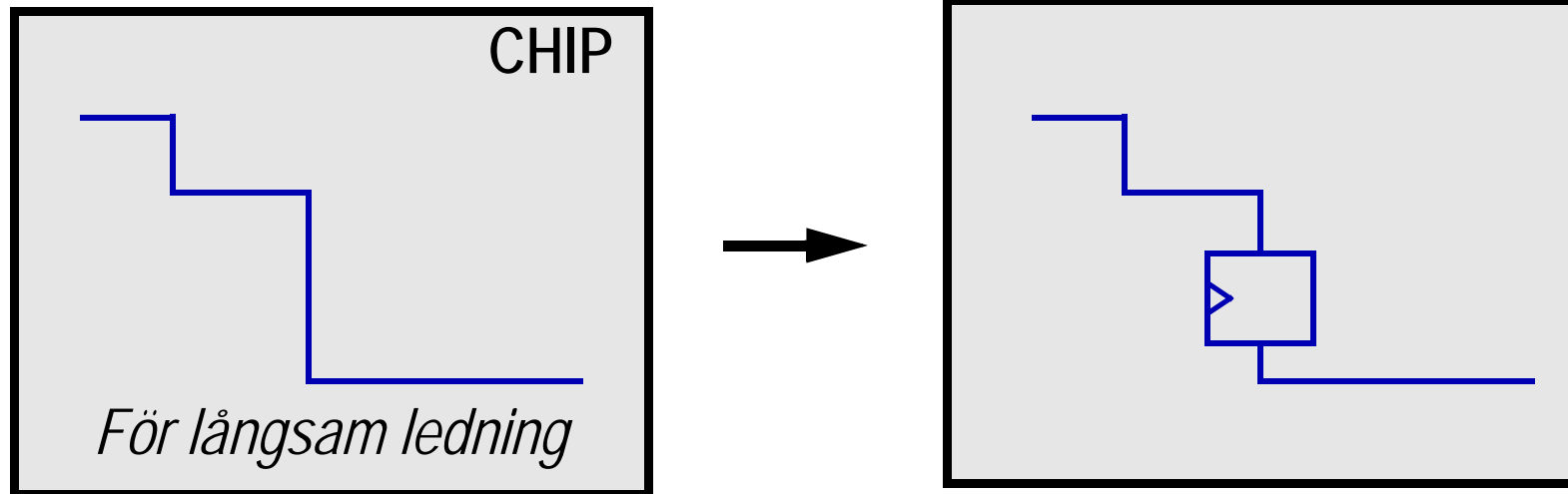
Alltså, per längdenhet är C konstant med skalningen, medan R ökar !

VAD GÖR MAN OM LEDNINGEN ÄR FÖR LÅNGSAM? 1(2)



- ◆ Med s.k. "repeater-insertion" kan man förstärka upp en signal så att fördröjningen minskar.
- ◆ Denna metod fungerar bara om ledningen har förluster.
- ◆ Använder man för många "repeatrar" ökar fördröjningen!

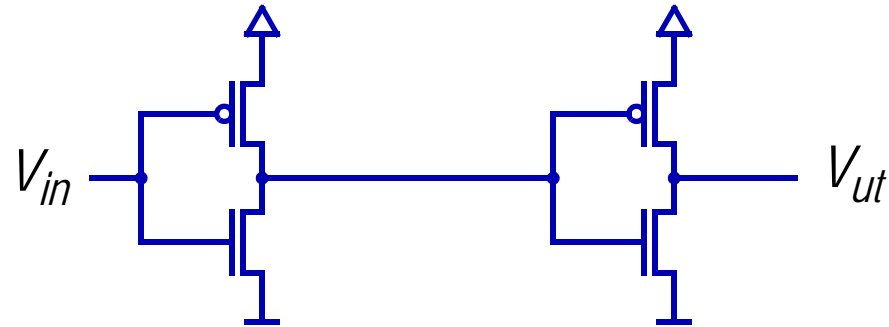
VAD GÖR MAN OM LEDNINGEN ÄR FÖR LÅNGSAM? 2(2)



- ◆ Pipelinad buss funkar för alla sorters ledningar:
Man överger kravet på att kommunikationen sker inom en enda klockcykel.
- ◆ Nackdelen är att latensen (= antal cykler över ledningen) ökar, vilket skapar helt nya, och aldrig positiva, förutsättningar för arkitekturnivån.

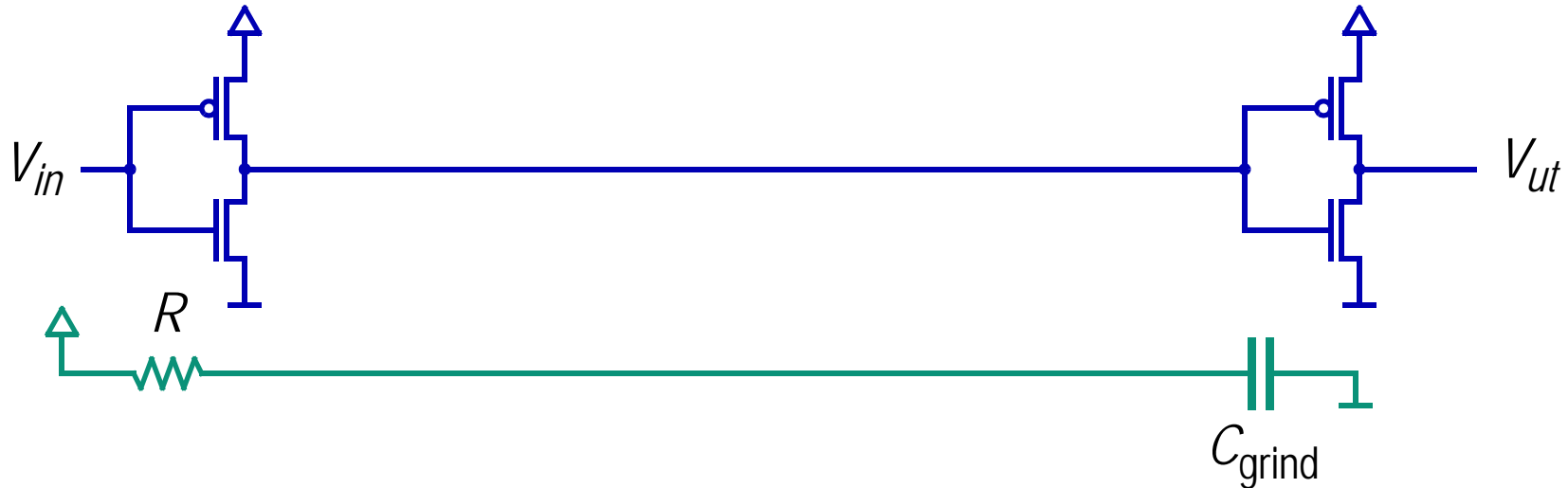
Ledningsmodeller

NÄR ALLT ÄR ENKELT



- ◆ Vi betraktar ett kretsschema där en CMOS-inverterare driver en annan CMOS-inverterare.
- ◆ Vi antar att den första inverteraren ska slå om sin utgång från 0 till 1.
- ◆ Schemat antyder att det finns en fysisk ledning mellan grindarna, men att denna ledning är försumbar i analysen.

SVÅRIGHETER?

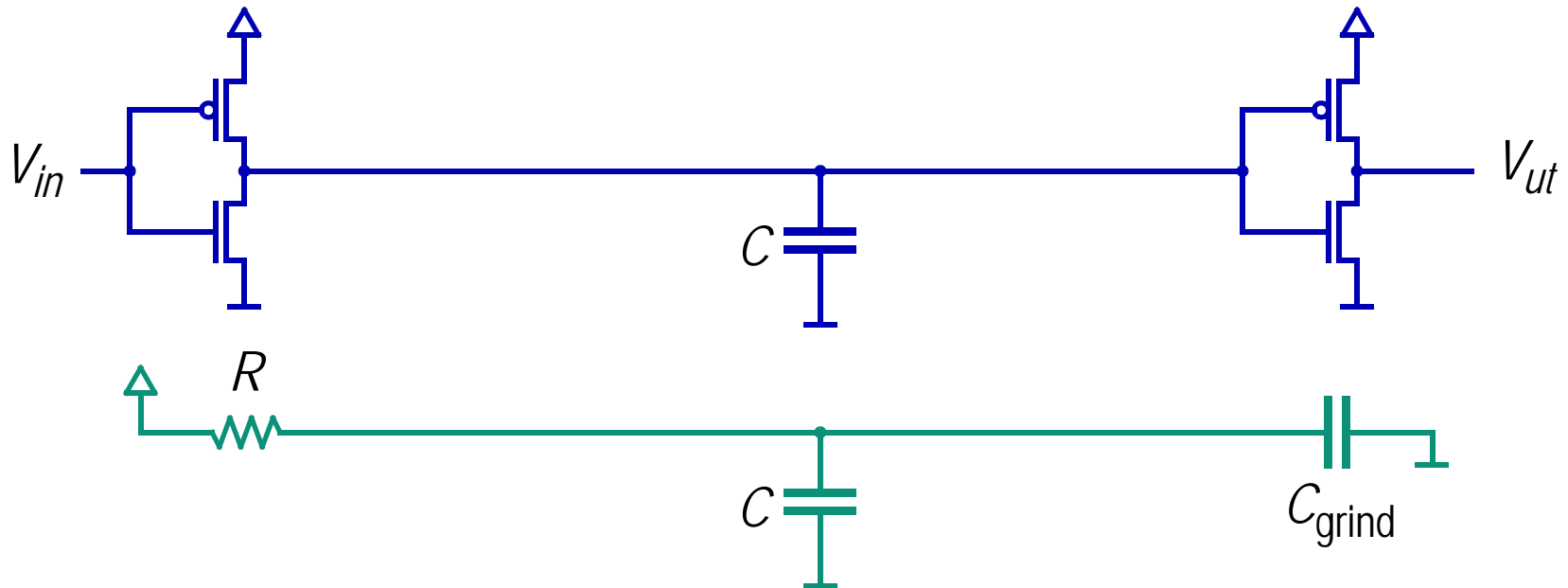


- ◆ Fördröjningen beror av $R C_{\text{grind}}$, där den drivande PMOS:en har en inre impedans R (ON-resistansen måntro?) och där C_{grind} är summan av kapacitanser från gateterminalerna: Ledningen är här i vår analys fortfarande ideal.

Men tänk om grindarna är långt ifrån varann i verkligheten?

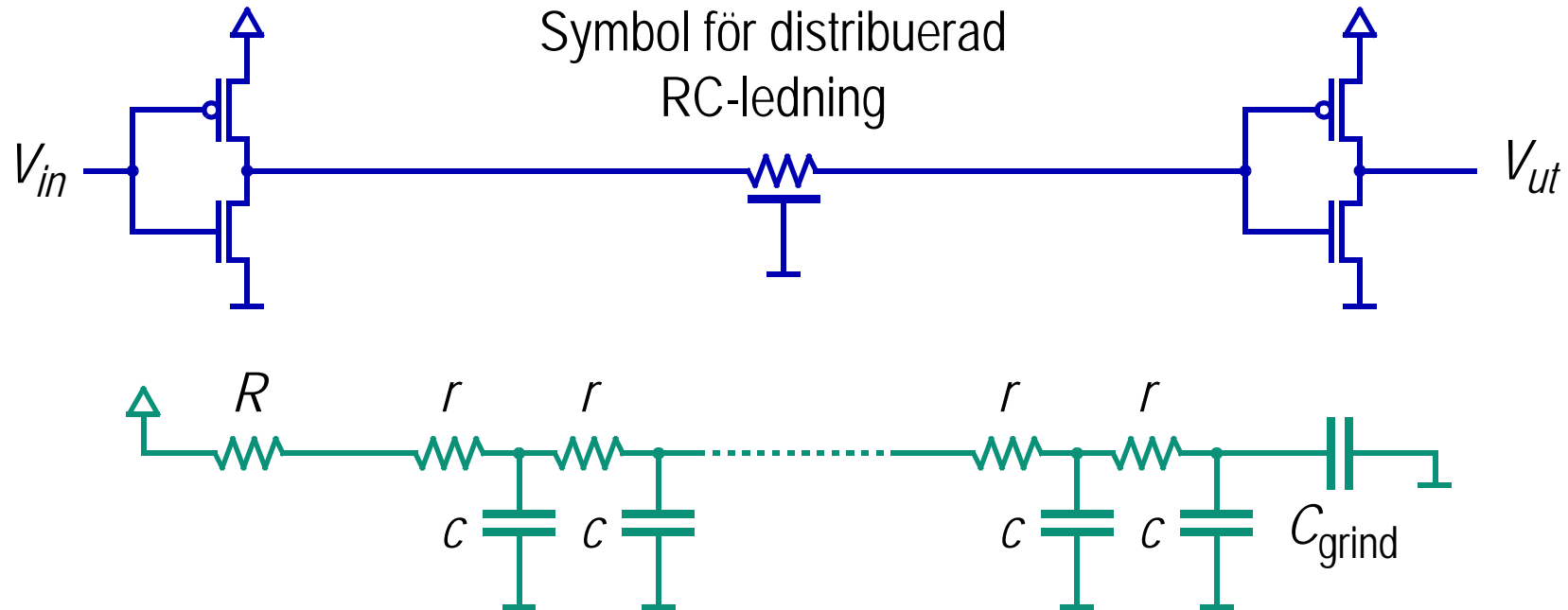
Kanske fördröjningen genom ledningen är jämförbar med grindarnas fördröjning?

ETT FALL OCH EN LÖSNING



- ◆ Med en punktformig kapacitans som modell för den långa ledningen ska inte bara den belastande grinden (C_{grind}) laddas upp utan också ledningens C .
- ◆ Nu beror fördröjningen av $R(C + C_{grind})$. Denna situation är mycket vanlig i CMOS.
- ◆ *Viktigt:* Signalen etableras samtidigt över hela ledningen.

NYA SVÅRIGHETER?

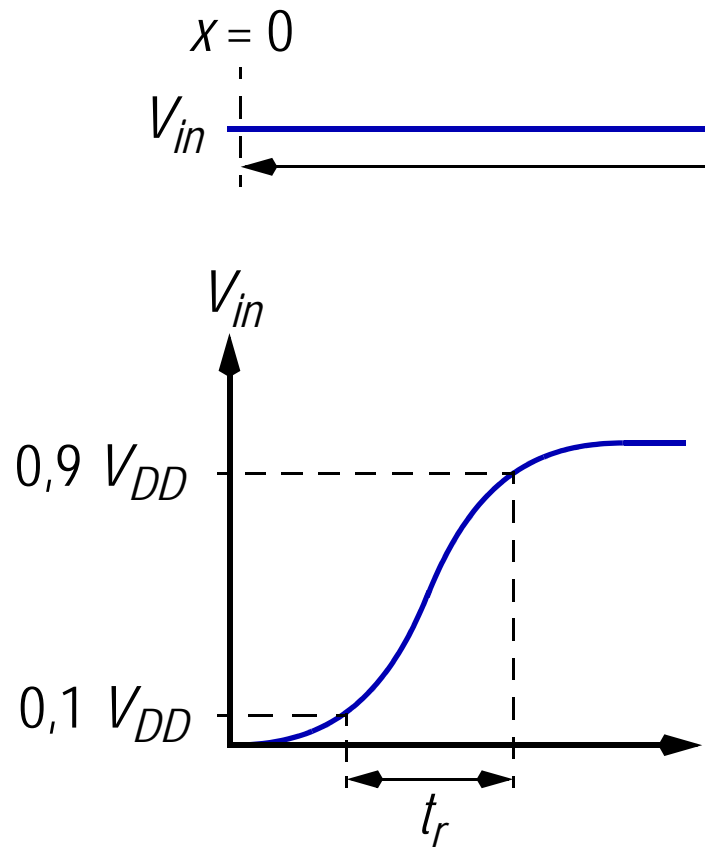


- ◆ Ibland uppvisar ledare ett distribuerat beteende.
Vi har en transmissionsledning!
- ◆ *Viktigt:* Signalen etableras först vid ledningens ingång,
men sedan dröjer det innan signalen dyker upp på utgången.

PUNKTFORMIG ELLER DISTRIBUTUERAD?

- ◆ Av engelskans "lumped" kan man skapa begreppet punktformig. Detta synsätt betyder att en komponent eller en ledning inte innehåller några distribuerade beteenden.
- ◆ Ett distribuerat beteende hittar vi främst hos ledningar, och att det blir ett aktuellt synsätt kommer sig av ett av tre skäl:
 1. Stig- och/eller falltiden liten = ledningen upplevs lång av signalflanken (*av intresse i digital konstruktion*).
 2. Ledningen är mycket lång jämfört med signalperioden (*av intresse i telefonledningar och kraftledningar för högspänning*).
 3. Komponenten vi betraktar har en storlek som är i samma härad som våglängden på signalen (*av intresse i mikrovågsteknik*).

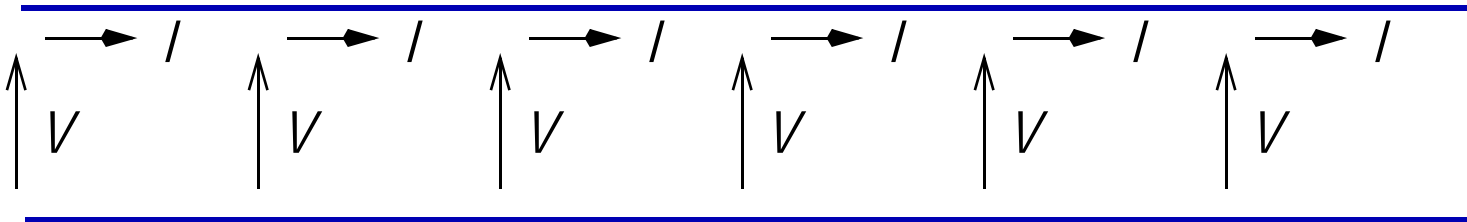
STIG- OCH/ELLER FALLTID



- ◆ *Tumregel:* När $t_r < 2,5 t_d$ måste man se på ledningen som distribuerad.
- ◆ Denna punkt (av de tre) är den i särklass viktigaste för digitala konstruktioner.
- ◆ En chipssignal håller farten $\sim c/2$ och idag kan t_r vara nere vid 10 ps! Denna stigtid kräver distribuerat tänkande för

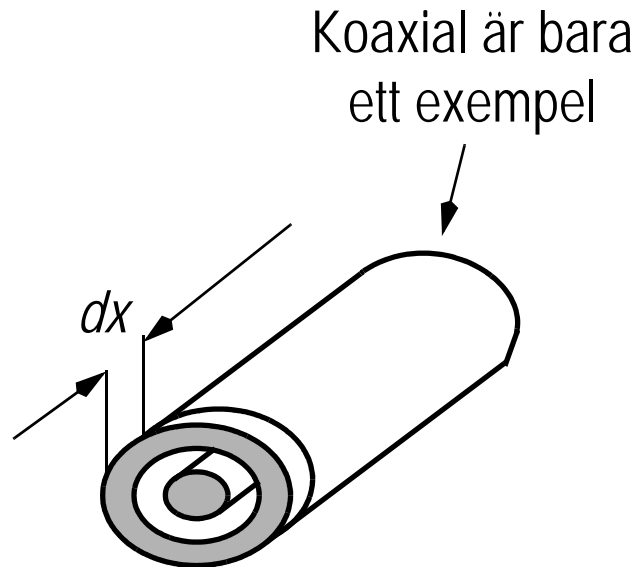
$$t_d > 4 \text{ ps} \Rightarrow L > \frac{c}{2} \cdot 4 \text{ ps} = 0,6 \text{ mm.}$$

EN DISTRIBUTUERAD LEDNING

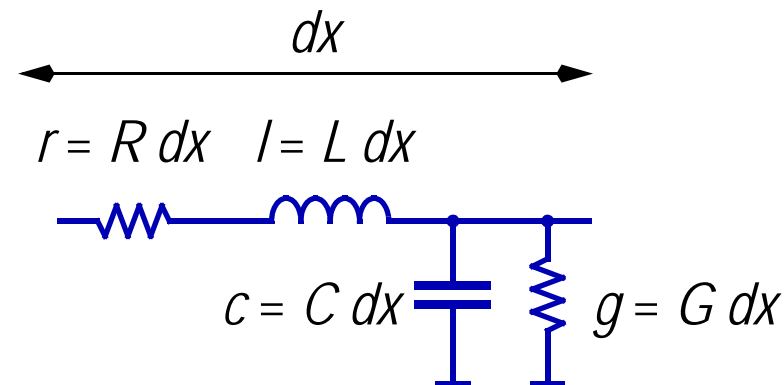


- ◆ Spänningar och strömmar tar sig fram i ledningen som en vågfront. I varje punkt utefter ledningen kan man roa sig med att hitta V/I , för denna representerar en slags impedans i varje punkt: man kallar denna den karaktéristiska impedansen (ofta Z_0).
- ◆ Skulle t.ex. I i två närliggande segment skilja sig åt, medan V är densamma, betyder det att den karakteristiska impedansen varierar längs ledningen. Detta har stor betydelse för digital elektronikkonstruktion, eftersom digitala signaler reflekteras vid "impedansövergångar"!

EN GENERELL MODELL AV ETT LEDNINGSSEGMENT

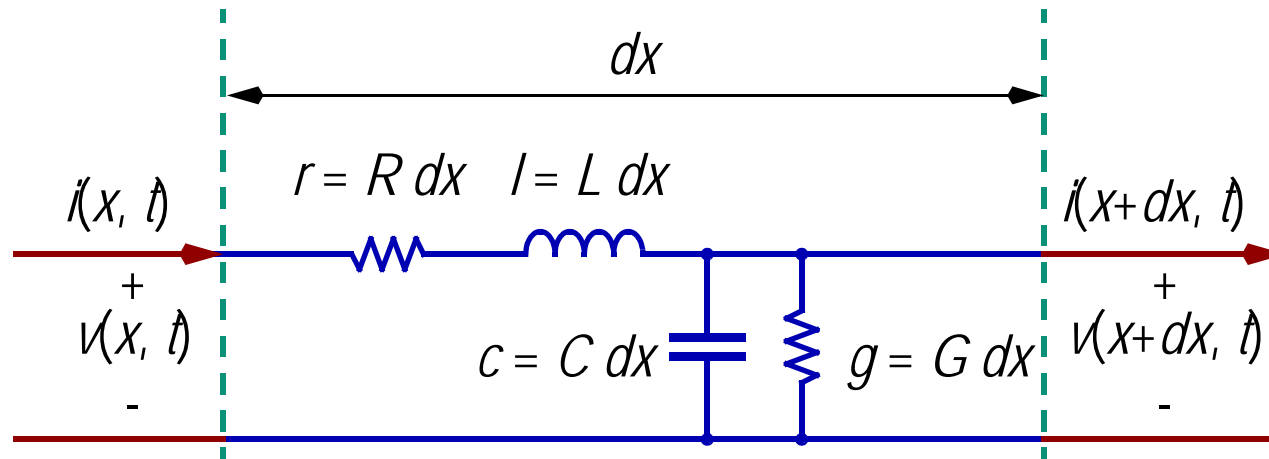


Notera: R , L , G och C ges alla per längdenhet



- ◆ Konduktansen G anger hur stort strömläckaget mellan signal och jord är; man kan se det som att dielektrikat läcker. Vi kommer snart försumma G .
- ◆ Om förlusterna anses vara små, d.v.s. R är liten och G är försumbar, kan man förenkla modellen till en LC-modell. Detta är fallet med koaxialkabeln.

TELEGRAFEKVATIONERNA 1(2)



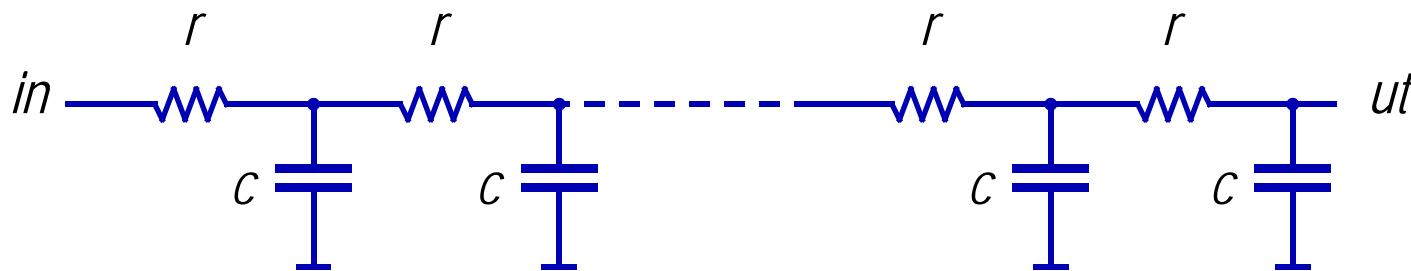
$$v(x+dx, t) - v(x, t) = -[R dx] i(x, t) - [L dx] \frac{\partial}{\partial t} i(x, t)$$

$$i(x+dx, t) - i(x, t) = -[G dx] v(x+dx, t) - [C dx] \frac{\partial}{\partial t} v(x+dx, t)$$

TELEGRAFEKVATIONERNA 2(2)

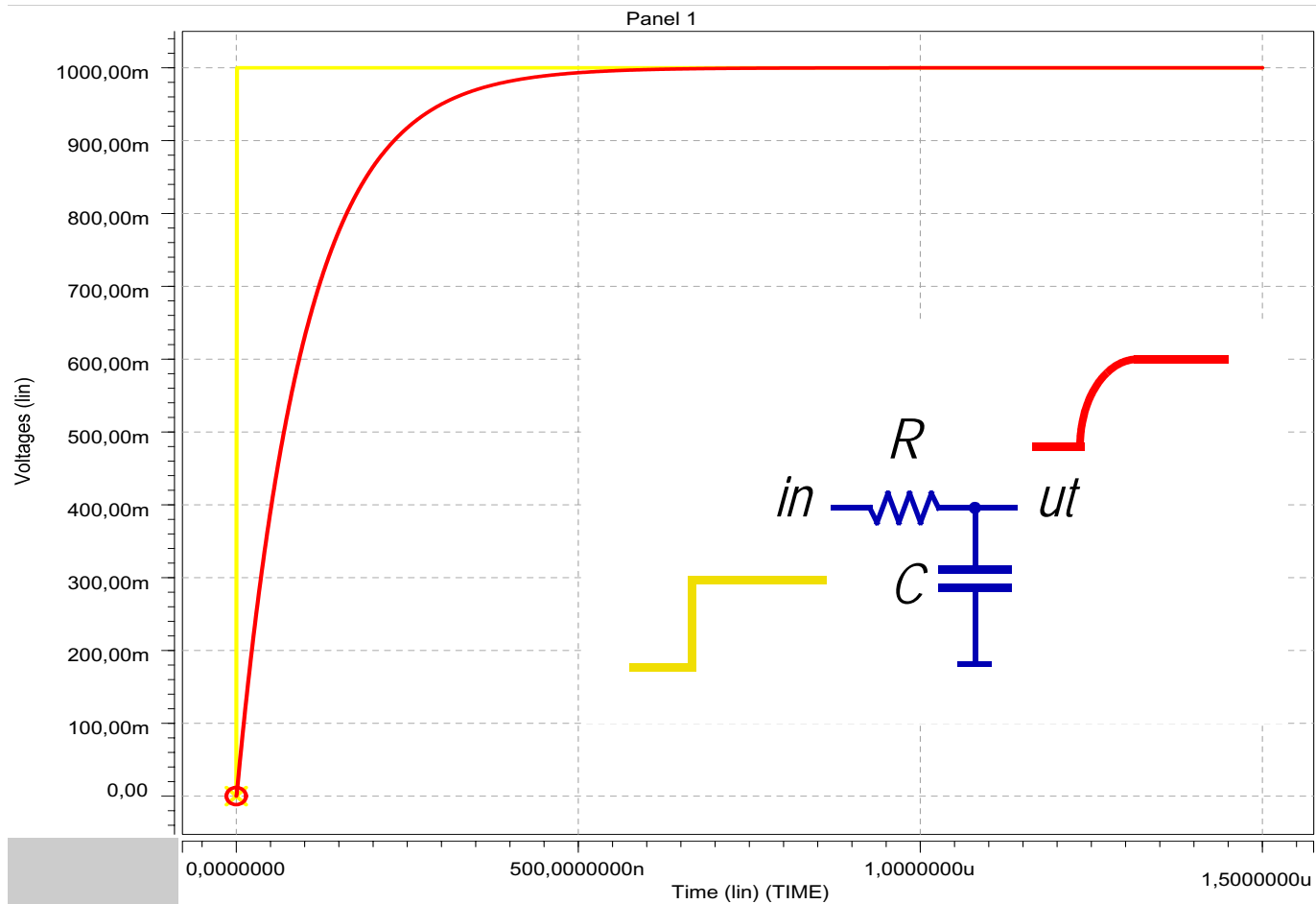
- ◆ Använd Taylorutveckling omkring x , d.v.s. vi låter $dx \rightarrow 0$.
Nu erhåller vi telegrafekvationerna:
 - $$\frac{\partial}{\partial x} v(x, t) = -\left(R + L \frac{\partial}{\partial t}\right) i(x, t)$$
 - $$\frac{\partial}{\partial x} i(x, t) = -\left(G + C \frac{\partial}{\partial t}\right) v(x, t)$$
- ◆ Beroende på vilken ledning man har, kan man sätta vissa av de ingående variablerna till noll, och få olika lösningar på ekvationerna.
- ◆ Under nästa föreläsning kommer vi i mer detalj gå igenom två kategorier av ledningsmodeller:
ledningar med förluster respektive förlustfria ledningar.

LEDNING MED FÖRLUSTER - DISTRIBUTUERAD RC-LEDNING

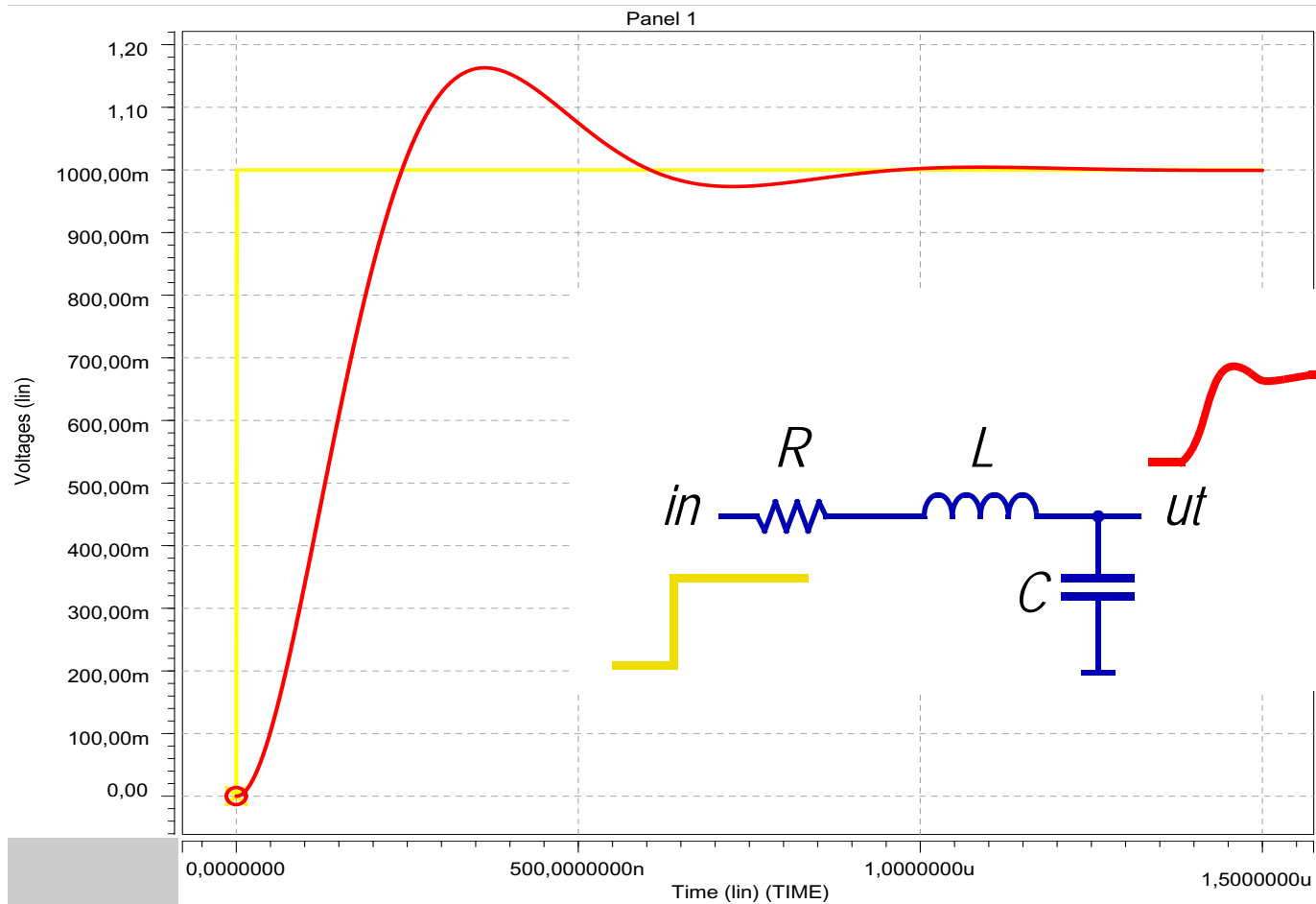


- ◆ Vi säger att ledningsmodellen har förluster.
- ◆ Används som modell för tunna, resistiva ledare; ofta i de lägre metallagren på chips.

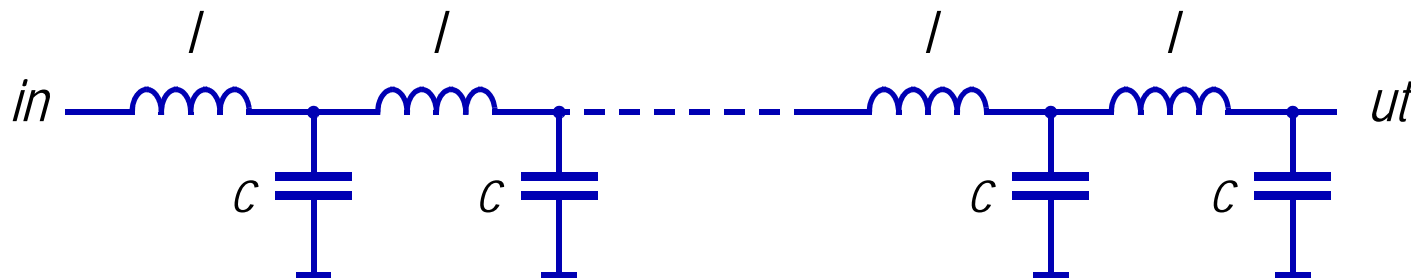
SIMULERING AV RC-LÄNK



SIMULERING AV LRC-LÄNK



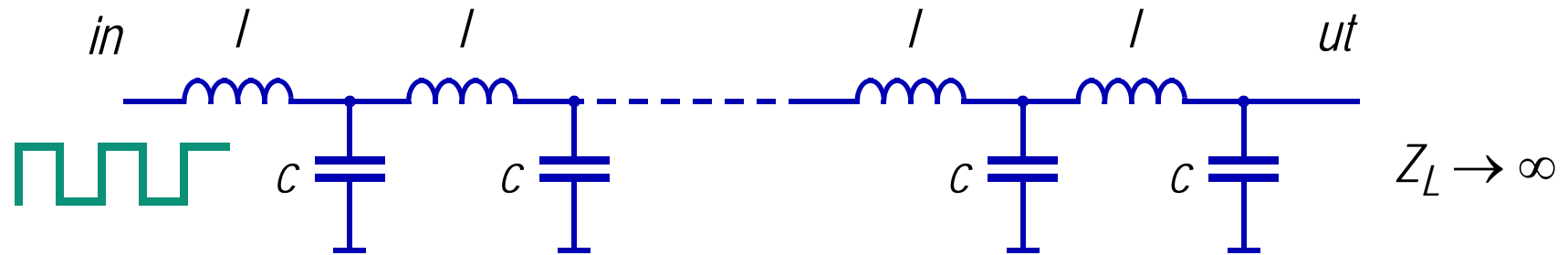
FÖRLUSTFRI LEDNING - DISTRIBUTUERAD LC-LEDNING



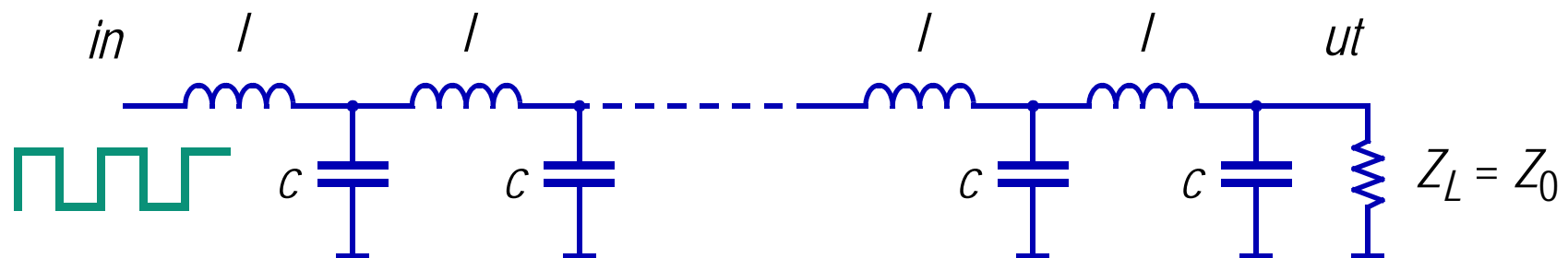
- ◆ I verkliga konstruktioner finns det förstås alltid någon liten resistans i ledningen, men LC-ledningen har så framträdande induktiva egenskaper att de resistiva egenskaperna kan försummas.
- ◆ Vi säger att ledningsmodellen är förlustfri.
- ◆ Används som modell för breda ledare som transporterar signaler med branta flanker; på kretskort eller i övre metallager på chips.

Introduktion till reflektioner i förlustfria ledningar

VIKTEN AV ATT AVSLUTA EN LEDNING

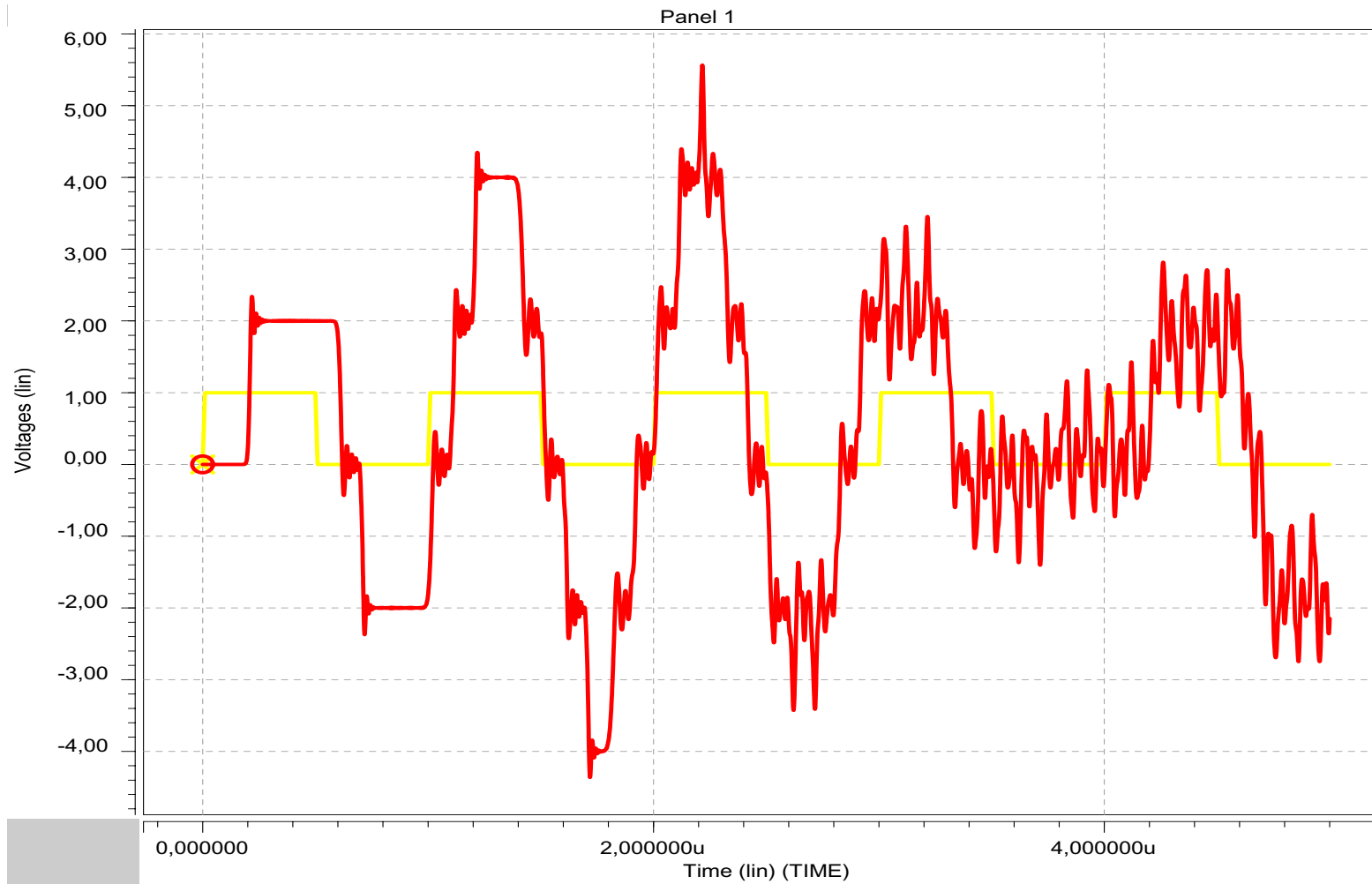


Vi testar med att lämna utgången öppen, d.v.s. Z_L är oändligt stor



Vi testar också med att hänga på en matchad utgångslast, $Z_L = Z_0$

ÖPPEN UTGÅNG - $Z_L \rightarrow \infty$



RÄTT TERMINERAD UTGÅNG - $Z_L = Z_0$

