

CHALMERS
UNIVERSITY OF TECHNOLOGY

Digital- och datorteknik



Föreläsning #11

Biträdande professor Jan Jonsson

Institutionen för data- och informationsteknik
 Chalmers tekniska högskola

CHALMERS
UNIVERSITY OF TECHNOLOGY

Datavägen

Datavägens olika delar:

Vår dataväg kommer att innehålla följande delar:

- **Databuss:**
En gemensam kommunikationskanal för utbyte av data.
- **Register:**
En liten uppsättning minneselement för korttidslagring av data.
- **ALU:**
En beräkningsenhet som utför aritmetiska och logiska operationer
- **Primärminne:**
En större uppsättning minneselement för lagring av data
- **Styrsignaler:**
Signaler som aktiverar dataöverföring till och från register och primärminne samt väljer operationer och operander för ALU

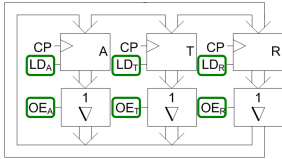
CHALMERS
UNIVERSITY OF TECHNOLOGY

Datavägen

Dataregister:

Vår första version av datavägen innehåller tre dataregister: A, T och R. I denna version kan vi bara utföra överföring av data mellan register. De styrsignaler som används här är:

- LD (välj register vars innehåll skall uppdateras från databuss)
- OE (välj register vars innehåll skall läggas ut på databuss)

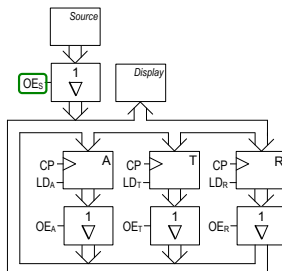


CHALMERS
UNIVERSITY OF TECHNOLOGY

Datavägen

Dataregister och källregister:

I vår andra version av datavägen lägger vi till ett källregister 'Source' för att kunna ladda våra register med konstanta datavärden. En ny styrsignal, OE_S , behövs för att lägga ut innehållet i källregistret på databussen.



Källregistret kommer så småningom att försvinna, i samband med att vi får tillgång till instruktioner i vårt assemblerspråk som kan ladda konstanta datavärden i register.

Datavägen

Dataregister, källregister, ALU och flaggregister:

I vår fjärde version av datavägen lägger vi till ett flaggregister, CC, med främsta syfte att spara de flaggbitar som vi får efter en ALU-operation.

Nya styrsignaler som läggs till:

- g_9, g_8 väljer N-flaggans nya värde
- g_7, g_6 väljer Z-flaggans nya värde
- g_5, g_4 väljer V-flaggans nya värde
- g_3, g_2 väljer C-flaggans nya värde
- g_1, g_0 väljer "carry-in" till ALU
- LD_{CC} för att välja om innehållet i CC skall uppdateras eller ej
- OE_{CC} för att lägga ut innehållet i CC på databussen

Flaggregister

Val av "carry-in" och flaggsättning:

Styrsignalerna till de två väljarna för ALU "carry-in" respektive flaggsättning i CC har följande betydelser.

Se sidan 48 i "Instruktionslista för FLISP".

Val av Carry in till ALU

g_1, g_0	Signal till C_{in}	RTN
0 0	konstant värde 0	$0 \rightarrow C_{in}$
0 1	konstant värde 1	$1 \rightarrow C_{in}$
1 0	C-flagga från CC	$C \rightarrow C_{in}$
1 1	C-flagga invers från CC	$C' \rightarrow C_{in}$

Val av flaggsättning i CC

g_3, g_2	C väljs enligt:	RTN	g_3, g_2	V väljs enligt:	RTN
0 0	C tas från ALU:n	$ALU(C) \rightarrow C$	0 0	V tas från ALU:n	$ALU(V) \rightarrow V$
0 1	C tas från bit 0 på bussen av C	$b_0 \rightarrow C$	0 1	V tas från bit 1 på bussen av V	$b_1 \rightarrow V$
1 0	Aterställning (nollställning)	$0 \rightarrow C$	1 0	Aterställning (nollställning)	$0 \rightarrow V$
1 1	C återförs (ändras ej)		1 1	V återförs (ändras ej)	

g_5, g_4	Z väljs enligt:	RTN	g_5, g_4	N väljs enligt:	RTN
0 0	Z tas från ALU:n	$ALU(Z) \rightarrow Z$	0 0	V tas från ALU:n	$ALU(N) \rightarrow N$
0 1	Z tas från bit 2 på bussen av C	$b_2 \rightarrow Z$	0 1	N tas från bit 3 på bussen av N	$b_3 \rightarrow N$
1 0	Aterställning (nollställning)	$0 \rightarrow Z$	1 0	Aterställning (nollställning)	$0 \rightarrow N$
1 1	Z återförs (ändras ej)		1 1	N återförs (ändras ej)	

Flaggregister

Val av "carry-in" och flaggsättning:

Styrsignalerna till de två väljarna för ALU "carry-in" respektive flaggsättning i CC har följande betydelser.

Se sidan 48 i "Instruktionslista för FLISP".

Ange den styrsignalsekvens som krävs för att 1-ställa C-flaggan.

Val av Carry in till ALU

g_1, g_0	Signal till C_{in}	RTN
0 0	konstant värde 0	$0 \rightarrow C_{in}$
0 1	konstant värde 1	$1 \rightarrow C_{in}$
1 0	C-flagga från CC	$C \rightarrow C_{in}$
1 1	C-flagga invers från CC	$C' \rightarrow C_{in}$

g_3, g_2	C väljs enligt:	RTN	g_3, g_2	V väljs enligt:	RTN
0 0	C tas från ALU:n	$ALU(C) \rightarrow C$	0 0	V tas från ALU:n	$ALU(V) \rightarrow V$
0 1	C tas från bit 0 på bussen av C	$b_0 \rightarrow C$	0 1	V tas från bit 1 på bussen av V	$b_1 \rightarrow V$
1 0	Aterställning (nollställning)	$0 \rightarrow C$	1 0	Aterställning (nollställning)	$0 \rightarrow V$
1 1	C återförs (ändras ej)		1 1	V återförs (ändras ej)	

g_5, g_4	Z väljs enligt:	RTN	g_5, g_4	N väljs enligt:	RTN
0 0	Z tas från ALU:n	$ALU(Z) \rightarrow Z$	0 0	V tas från ALU:n	$ALU(N) \rightarrow N$
0 1	Z tas från bit 2 på bussen av C	$b_2 \rightarrow Z$	0 1	N tas från bit 3 på bussen av N	$b_3 \rightarrow N$
1 0	Aterställning (nollställning)	$0 \rightarrow Z$	1 0	Aterställning (nollställning)	$0 \rightarrow N$
1 1	Z återförs (ändras ej)		1 1	N återförs (ändras ej)	

Datavägen

Dataregister, källregister, ALU, flaggregister och minne:

I vår femte version av datavägen lägger vi till ett primärminne för att kunna lagra större mängder data under en längre tid. För att peka ut exakt ett utav minnets register inför vi ett adressregister, TA.

Nya styrsignaler som läggs till:

- LD_{TA} för att välja om innehållet i TA skall uppdateras eller ej.
- MR för att lägga ut innehållet i det valda minnesregistret på databussen
- MW för att uppdatera det valda minnesregistret med innehållet på databussen

CHALMERS
UNIVERSITY OF TECHNOLOGY

Primärminne

Adressutrymme:
 I vår dator består TA av n = 8 bitar, vilket innebär att vi kan adressera $2^8 = 256$ olika minnesregister.

Adress	00	01	...	FE	FF
00	XXXXXXXXXX	XXXXXXXXXX		XXXXXXXXXX	XXXXXXXXXX
01	XXXXXXXXXX	XXXXXXXXXX		XXXXXXXXXX	XXXXXXXXXX
FE	XXXXXXXXXX	XXXXXXXXXX		XXXXXXXXXX	XXXXXXXXXX
FF	XXXXXXXXXX	XXXXXXXXXX		XXXXXXXXXX	XXXXXXXXXX

CHALMERS
UNIVERSITY OF TECHNOLOGY

Primärminne

Minnesregister:
 Varje minnesregister fungerar på samma sätt som våra dataregister A, T och R, d v s de laddas med en LD-signal, och avläses via en transmissionsgrind som styrs av en OE-signal.

Minnesregistren väljs ut baserat på minnesadressen med hjälp av en binäravkodare som genererar $2^8 = 256$ olika styrsignaler.

LD- och OE-signalerna för det valda registret tas sedan fram baserat på om det är en läsning (MR) eller skrivning (MW).

CHALMERS
UNIVERSITY OF TECHNOLOGY

Primärminne

Minnesregister:
 Varje minnesregister fungerar på samma sätt som våra dataregister A, T och R, d v s de laddas med en LD-signal, och avläses via en transmissionsgrind som styrs av en OE-signal.

Minnesregistren väljs ut baserat på minnesadressen med hjälp av en binäravkodare som genererar $2^8 = 256$ olika styrsignaler.

LD- och OE-signalerna för det valda registret tas sedan fram baserat på om det är en läsning (MR) eller skrivning (MW).

CHALMERS
UNIVERSITY OF TECHNOLOGY

Datavägen

Styrsignaler:
 Vi har sett att man kan beskriva operationerna på datavägen i form av en tabell med styrsignaler. Varje rad i tabellen representerar då en operation som triggas med en klockpuls. Sekvenser av operationer som tar flera klockpulser i anspråk kan sålunda beskrivas med flera rader i tabellen.

Vad vi har fått nu är alltså ett program för att styra datavägen.

Vi har sett att man kan ange styrsignalerna i tabellen på två sätt:

- Kompakt form: enbart aktiva styrsignaler, d v s de med värdet '1'.
- Utförlig form: alla styrsignaler oavsett värde.

RTN	steg	Source	OE _s	OE _e	OE _c	LD _s	LD _e	LD _c	LD _s	LD _e	LD _c	f ₁	f ₂	f ₃	f ₄	f ₅	f ₆	f ₇	f ₈	f ₉	f ₁₀	f ₁₁	f ₁₂	f ₁₃	f ₁₄	f ₁₅	MR	MW