

# **FÖRELÄSNING 6**

## **CMOS-inverteraren**

### **CMOS-logik**

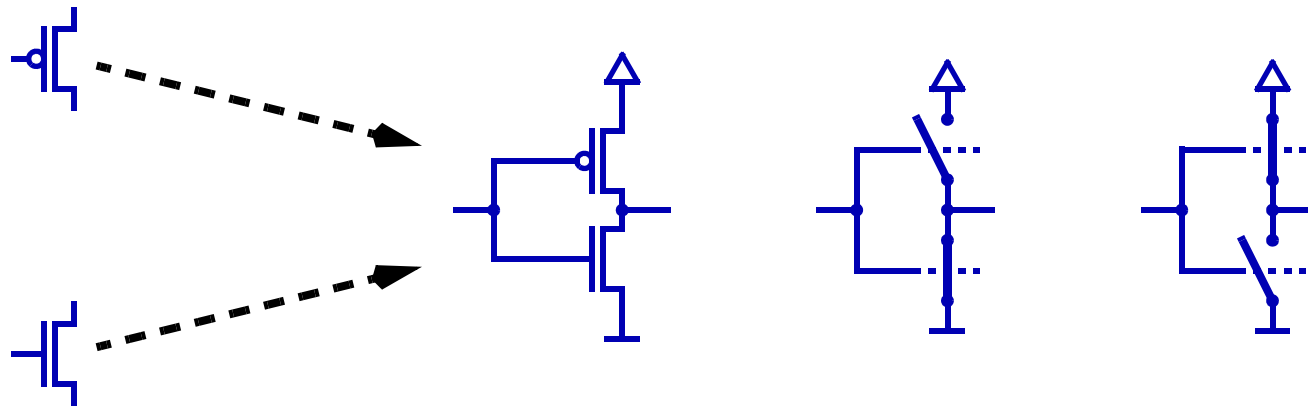
#### **Parasitiska kapacitanser**

#### **CMOS-variationer: Pseudo-NMOS och PTL**

## **CMOS-inverteraren**

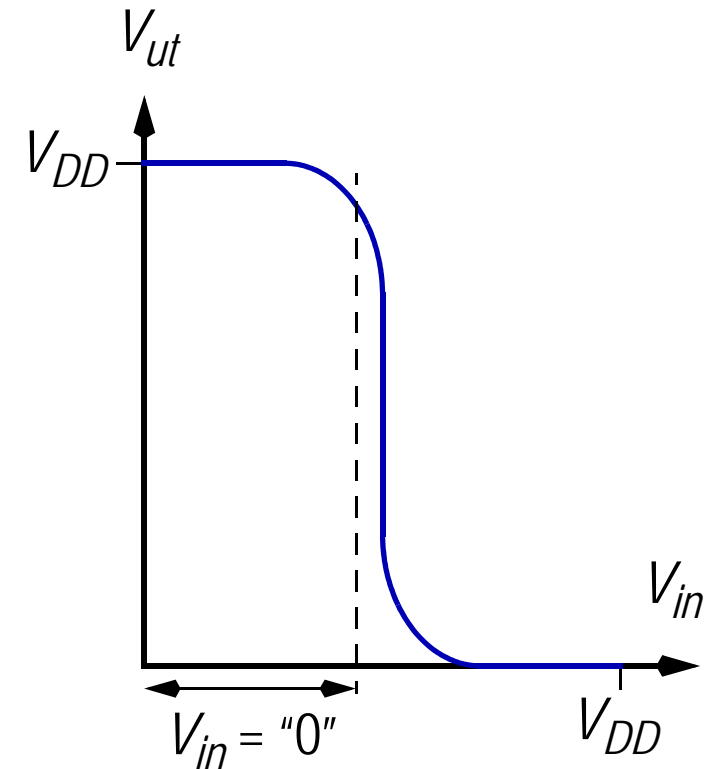
(S&S4: 5.8, 13.1, 13.2/S&S5: 4.10, 10.1, 10.2)

# CMOS-KONCEPTET



## ÖVERFÖRINGSKARAKTERISTIK - VTC:N

- ◆ Karakteristiken är mycket brant kring  $V_{in} \approx \frac{V_{DD}}{2}$ , och idealt sett råder här oändlig förstärkning.
- ◆ Att CMOS är känd för sin stora brusmarginal märks om man betänker att t.ex. för alla  $V_{in}$  som ligger en bit under  $\frac{V_{DD}}{2}$  har vi en stabil logisk nolla på ingången.
- ◆ Detta betyder att även om det finns en hel del spänningsbrus på  $V_{in}$  (+/- flera hundra millivolt) håller sig grindens logiska värde stabilt.

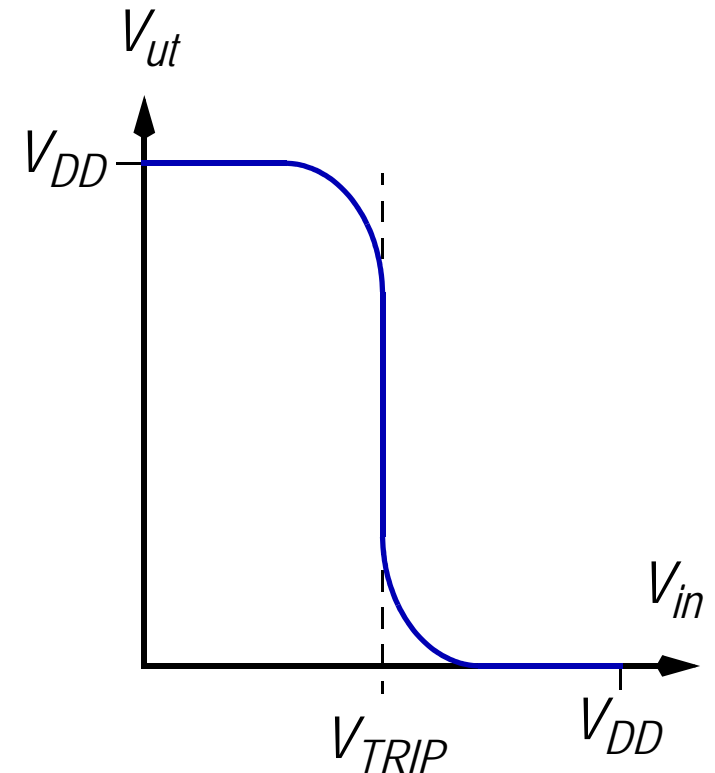


## OMSLAGSPUNKT

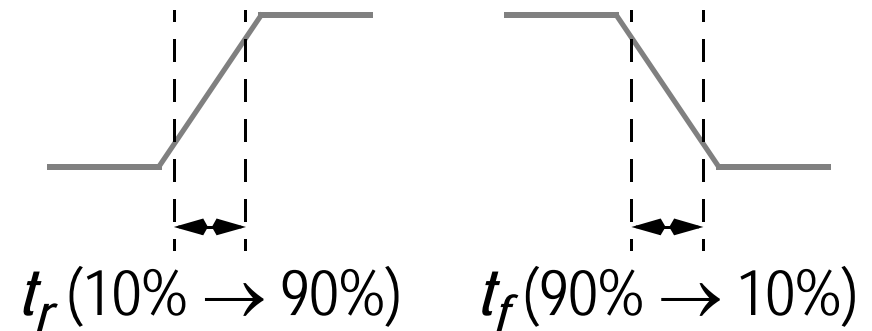
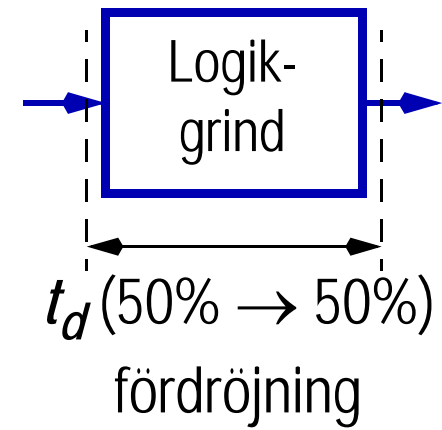
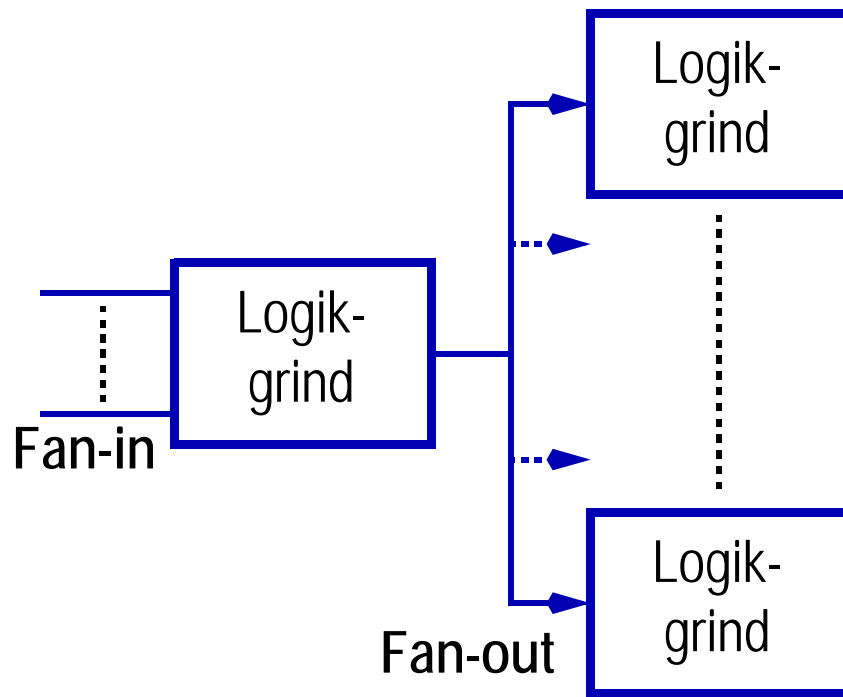
- ◆ Den spänning på  $V_{in}$ , som gör så att utgången slår om, kan vi kalla omslagsspänningen  $V_{TRIP}$ :

$$V_{TRIP} = \frac{V_{DD} - |V_{Tp}| + \sqrt{\frac{k_n}{k_p}} V_{Tn}}{1 + \sqrt{\frac{k_n}{k_p}}}$$

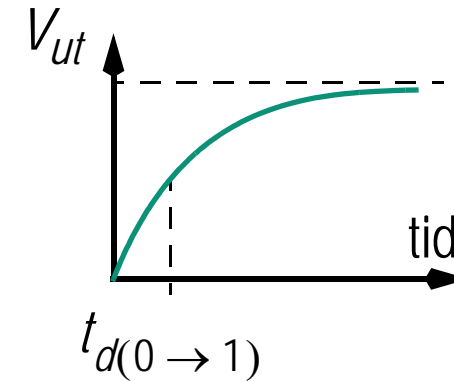
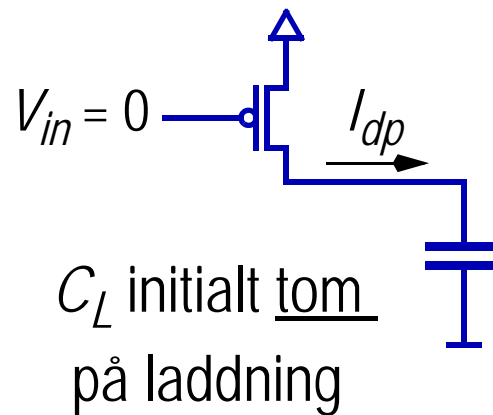
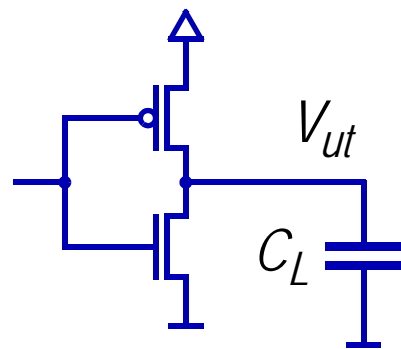
- ◆ Lägg märke till att en justering av transistorernas storlekar påverkar vid vilken insignal inverteraren slår om!



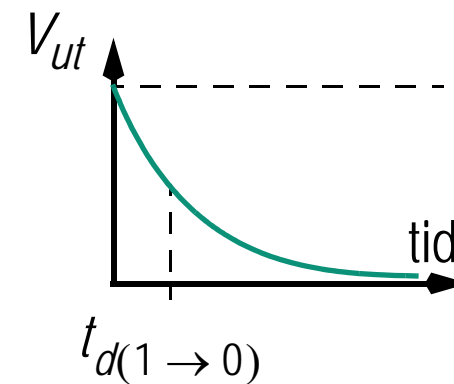
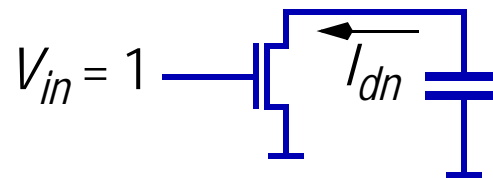
## EN GRINDS EGENSKAPER



# DEN DIGITALA VARDAGEN: UPP- OCH URLADDNING



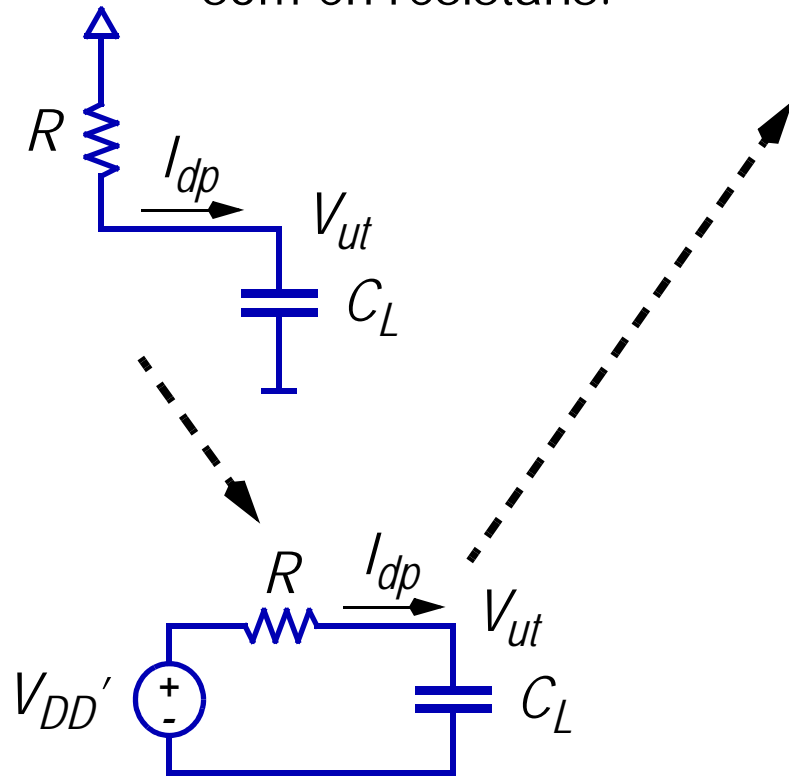
$C_L$  initialt full  
på laddning



## RESISTANS SOM APPROXIMATION VID UPPLADDNING 1(2)

Approximation:

Vi antar nu att PMOS:en beter sig som en resistans.



Kirchhoffs spänningslag (medurs):

$$V_{DD}'(t) - R \cdot I_{dp}(t) - V_{ut}(t) = 0$$

tillsammans med

$$I_{dp}(t) = C_L \cdot \frac{d}{dt} V_{ut}(t)$$

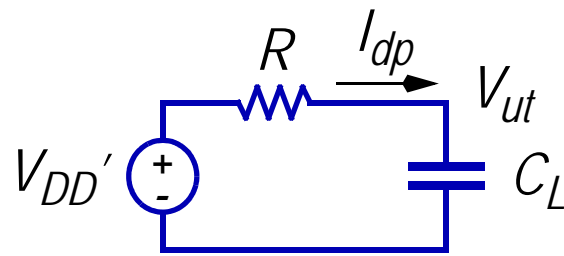
ger

$$V_{DD}'(t) - R \cdot C_L \cdot \frac{d}{dt} V_{ut}(t) - V_{ut}(t) = 0.$$

$V_{DD}'(t)$  är ett steg från 0 till  $V_{DD}$  i  $t = 0$ .



## RESISTANS SOM APPROXIMATION VID UPPLADDNING 2(2)



Laplace-transformer:

1.  $V_{DD}'(t)$  är ett steg från

$$0 \text{ V till } V_{DD} \Rightarrow \frac{1}{s} \cdot V_{DD}$$

$$2. \frac{d}{dt} V_{ut}(t) \Rightarrow s V_{ut}(s)$$

$$3. V_{ut}(t) \Rightarrow V_{ut}(s)$$

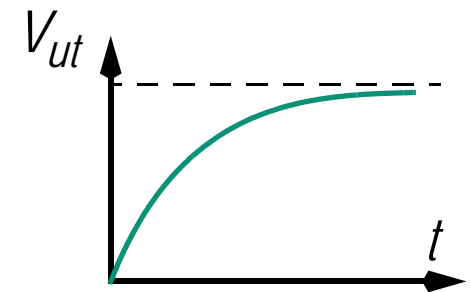
$$\frac{1}{s} \cdot V_{DD} - RC_L \cdot s V_{ut}(s) - V_{ut}(s) = 0 \Rightarrow$$

$$V_{ut}(s) = \frac{V_{DD}}{s} \frac{1}{RC_L + s} \Rightarrow$$

$$V_{ut}(s) = V_{DD} \left( \frac{1}{s} - \frac{1}{s + 1/RC_L} \right) \Rightarrow$$

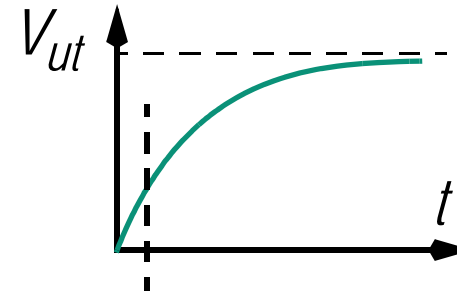
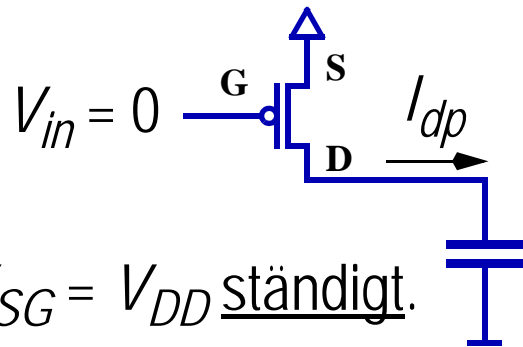
*!..slår i Laplace-tabell.! ⇒ för  $t > 0$  gäller*

$$V_{ut}(t) = V_{DD} \cdot \left( 1 - e^{-\frac{t}{RC_L}} \right)$$



## UPPLADDNING MED PMOS - FÖRDRÖJNING 1(3)

- ◆  $R?$  Men vår påkopplade PMOS-transistor passerar två olika operationsområden!



- ◆  $V_{SG} = V_{DD}$  ständigt.
- ◆  $V_{SD} = V_{DD}$  vid  $t = 0$ .
- ◆ PMOS mättad i  $t = 0$ .
- ◆ Vid någon tidpunkt blir  $V_{SD} = V_{SG} - |V_T| = V_{DD} - |V_T|$  och då lämnar PMOS:en sitt mättnadsområde.
- ◆ Notera att "någon tidpunkt" sker innan  $V_{ut}$  nått 50%, d.v.s. innan  $t_{d(0 \rightarrow 1)}$ .
- ◆ **Approximation:** Mellan  $t = 0$  och  $t_{d(0 \rightarrow 1)}$  består  $I_{dp}$  av en "medelström"  $I_{medel}$  till hälften av "linjär" och till hälften av mättad ström.

## UPPLADDNING MED PMOS - FÖRDRÖJNING 2(3)

- ◆ Vid tiden  $t = 0$ , blir  $I_{\text{mättad}} = \frac{k}{2} (V_{SG} - |V_{Tp}|)^2 = \frac{k}{2} (V_{DD} - |V_{Tp}|)^2$ .
- ◆ Vid tiden  $t = t_{d(0 \rightarrow 1)}$  gäller  $V_{SD} = \frac{V_{DD}}{2}$  för vår linjära ström  
som beskrivs  $I_{\text{linjär}} = k \left[ (V_{SG} - |V_{Tp}|) V_{SD} - \frac{1}{2} V_{SD}^2 \right]$ .
- ◆ Alltså  $I_{\text{medel}} = \frac{1}{2} \left[ \frac{k}{2} (V_{DD} - |V_{Tp}|)^2 + k \left[ (V_{DD} - |V_{Tp}|) \left( \frac{V_{DD}}{2} \right) - \frac{1}{2} \left( \frac{V_{DD}}{2} \right)^2 \right] \right]$ .
- ◆ Om vi antar att  $V_{Tp} = -0,2 \cdot V_{DD}$  får vi  $I_{\text{medel}} = 0,2975 \cdot k \cdot V_{DD}^2$ .

## UPPLADDNING MED PMOS - FÖRDRÖJNING 3(3)

- ◆ Vi kommer öva, i SPICE-övningarna, på hur laddning ( $Q$ ), kapacitans ( $C$ ), spänning ( $V$ ), ström ( $I$ ) respektive tid ( $t$ ) hänger ihop:  
 $Q = I \cdot t = C \cdot V$  är mycket användbar fysik!

- ◆ Vi får  $I_{\text{medel}} \cdot t_{d(0 \rightarrow 1)} = C_L \cdot \frac{V_{DD}}{2} \Rightarrow t_{d(0 \rightarrow 1)} = \frac{C_L \cdot V_{DD}}{2 \cdot (0,2975 \cdot k \cdot V_{DD}^2)}$ .

- ◆ Vi har alltså hittat en approximation på fördröjningen:  $t_{d(0 \rightarrow 1)} = \frac{1,7 C_L}{k \cdot V_{DD}}$ .

- ◆ En variant:  $\left( \begin{array}{l} \text{bara } I_{\text{mättad}} \\ |V_{Tp}| \ll V_{DD} \end{array} \right) \Rightarrow t_{d(0 \rightarrow 1)} = \frac{C_L \cdot V_{DD}}{2 \cdot (k/2 \cdot V_{DD}^2)} = \frac{C_L}{k \cdot V_{DD}}$ .

## **BESKRIVNING AV INVERTERARFÖRDRÖJNING**

- ◆ Om vi använder den enklaste approximationen för inverteraren fås:

$$\text{Fördröjning för utgångsslag } 0 \rightarrow 1: t_{d(0 \rightarrow 1)} \approx \frac{C_L}{\left(\frac{W_p}{L_p} \mu_p C_{ox,p}\right) \cdot V_{DD}}.$$

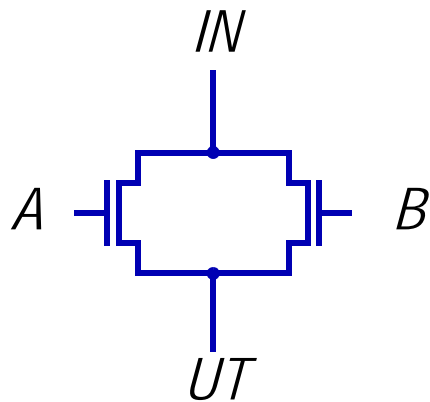
$$\text{Fördröjning för utgångsslag } 1 \rightarrow 0: t_{d(1 \rightarrow 0)} \approx \frac{C_L}{\left(\frac{W_n}{L_n} \mu_n C_{ox,n}\right) \cdot V_{DD}}.$$

- ◆ Vi märker att fördröjningen kan minskas genom att man ...
  1. håller kapacitansen på utgången så liten som möjligt.
  2. ökar bredden på transistorerna (fast detta ökar kapacitansen också!).

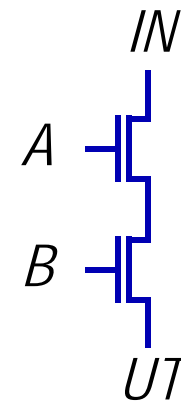
# **CMOS-logik**

(S&S4 13.3 / S&S5: 10.3)

## SERIELLA OCH PARALLELLA NMOS:AR

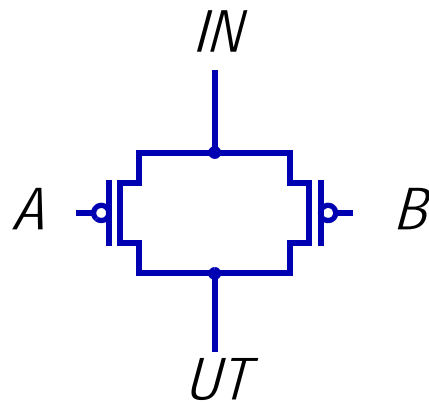


$UT = IN$   
om  
 $A \text{ OR } B$



$UT = IN$   
om  
 $A \text{ AND } B$

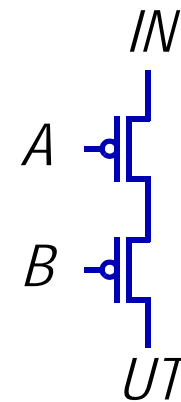
## SERIELLA OCH PARALLELLA PMOS:AR



$$UT = IN$$

om

$$\bar{A} \text{ OR } \bar{B} = \overline{AB}$$



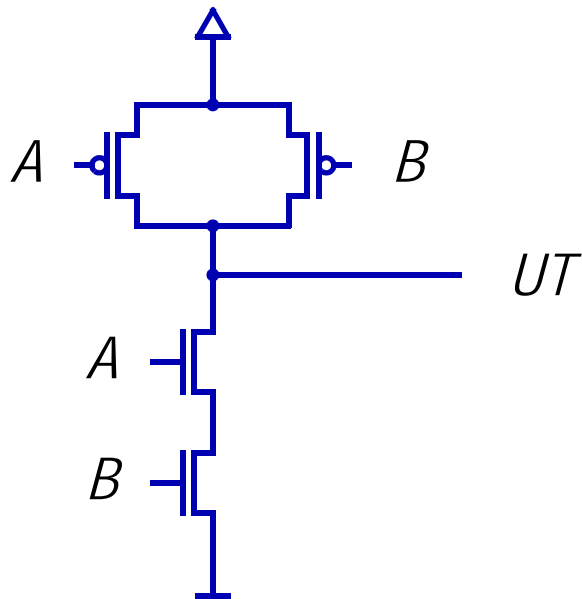
$$UT = IN$$

om

$$\bar{A} \text{ AND } \bar{B} = \overline{A + B}$$



# KONVENTIONELL STATISK CMOS



## PMOS-nätet:

- ◆  $UT = V_{DD}$  om  $\overline{AB}$

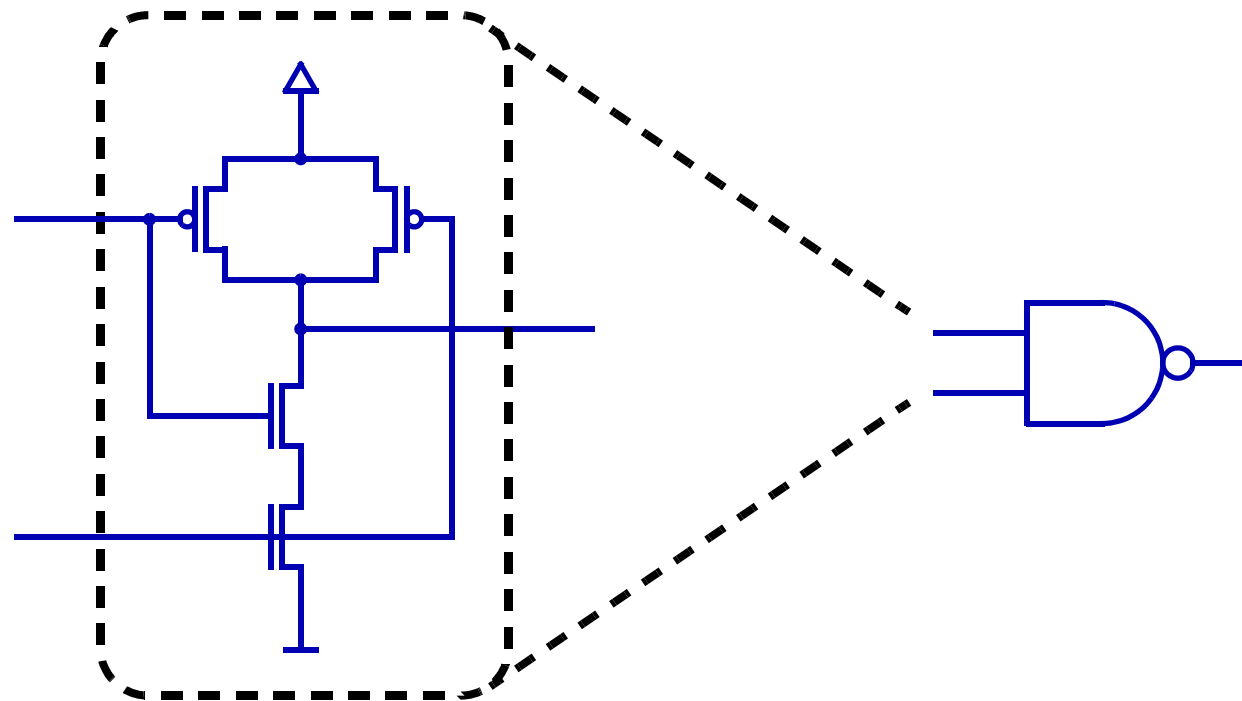
## NMOS-nätet:

- ◆  $UT = V_{SS} = \overline{V_{DD}}$  om  $AB$

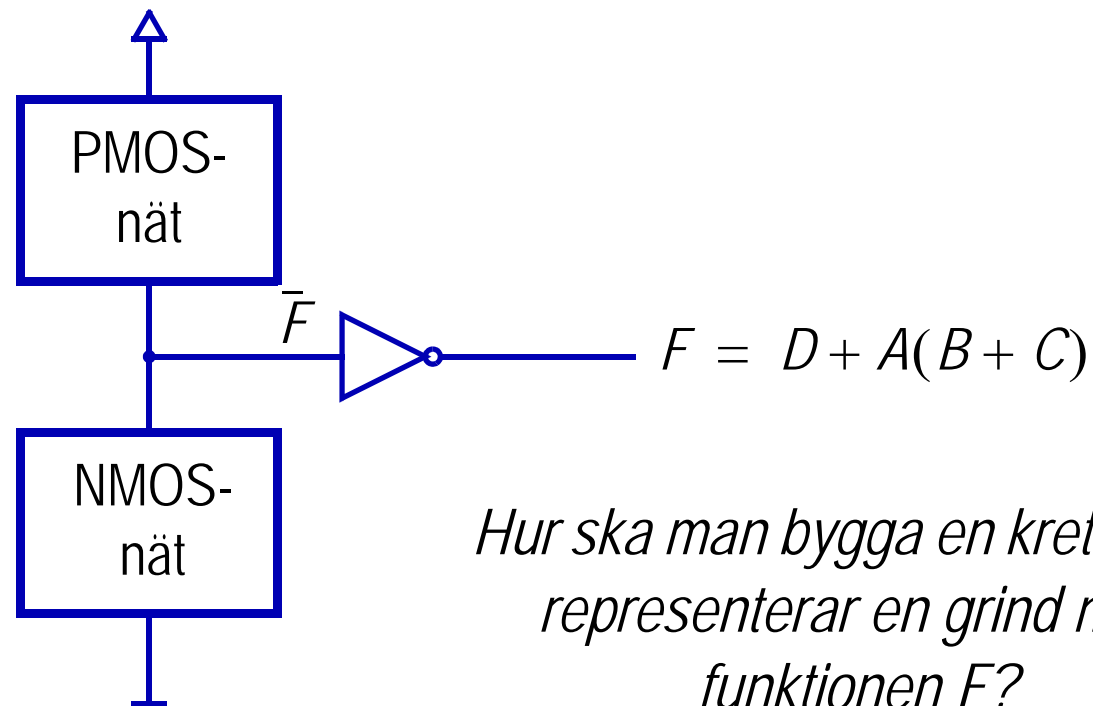
## Båda näten:

- ◆  $UT = \overline{AB}$

# CMOS NAND-GRIND

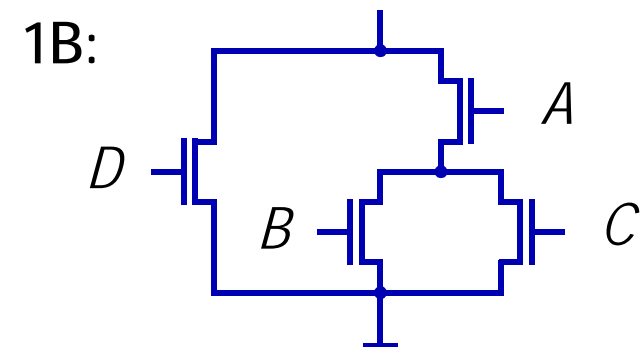
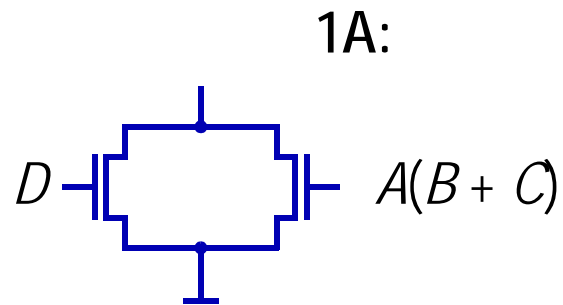


# ÖVERSIKT: ATT KONSTRUERA EN ALLMÄN CMOS-KRETS

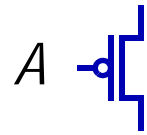


## SKISS PÅ KONSTRUKTIONSMETOD 1(4)

Steg 1: Implementera NMOS-nätet för  $F = D + A(B + C)$



## SKISS PÅ KONSTRUKTIONSMETOD 2(4)



PMOS:en leder när  $\bar{A} = 1$  och därför är det enklare att arbeta med inverser vid konstruktion av PMOS-nät

Steg 2: Förbered för implementering av PMOS-nät:

$$\bar{F} = \overline{D + A(B + C)}$$

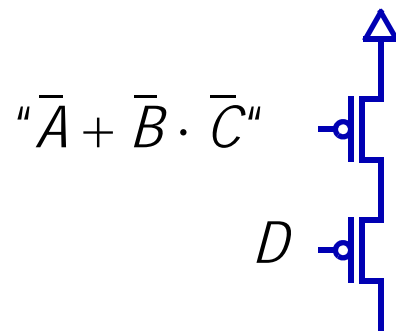
Konvertera ekvationen till att innehålla inverterade ingångar

$$\bar{F} = \bar{D} \cdot \overline{A(B + C)} = \bar{D} \cdot (\bar{A} + \overline{B + C}) = \bar{D} \cdot (\bar{A} + \bar{B} \cdot \bar{C})$$

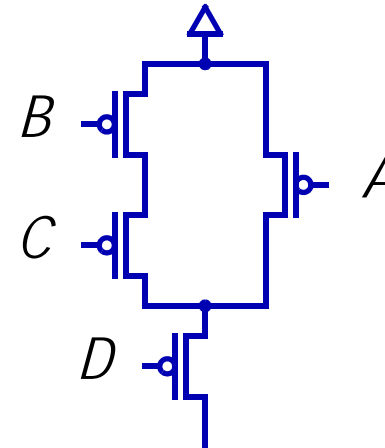
## SKISS PÅ KONSTRUKTIONSMETOD 3(4)

Steg 3: Implementera PMOS-nätet för  $\bar{F} = \bar{D} \cdot (\bar{A} + \bar{B} \cdot \bar{C})$

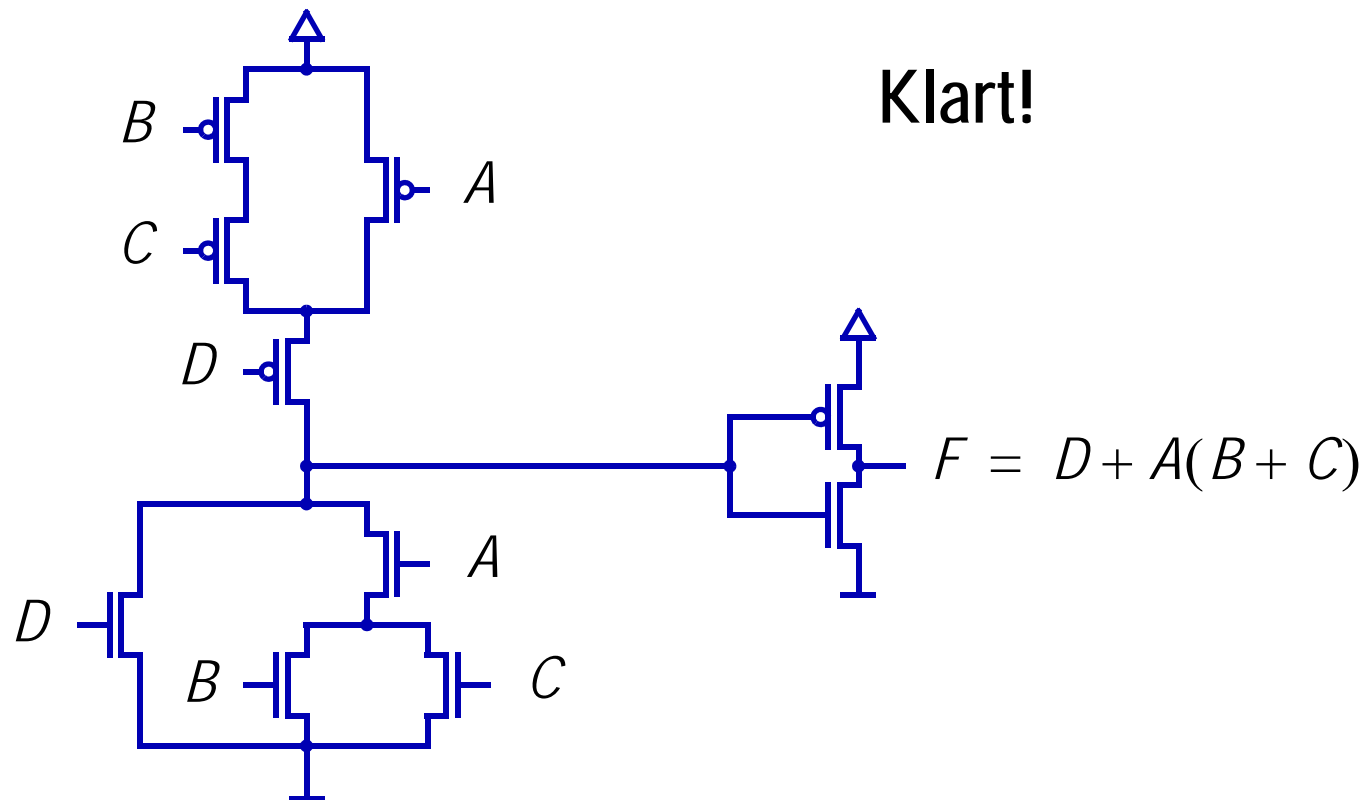
3A:



3B:



## SKISS PÅ KONSTRUKTIONSMETOD 4(4)

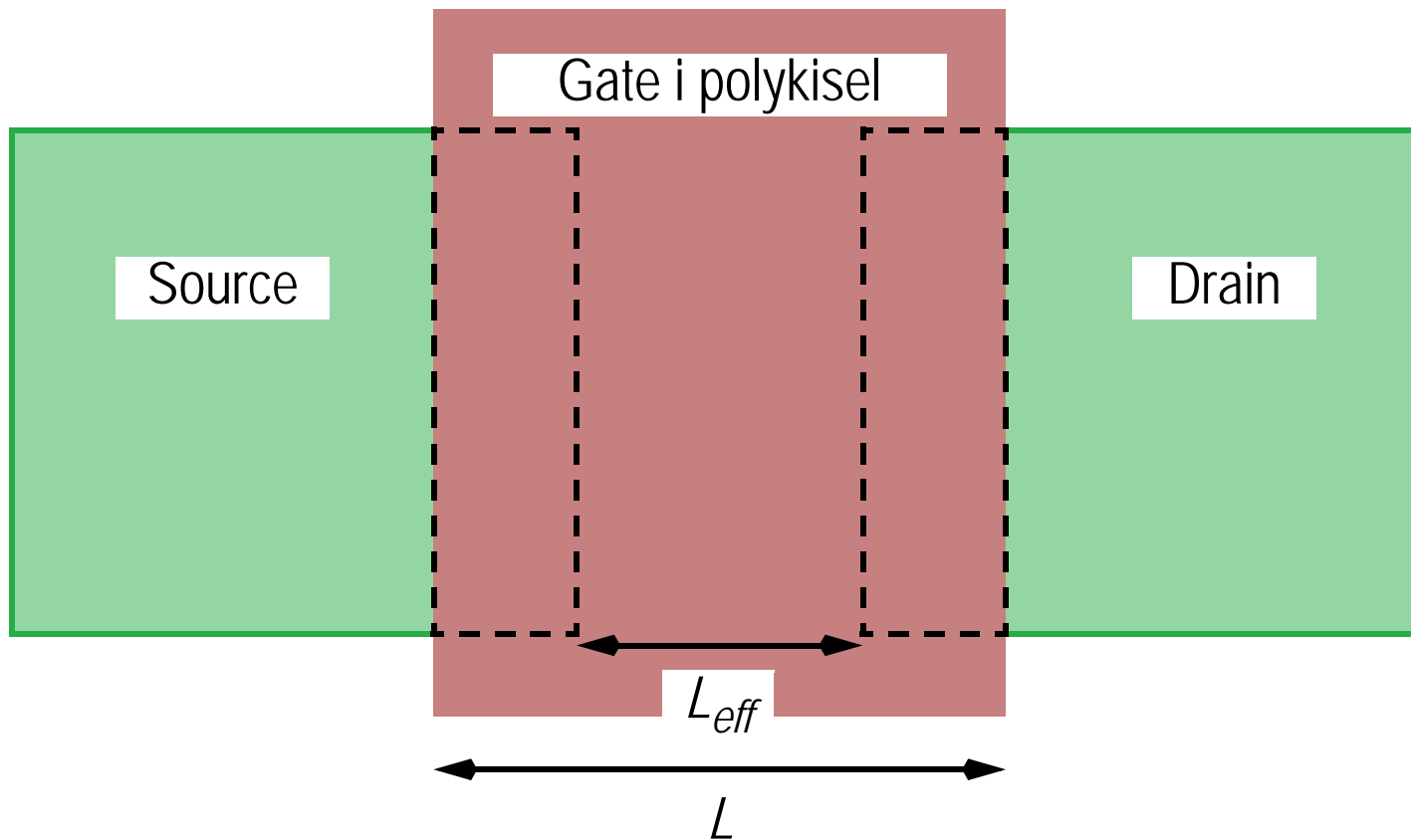


**Parasitiska kapacitanser**  
(S&S4+5 Appendix A,  
men se också SPICE-övningarnas appendix)



# ÖVERLAPP GATE OCH KANAL I MOS-TRANSISTORN

Vy av MOSFET ovanifrån



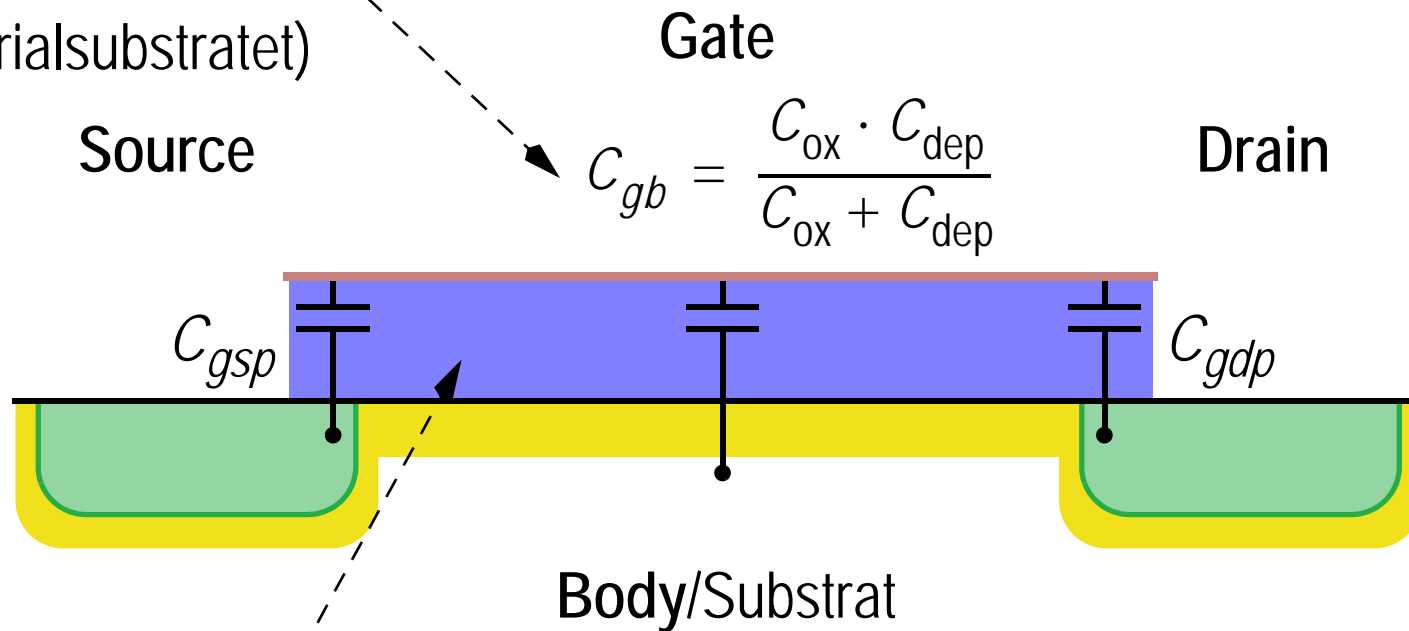
## TYPISKA PROCESSPARAMETRAR I EN 0,35- $\mu\text{m}$ PROCESS

PARAMETER	NMOS	PMOS
Tröskelspänning $V_{T0}$	0,46 V	-0,68 V
Effektiv kanallängd, $L_{eff}$	0,38 $\mu\text{m}$	0,50 $\mu\text{m}$
Mobilitet, $\mu$	370 $\text{cm}^2 / (\text{Vs})$	126 $\text{cm}^2 / (\text{Vs})$

$$I_D \propto \frac{W}{L} \mu_n \text{ för en NMOS}$$

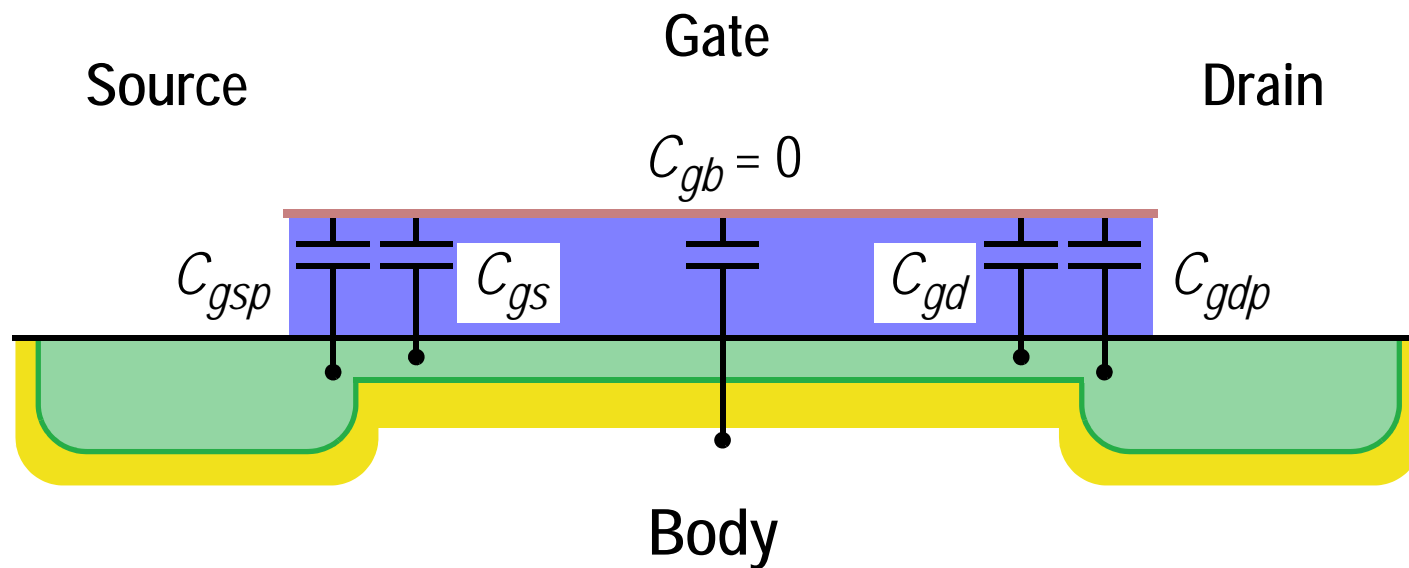
# GATEKAPACITANSER FÖR AVSTÄNGD MOS-TRANSISTOR

b står för body  
(terminalen i  
materialsustratet)

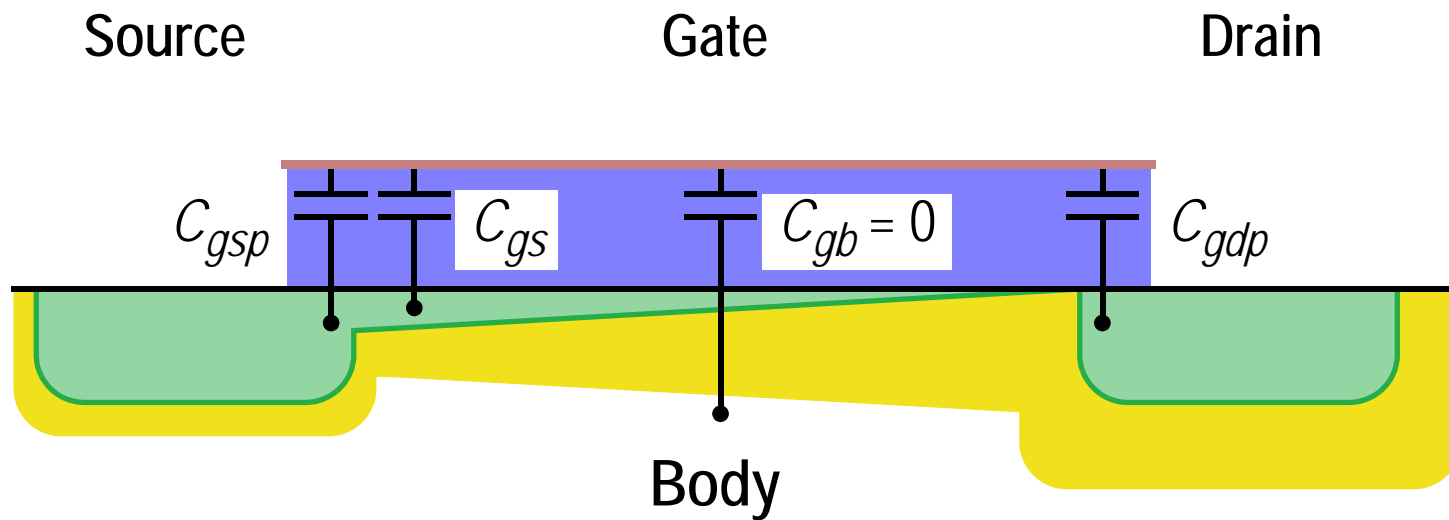


Isolatorns tjocklek är  
extremt överdriven för att ge  
plats åt kapacitanssymboler

# GATEKAPACITANSER I LINJÄRA OMRÅDET



# GATEKAPACITANSER I MÄTTADE OMRÅDET



## GATEKAPACITANSER - SAMMANFATTNING

- ◆ Om man undantar överlappskapacitanserna, kan man skriva gatekapacitanserna:

OPERATIONSOMRÅDE	$C_{gb(ody)}$	$C_{gs(ource)}$	$C_{gd(rain)}$
AVSTÄNGD	$C_{ox} W L_{eff}$	0	0
LINJÄR	0	$C_{ox} W L_{eff} / 2$	$C_{ox} W L_{eff} / 2$
MÄTTAD	0	$2/3 C_{ox} W L_{eff}$	0

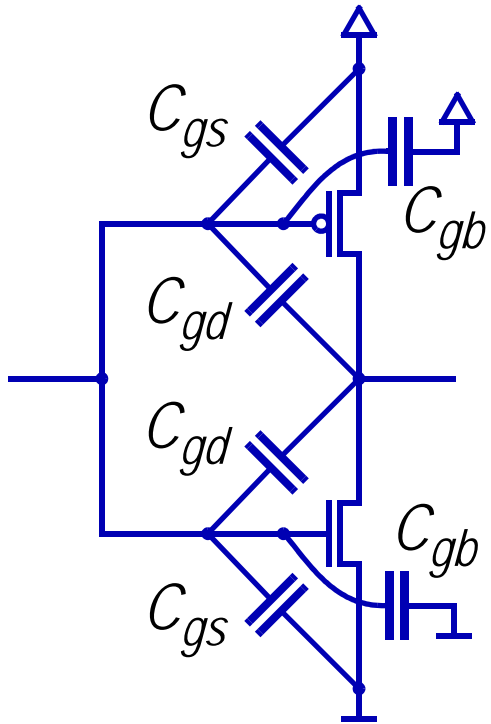
$$\text{med } C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

*(En härledning av ovanstående Meyerkapacitanser finns i appendix till SPICE-övningarna)*

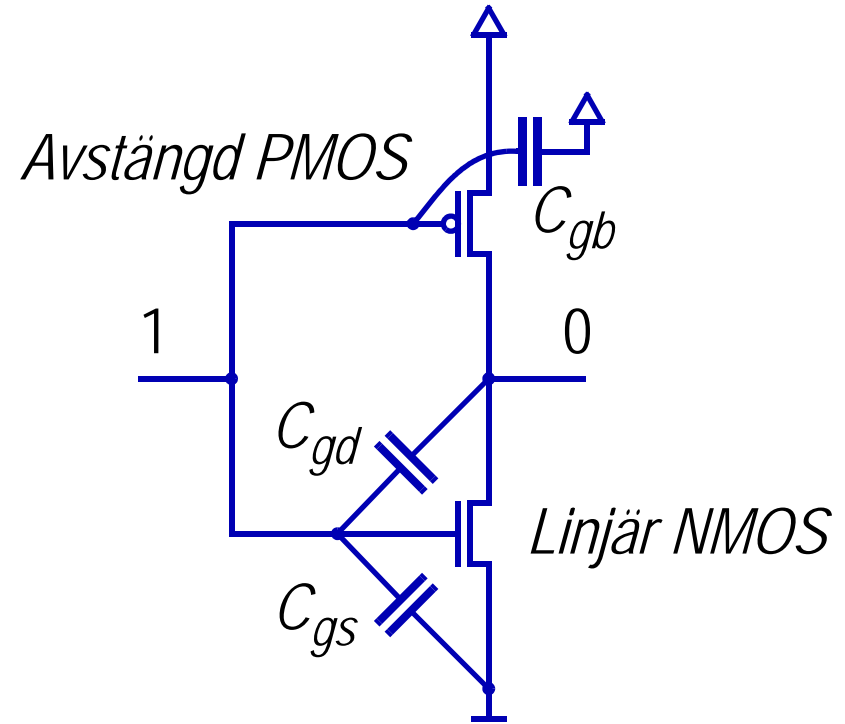
## GATEKAPACITANSER I EN 0,35- $\mu\text{m}$ PROCESS

PARAMETER	(NMOS)
Gateoxidskapacitans	4,54 fF / $\mu\text{m}^2$
Gate-source/drain överlappskapacitans	$\sim 0,11$ fF / $\mu\text{m}$
Gate-bulk överlappskapacitans	$\sim 0,11$ fF / $\mu\text{m}$
Total gatekap: $W = 3L$ , $V_{GS} = 3,3$ V, $V_{DS} = 0$ V (linjär MOS)	1,75 fF ( $C_{gs} \approx C_{gd}$ )
Total gatekap: $W = 3L$ , $V_{GS} = 0$ V, $V_{DS} = 3,3$ V (cutoff)	0,75 fF $C_{gs} = 0,21$ fF, $C_{gd} = 0,15$ fF, $C_{gb} = 0,39$ fF

## GATEKAPACITANSERNA I EN INVERTERARE



Alla gatekapacitanser  
som kan uppstå

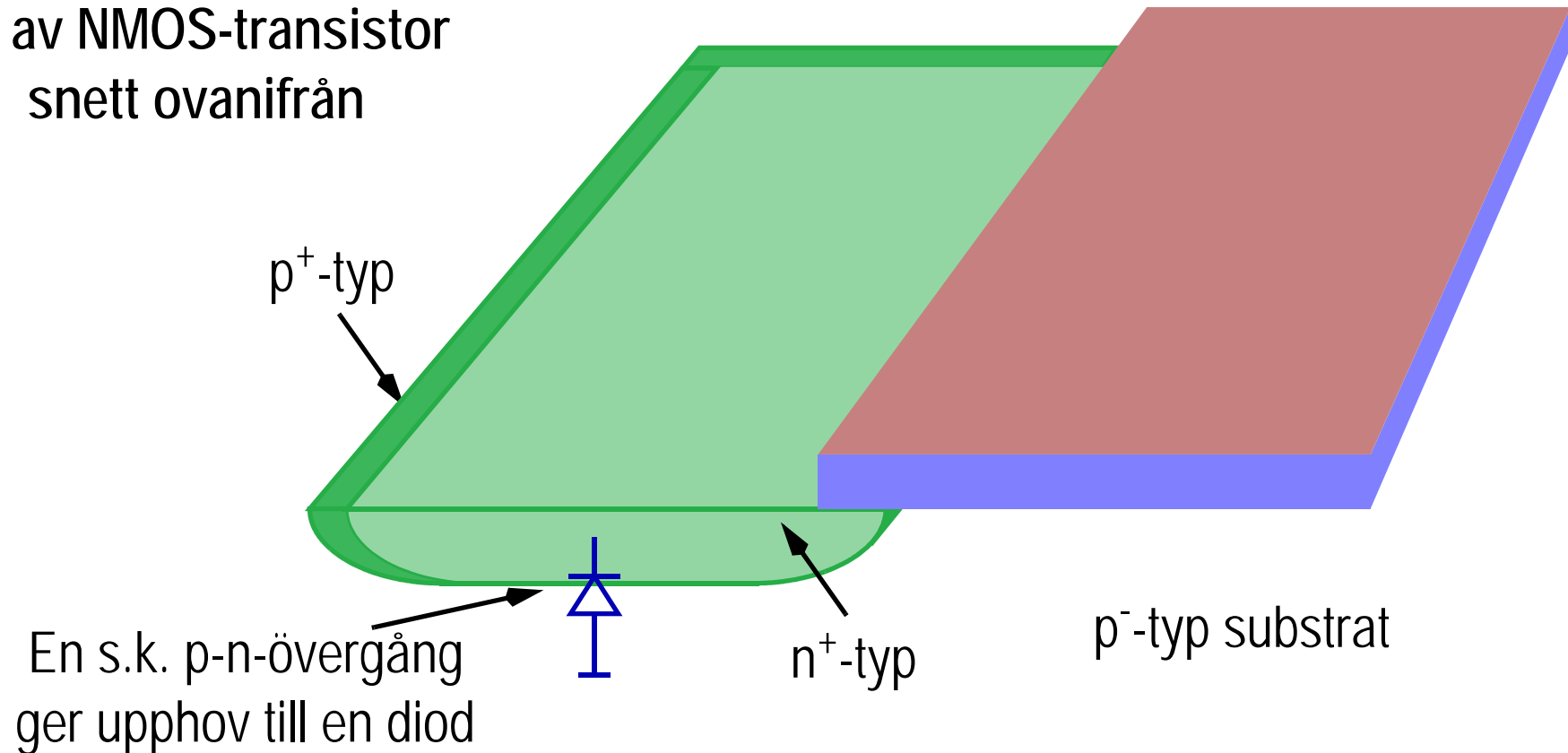


De gatekapacitanser som  
framträder vid logisk 1 på ingången



## DIFFUSIONSKAPACITANSER I EN NMOSFET 1(2)

Vy av NMOS-transistor  
snett ovanifrån

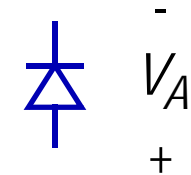


- ◆ Vi ska vara glada för att vår diod aldrig blir framspänd ( $V_B = 0$ , medan  $V_D > 0$ ).  
Då hade vi fått en kortslutning!

## DIFFUSIONSKAPACITANSER I EN NMOSFET 2(2)

- ◆ För en p-n<sup>+</sup>-diod gäller att kapacitansen vid  $V_A = 0$  är

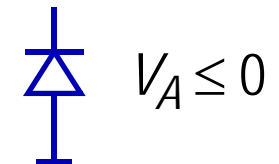
$$C_0 = C(V_A = 0) = A \sqrt{\frac{\epsilon q N_a}{2 V_0}},$$



där  $V_0$  är kontaktpotentialen (0,7 V i kisel, se rep. föreläsning).

- ◆ Ökar vi backspänningen minskar kapacitansen enligt

$$C = \frac{C_0}{\sqrt{1 - \frac{V_A}{V_0}}}.$$

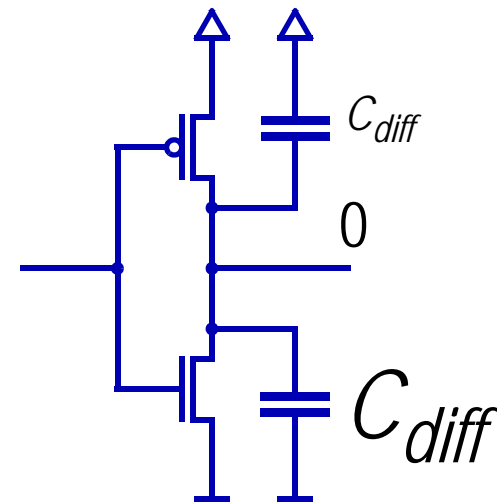
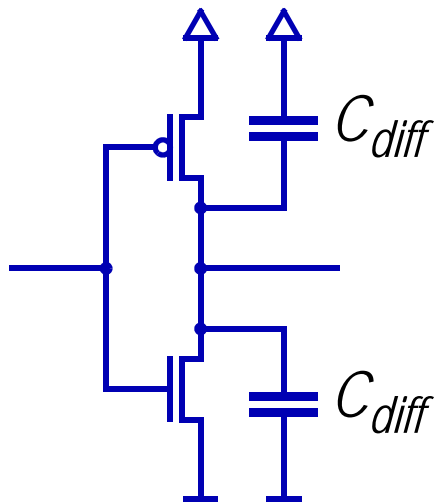


- ◆ För parasitiska diffusionsdioder på ett chips gäller alltså alltid att  $V_A \leq 0$ !

## DIFFUSIONSKAPACITANSER I EN 0,35- $\mu\text{m}$ PROCESS

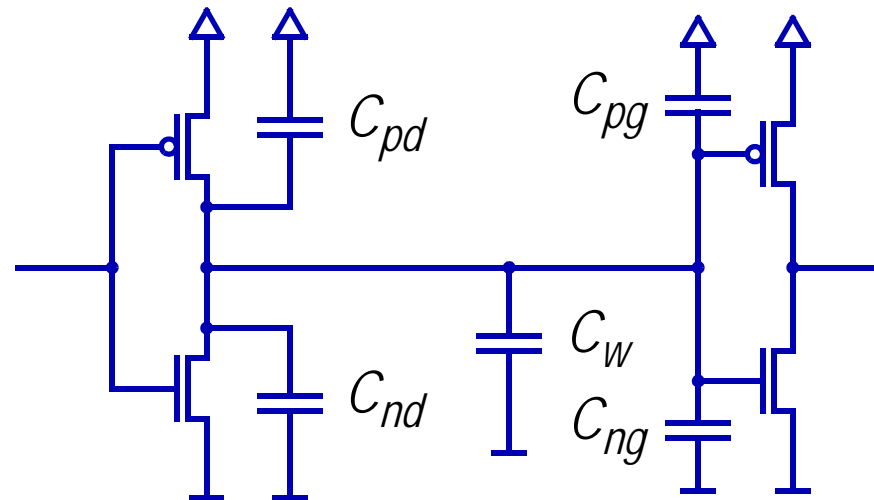
PARAMETER	(NMOS)
Diffusionskapacitans (vid p-n-övergång)	0,94 fF / $\mu\text{m}^2$
Diffusionskapacitans (sidokapacitanser)	0,25 fF / $\mu\text{m}$
Total diffusionskapacitans för $W = 3 L$ vid <u>0 V</u>	1,045 fF
Total diffusionskapacitans för $W = 3 L$ vid <u>3,3 V</u>	0,66 fF

## DIFFUSIONSKAPACITANSER I EN INVERTERARE



Vid logisk 0 på utgången är diffusionskapacitansen som störst för NMOS:en, och som minst för PMOS:en.

# ÅTERKOMMER NÄSTA FÖRELÄSNING ...



# **CMOS-variationer: Pseudo-NMOS och PTL**

(S&S4 13.4, 13.5/S&S5 10.4, 10.5)

## **ÖVERSIKT: ANDRA STATISKA KRETSTEKNIKER**

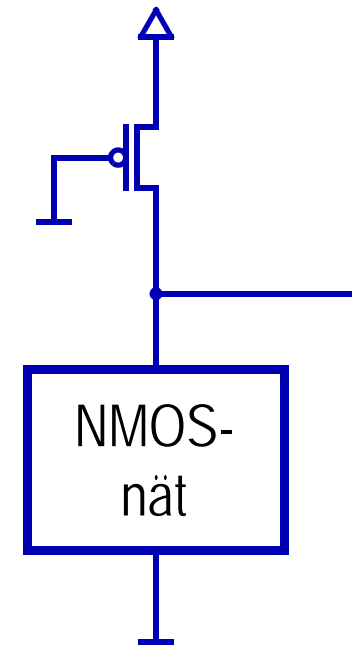
- ◆ Förutom den konventionella CMOS-tekniken så finns det ett antal andra statiska, digitala kretstekniker som använder sig av MOS-transistorer. Några av dessa är:
  - Ratioed logic.
  - Passtransistorlogik (PTL).
  - Transmissionsgrundslogik (TG-logik).
- ◆ Med en statisk kretsteknik menar man en teknik där utgången på grinden under alla tidpunkter är ansluten till antingen  $V_{DD}$  eller jord.

## PSEUDO-NMOS LOGIK

- ◆ I denna logik når aldrig utgången ända ned till 0 V vid logisk nolla (L), utan den stannar på ett spänningsvärde som bestäms av kvoten mellan den s.k. ON-resistansen på NMOS-nätet och lastresistansen (PMOS:en):

$$V_{utL} = \frac{R_{\text{NMOS-nät}}}{R_{\text{last}} + R_{\text{NMOS-nät}}} \cdot V_{DD}$$

- ◆ Tekniken kan vara användbar om man behöver bygga en grind som i vanlig CMOS-logik kräver många (långsamma) PMOS-transistorer i serie.

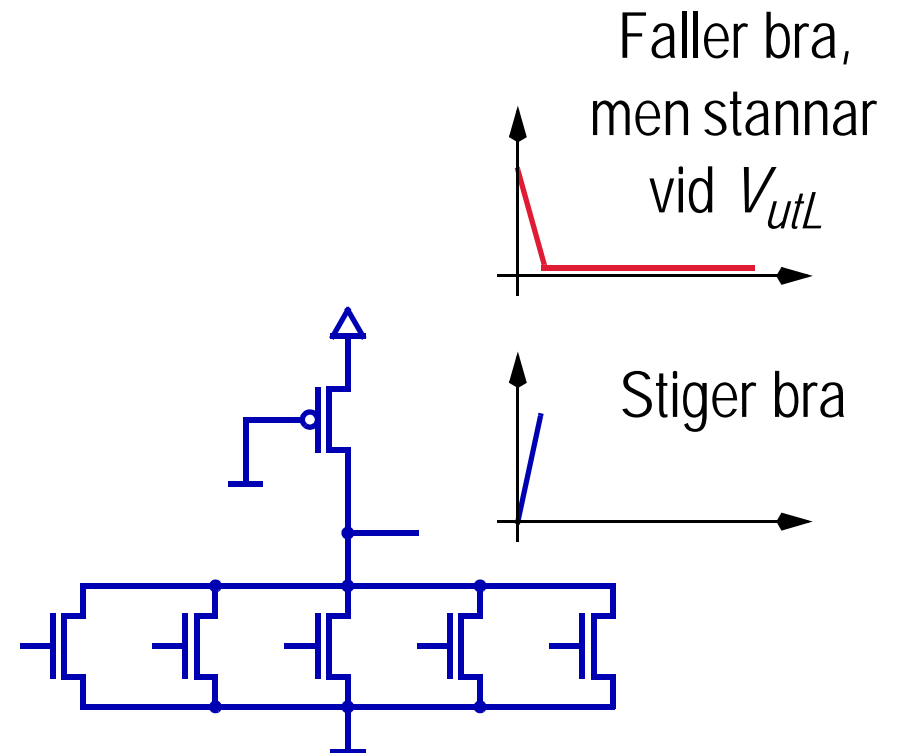
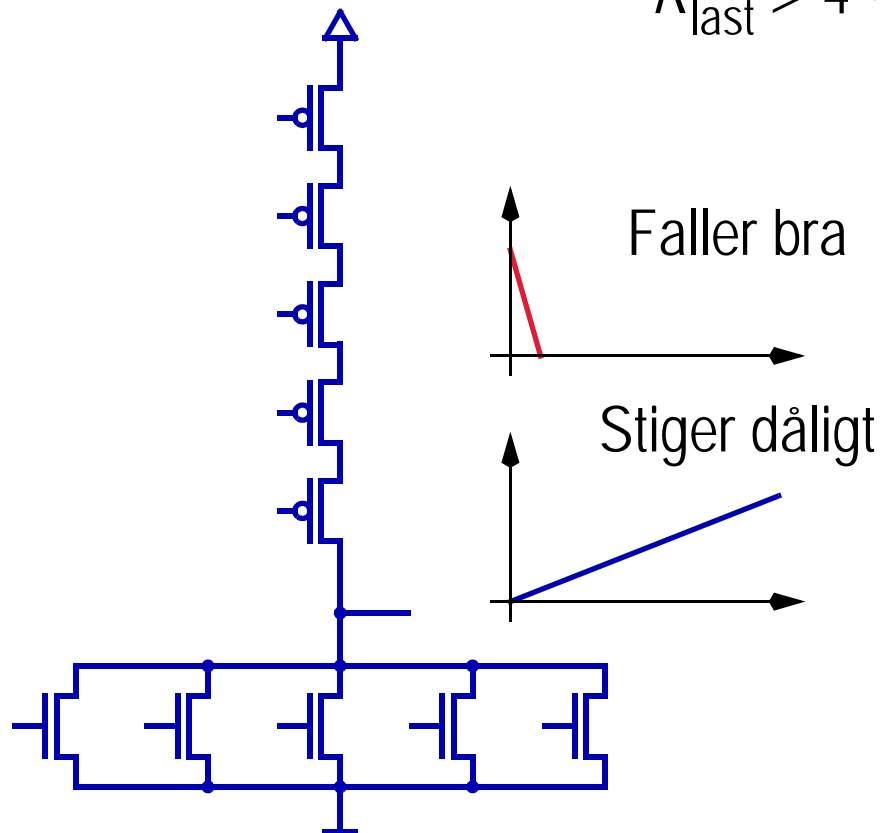




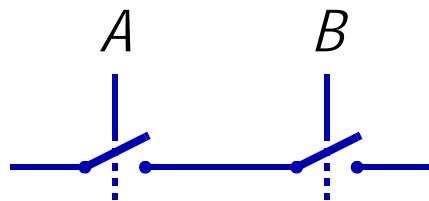
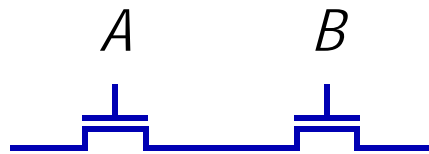
## EN NOR-GRIND MED STORT FAN-IN

**Tumregel** för hyggligt, "kvoterat"  
logiskt värde på utgången

$$R_{\text{last}} > 4 \cdot R_{\text{NMOS-nät}}$$

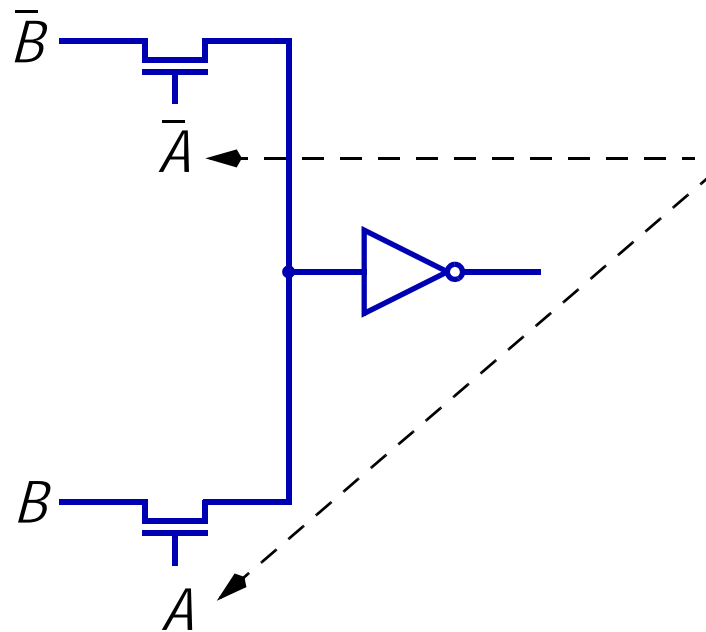


## PASSTRANSISTORLOGIK - PTL



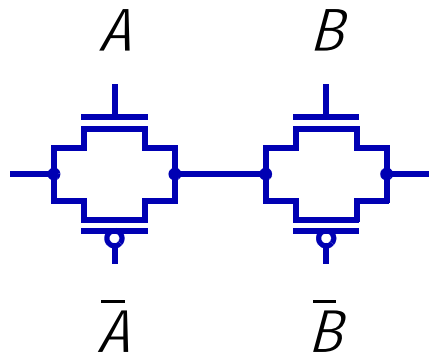
- ◆ Använder NMOS:ar som strömbrytare i logiska nät för att vidarebefordra logiska nivåer som bestäms av Booleska variabler istället för matningsspänningar.
- Logiska ettor tappar i signalamplitud
- ◆ Ofta lägger man en CMOS-inverterare efter en eller ett par PTL-grindar, så att den logiska nivån återställs.

## EN EFFEKTIV XOR-GRIND I PTL-LOGIK



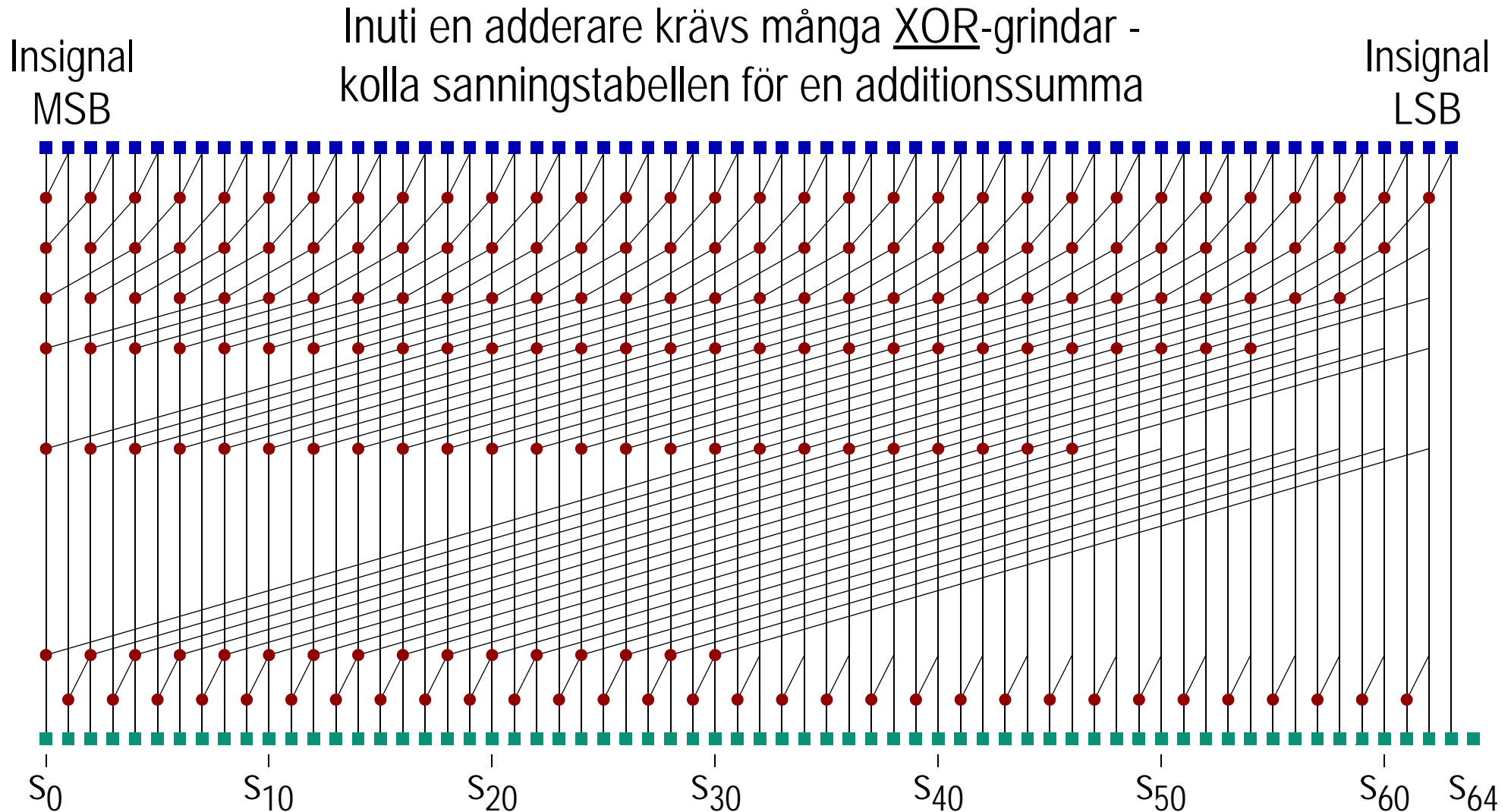
- ◆ Notera att kontrollsignalerna ( $A$  och dess invers) måste vara komplementära så att de två passtransistorerna inte driver inverterarens ingång åt två olika håll ( $B$  och dess invers).
- ◆ Signalen framför inverteraren når alltså inte riktigt upp till  $V_{DD}$  utan når bara  $V_{DD} - V_T$ . Detta leder till **ökad effektförbrukning i inverteraren**, ty dess PMOS stängs aldrig av helt!

## TRANSMISSIONSGRINDSLOGIK - TG-LOGIK

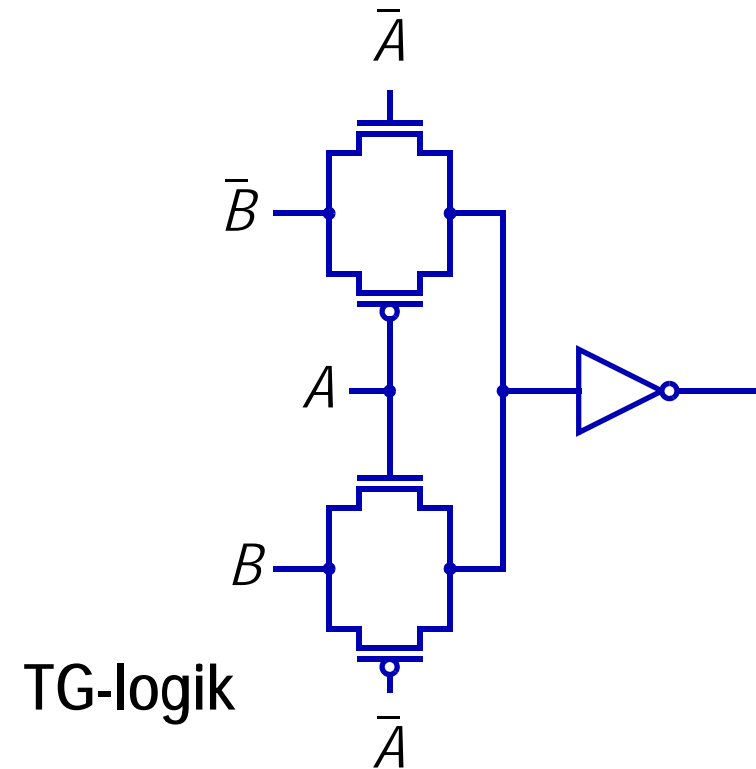
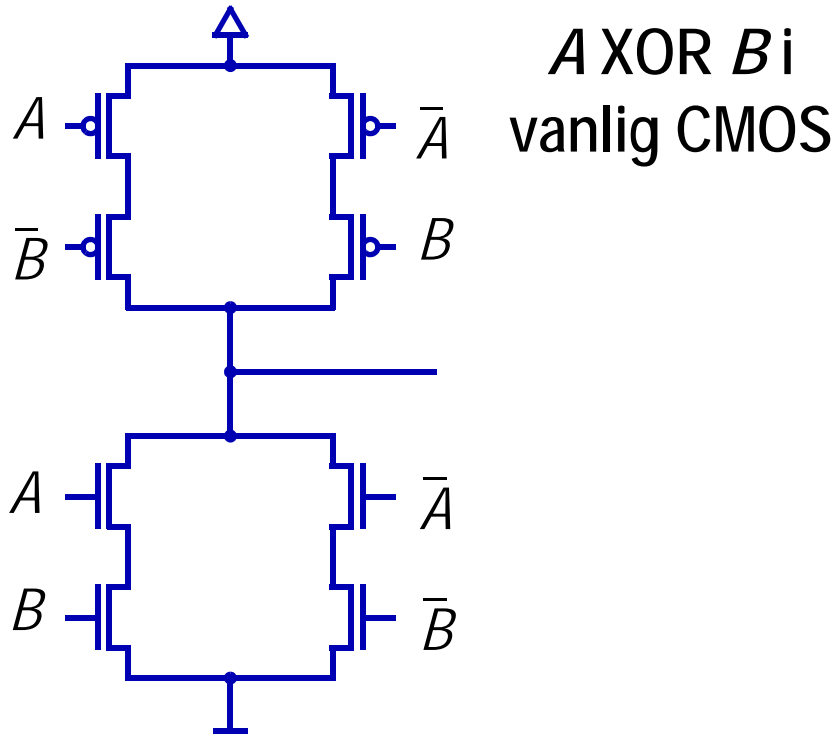


- ◆ Använder både NMOS och PMOS som strömbrytare i logiska nät (som är ekvivalenta med PTL-logik).
- ◆ Logiska ettor degraderas inte längre i signalvärde, eftersom PMOS:en släpper igenom en logisk 1:a väl.
- ◆ Flera TG-grindar efter varann ger lång fördröjning då vi får en seriekoppling av transistorer, d.v.s. en RC-länk.

# EN TITT PÅ EN PROCESSOR - EN 64-B ADDERARE



## EN XOR-GRIND I TG-LOGIK



- ◆ PTL och TG-logik är som mest användbara när de realiserar X(N)OR-funktioner. Man sparar transistorer och därmed yta ... möjligen också hastighet ... men mindre troligt effekt.