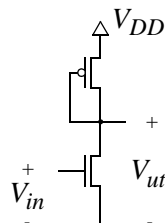


## Föreläsaren räknar ... (del 1)

Vi ska under denna föreläsning analysera förstärkarsteget till höger lite närmare. Först betraktar vi överföringsfunktionen för förstärkarsteget, d.v.s. relationen mellan  $V_{in}$  och  $V_{ut}$ . Vi simulerar nu kretsen i Hspice med följande kod (notera värdet på LAMBDA):



PMOS:  $W = 5 \mu$ ,  $L = 1 \mu$   
 NMOS:  $W = 5 \mu$ ,  $L = 1 \mu$   
 $V_{DD} = 5 \text{ V}$

### SIMULERING AV FORSTARKARSTEG

```
.MODEL N NMOS LEVEL=1 VT0=0.7 KP=110U GAMMA=0.4 LAMBDA=0 PHI=0.7
.MODEL P PMOS LEVEL=1 VT0=-0.7 KP=50U GAMMA=0.57 LAMBDA=0 PHI=0.8

.PARAM SUPPLYV=5V

.OPTIONS POST

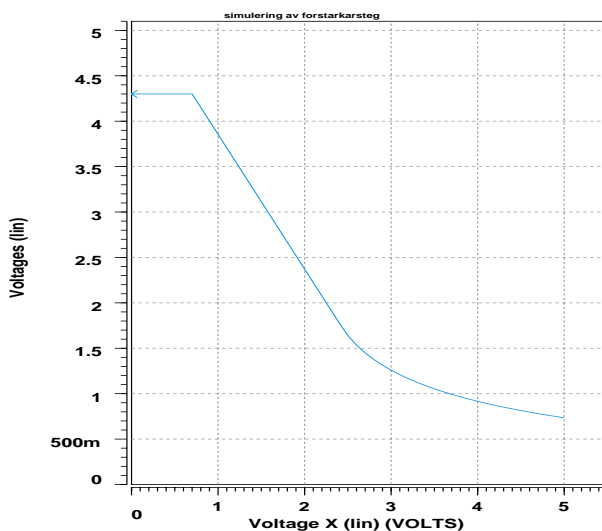
MP1 UT UT VDD VDD P W=5U L=1U
MN1 UT IN 0 0 N W=5U L=1U

VVDD VDD 0 DC SUPPLYV
VIN IN 0 DC SUPPLYV

.DC VIN 0 SUPPLYV 0.1

.END
```

Visningsprogrammet ger oss följande graf, där  $V_{in}$  och  $V_{ut}$  utgör x- respektive y-axel.



För en inspänning under NMOS:ens tröskelspänning får vi en utspänning som motsvarar matningsspänningen reducerad med PMOS:ens tröskelspänning. För en ökande inspänning hamnar NMOS:en i sitt mättade operationsområde. När den sjunkande  $V_{ut}$  överensstämmer med  $V_{in} - VT0$  går NMOS:en in i sitt linjära område — detta sker ungefär vid  $V_{in} = 2,43 \text{ V}$  (titta efter själv!) i ovanstående graf.

- Vår första undersökning handlar om att analytiskt bestämma  $V_{ut}$  när  $V_{in} = 5 \text{ V}$ !

Lösning:

När  $V_{in} = 5 \text{ V}$  är NMOS:en i sitt linjära område, medan PMOS:en är i sitt mättade. Vi beskriver strömmarna genom respektive transistor som  $I_{Dp}$  och  $I_{Dn}$ :

$$I_{Dn} = k_n \left( (V_{GSn} - V_{Tn})V_{DSn} - \frac{V_{DSn}^2}{2} \right)$$

$$I_{Dp} = \frac{k_p}{2} (V_{SGp} - |V_{Tp}|)^2 (1 + \lambda V_{SDp})$$

Vi förenklar alltså analysen genom att sätta parametern som bestämmer kanallängdsmodulationen  $\lambda = 0$ . Vidare använder vi oss av  $V_{T0}$  som beloppet på båda tröskelspänningarna.

Punkten vi letar efter utmärks bl.a. av att  $V_{GSn} = V_{DD}$ , så ekvationen får följande utseende:

$$\frac{k_p}{2} (V_{SGp} - V_{T0})^2 = k_n \left( (V_{DD} - V_{T0})V_{DSn} - \frac{V_{DSn}^2}{2} \right).$$

Vi vill hitta  $V_{ut}$  och skriver om terminalspänningarna,  $V_{SGp}$  och  $V_{DSn}$ , så dessa är funktioner av  $V_{ut}$ :

$$\frac{k_p}{2} (V_{DD} - V_{ut} - V_{T0})^2 = k_n \left( (V_{DD} - V_{T0})V_{ut} - \frac{V_{ut}^2}{2} \right).$$

Algebraisk manipulation 1:

$$V_{DD}^2 + V_{ut}^2 + V_{T0}^2 - 2V_{DD}V_{T0} - 2V_{ut}(V_{DD} - V_{T0}) = \frac{2k_n}{k_p} \left( (V_{DD} - V_{T0})V_{ut} - \frac{V_{ut}^2}{2} \right).$$

Algebraisk manipulation 2:

$$\left( 1 + \frac{k_n}{k_p} \right) V_{ut}^2 - 2(V_{DD} - V_{T0}) \left( 1 + \frac{k_n}{k_p} \right) V_{ut} + (V_{DD}^2 + V_{T0}^2 - 2V_{DD}V_{T0}) = 0.$$

Algebraisk manipulation 3:

$$V_{ut}^2 - 2(V_{DD} - V_{T0}) V_{ut} + \frac{(V_{DD} - V_{T0})^2}{\left( 1 + \frac{k_n}{k_p} \right)} = 0.$$

Lösningen blir alltså följande:

$$V_{ut} = V_{DD} - V_{T0} \pm \sqrt{\frac{\frac{k_n}{k_p}(V_{DD} - V_{T0})^2}{1 + \frac{k_n}{k_p}}},$$

där kvadratroten ska subtraheras för att lösningen ska vara relevant för vår krets.

Om vi använder data från Hspice-modellerna får vi följande numeriska värde:

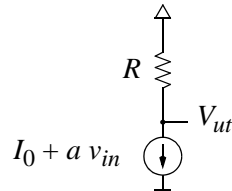
$$V_{ut} = 4,3 - \sqrt{\frac{\frac{110}{50} 4,3^2}{1 + \frac{110}{50}}} = 0,73 \text{ V},$$

vilket verkar överensstämma väl med spänningssvepet vi erhöill från simuleringen.

## Föreläsaren räknar ... (del 2)

Nu vill vi analysera förstärkarsteget med avseende på småsignalsegenskaper.

För att skapa ett ekvivalent schema för småsignalsanalys bör vi förstå vad som sker i kretsen när små signaler används! Om vi tar nedanstående, mycket förenklade krets som exempel, så inser vi (väl!) att



utsignalen, för  $v_{in} = 0$ , ligger på en nivå som bestäms av strömmen i arbetspunkten,  $I_0$

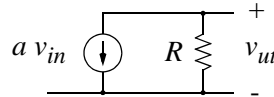
$$V_{ut0} = V_{DD} - R \cdot I_0.$$

Om insignalen är en småsignal kan vi ofta anta att förstärkningsfaktorn  $a$  är ganska konstant, vilket innebär att en liten ökning av  $v_{in}$  ger en ökad ström genom strömkällan, så att spänningsfallet över resistansen  $R$  ökar och att  $V_{ut}$  faller. På samma sätt ger en minskning av  $v_{in}$  upphov till ett ökande  $V_{ut}$ .

Vi kan sammanfatta dessa beteenden som:

$$V_{ut} = V_{DD} - R \cdot (I_0 + a \cdot v_{in})$$

Variationen i insignalen, och dess effekt på utspänningen, kan representeras som nedanstående småsignalsschema, där (lik)spänningsförsörjningarna bundits samman till en signaljord. Kontrollera nu hur en variation i insignalen slår igenom i schemat nedan och påverkar utsignalen när den senare också är representerad som en småsignal.



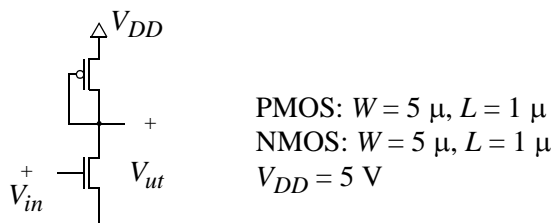
Jo, vi finner att

$$v_{ut} = -R \cdot (a \cdot v_{in}),$$

vilket beskriver den småsignalsvariation som sker inom uttrycket för totala spänningen i utgången

$$V_{ut} = V_{DD} - R \cdot (I_0 + a \cdot v_{in}).$$

• Vår uppgift nu är att finna (den frekvensoberoende) småsignalförstärkningen för förstärkarsteget nedan, givet att NMOS:en är i sitt mättade område. Vi ska finna a) en analytisk beskriv-

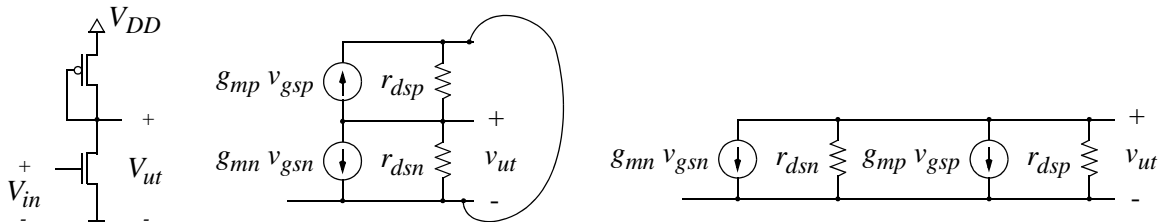


ning och b) ett numeriskt värde (som vi sedan kan jämföra med grafen på första sidan som producerades från en simulering av ett spänningssvep).

Vi får anta att  $\text{LAMBDA} = 0$ , men bara när det gäller att ge ett numeriskt värde. För den analytiska lösningen ska  $\text{LAMBDA} \neq 0$ ! Vi kan också anta att vi belastar steget med en mycket hög impedans när vi utreder spänningsförstärkningen.

Lösning:

Tillbaka till vårt förstärkarsteg! En liten variation på insignalen ger alltså upphov till en liten (men förstärkt) påverkan på strömmen genom NMOS:en. Strömvariationen genom transistorkanalen ger i sin tur upphov till en förändring av utgångsspänningen. Eftersom steget är bestyckat med en diodkopplad PMOS som lastresistans måste vi använda en aningen mer komplicerad modell för lastresistansen än ett simpelt  $R$ : Vi representerar (i mellersta figuren) PMOS:en som en strömkälla som styrs av gate-source-spänningen, genom småsignalsförstärkningen  $g_{mp}$  — riktningen på pilen motiveras av att en ökning i



gatespänning relativt source för en PMOS minskar kanalströmmen. Vidare kallar vi kanalresistansen för  $r_{dsp}$  och denna är alltså en småsignalsresistans. I figuren längst till höger har vi vikt schemat kring utsignalsnoden och därmed nått fram till det slutliga ekvivalenta småsignalssschemat.

Låt oss ta fram parametrarna  $r_{ds}$  respektive  $g_m$  (transkonduktansen) för en mättad NMOS. Resonemanget blir likartat för PMOS:en och vi noterar att det mättade operationsområdet råkar gälla för båda transistorerna i vårt förstärkarsteg. För NMOS:en ser vi ju till att arbetspunkten för inspänningen väljs så att NMOS:en är mättad och för PMOS:en gäller alltid mättad ty  $V_{SD} > V_{SG} - |V_{Tp}|$ , eftersom gate och drain är sammankopplade (diodkopplingen!).

Vi börjar med att räkna fram kanalresistansen för en småsignal i en mättad NMOS:

$$\frac{1}{r_{ds}} = g_{ds} = \frac{dI_D}{dV_{DS}} = \frac{d}{dV_{DS}} \left( \frac{k}{2} (V_{GS} - V_T)^2 \cdot (1 + \lambda V_{DS}) \right) = \lambda \cdot \frac{k}{2} (V_{GS} - V_T)^2 = \frac{\lambda I_D}{1 + \lambda V_{DS}}$$

Eftersom storleksordningen på  $\lambda$  är  $0,01 \text{ V}^{-1}$  approximerar man ofta

$$r_{ds} \approx \frac{1}{\lambda I_D},$$

där  $I_D$  måste vara modellen som inkluderar kanallängdsmodulation:

$$I_D = \frac{k}{2} (V_{GS} - V_T)^2 \cdot (1 + \lambda V_{DS}).$$

Det vore ju konstigt om man inte antar att kanallängdsmodulation existerar, för det är ju denna som ger upphov till den differentiella kanalresistansen.

Transkonduktansen för en mättad NMOS bestäms av

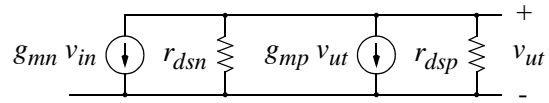
$$g_m = \frac{dI_D}{dV_{GS}} = \frac{d}{dV_{GS}} \left( \frac{k}{2} (V_{GS} - V_T)^2 \cdot (1 + \lambda V_{DS}) \right) = k (V_{GS} - V_T) \cdot (1 + \lambda V_{DS})$$

vilket ger

$$g_m = \sqrt{2k \cdot I_D \cdot (1 + \lambda V_{DS})} \approx \sqrt{2k \cdot I_D},$$

tack vare att  $\lambda$  är relativt litet.

Vi betraktar på nytt småsignalsschemat, men nu vill vi använda  $v_{in}$  och  $v_{ut}$  som spänningsreferenser. Om vi börjar med  $V_{gsn}$  (en storsignal) så är denna identisk med  $V_{in}$ : Alltså är  $v_{gsn} = v_{in}$ . När det gäller  $V_{gsp}$  (en storsignal) så är denna identisk med  $V_{ut} - V_{DD}$ : Eftersom vi tittar på småsignaler bortser vi från likspänningen och får  $v_{gsp} = v_{ut}$ .



Vi tillgriper Kirchhoffs strömlag för att kunna relatera in- och utspänningen. Summan av strömmarna in i en nod ska vara lika med strömmarna ut från samma nod — i vår krets kan man då få följande:

$$g_{mn} \cdot v_{in} + \frac{v_{ut}}{r_{dsn}} + g_{mp} \cdot v_{ut} + \frac{v_{ut}}{r_{dsp}} = 0.$$

Samtliga strömdefinitioner antas nu riktas ut från övre noden (den markerad +) mot den undre noden.

Den sökta förstärkningen är helt enkelt

$$A_v = \frac{v_{ut}}{v_{in}},$$

och den erhålls om vi isolerar  $v_{ut}$  från den förra ekvationen:

$$v_{ut} = -\frac{v_{in} \cdot g_{mn}}{g_{mp} + \frac{1}{r_{dsn}} + \frac{1}{r_{dsp}}}.$$

Alltså har vi att

$$A_v = -\frac{g_{mn}}{g_{mp} + \frac{1}{r_{dsn}} + \frac{1}{r_{dsp}}},$$

vilken var den första egenskapen vi ville hitta.

För att finna det numeriska värdet på förstärkningen noterar vi att kanalresistanserna går mot oändligheten, eftersom vi fick anta att någon kanallängdsmodulation inte förekommer ( $\lambda = 0$ ). Detta antagande är f.ö. helt i linje med simuleringen som genomfördes i början av Föreläsaren räknar ... Oändliga resistansvärden medför avbrott i kretsen, så vi kan ta bort resistanserna ur småsignalsschemat.

Förstärkningen kan nu skrivas som

$$A_v = -\frac{g_{mn}}{g_{mp}} = -\frac{\sqrt{2k_{NMOS} \cdot I_D}}{\sqrt{2k_{PMOS} \cdot I_D}}.$$

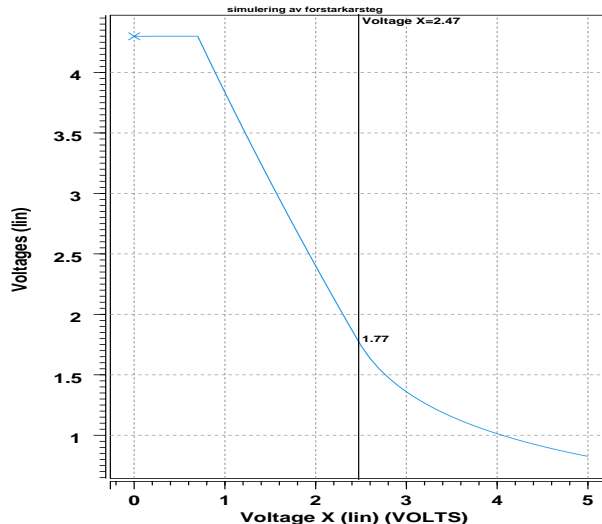
Det går i stort sett samma drainström genom båda transistorerna, eftersom impedansen på utgången antas vara mycket hög. Vi får alltså:

$$A_v = -\sqrt{\frac{k_{NMOS}}{k_{PMOS}}} = -\sqrt{\frac{K_{P_n} \cdot \frac{W_n}{L_n}}{K_{P_p} \cdot \frac{W_p}{L_p}}} = -\sqrt{\frac{110}{50}} = -1,48.$$

Jämför vi nu siffran med grafen, så ser vi att det verkar vara en perfekt överensstämmelse mellan dem! Derivatn på grafen över spänningssvepet (d.v.s. spänningsförstärkningen) är -1,48 så länge NMOS:en är mättad. Att spänningsförstärkningen är konstant för hela detta spänningsområde beror på att kanallängdsmodulationen försummas — så fort vi lägger till denna effekt kommer spänningsförstärkningen att variera med inspänningen.

## Föreläsaren räknar ... (del 3)

När det blev dags för att hitta ett numeriskt värde på spänningsförstärkningen, förenklade vi uttrycket genom att bortse från kanallängdsmodulationen. Låt oss nu inkludera kanallängdsmodulationen i våra numeriska analyser:  $\lambda$  antas vara  $0,04 \text{ V}^{-1}$  för NMOS och  $0,05 \text{ V}^{-1}$  för PMOS. Vi kör först en ny simulering av ett spänningsvep och erhåller följande graf:



Vi börjar med att studera punkten när NMOS:en övergår från att vara i sitt linjära område till sitt mätade område — denna markeras med en vertikal linje mitt i grafen. Punkten är intressant att studera eftersom den utgör den ena extrempunkten för det spänningsintervall inom vilket NMOS:en är mättad, d.v.s. inom vilket steget fungerar som en god förstärkare. Vi vill analysera extrempunkterna eftersom dessa ger oss ett intervall för strömmen genom transistorerna, så vi kan räkna fram transkonduktans och kanalresistans.

Extrempunkten markerad ovan uppstår (läs av i grafen) då  $V_{in} = 2,47 \text{ V}$  och  $V_{ut} = 1,77 \text{ V}$ :

$$I_{Dn} = \frac{k_n}{2} (V_{GSn} - V_{Tn})^2 (1 + \lambda_n V_{DSn}) = \frac{k_n}{2} (V_{in} - V_{Tn})^2 (1 + \lambda_n V_{ut})$$

$$I_{Dp} = \frac{k_p}{2} (V_{SGp} - |V_{Tp}|)^2 (1 + \lambda_p V_{SDp}) = \frac{k_p}{2} (V_{DD} - V_{ut} - |V_{Tp}|)^2 (1 + \lambda_p (V_{DD} - V_{ut}))$$

Om simuleringen baserats på våra modeller och parametrar ska strömmarna genom respektive transistor vara lika stora när  $V_{in} = 2,47 \text{ V}$  och  $V_{ut} = 1,77 \text{ V}$ . Låt oss testa ...

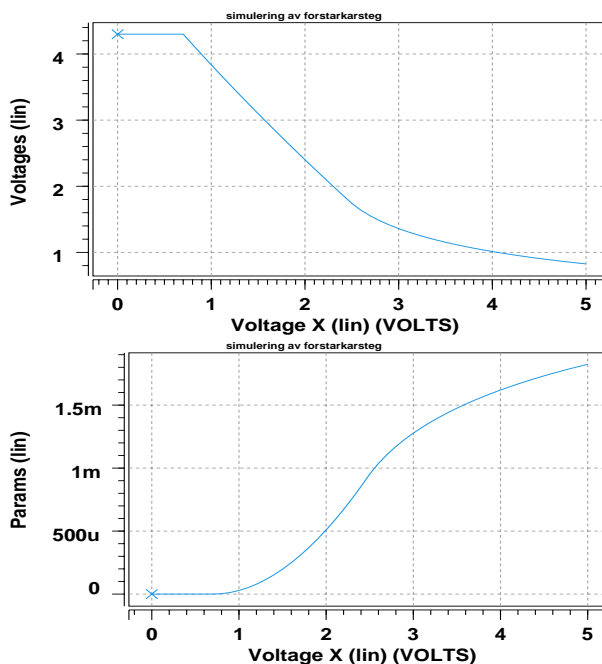
$$I_{Dn} = \frac{110 \times 10^{-6} \cdot \left(\frac{5}{1}\right)}{2} (2,47 - 0,7)^2 (1 + 0,04 \cdot 1,77) = 0,92 \text{ mA}$$

$$I_{Dp} = \frac{50 \times 10^{-6} \cdot \left(\frac{5}{1}\right)}{2} (5 - 1,77 - 0,7)^2 (1 + 0,05 \cdot (5 - 1,77)) = 0,93 \text{ mA}$$

Tja, det verkar som att strömmarna är i stort sett desamma.

Den andra extrempunkten uppstår när  $V_{in} = 0,7 \text{ V}$  och  $V_{ut} = 4,3 \text{ V}$ , d.v.s. när NMOS:en går från avstängt läge till mättat läge. Här är naturligtvis strömmen mycket liten och att det alls uppstår en ström i en verklig MOS-transistor kan hänföras till de subtröskelmekanismer som transporterar ström vid gate-spänningar omkring och under tröskelspänningen. Våra (trubbiga) formler ger, precis som Hspice, oss värdet  $0 \text{ A}$  i ström. Att Hspice ger oss ett sådant idealt värde beror alltså på att vi använder modeller av typen LEVEL 1, vilka är de mest primitiva man kan tänka sig.

Låt oss ta fram en graf över strömmen genom förstärkarsteget:



Vi kan tydligt avläsa att strömmen genom transistorerna, med villkoret att NMOS:en är mättad, når som högst till 0,9 mA, vilket överensstämmer med vår uträkning.

Låt oss undersöka vilken transkonduktans respektive kanalresistans vi får för NMOS respektive PMOS i de två extrempunkterna. Vi kommer inte använda oss av  $V_{in} = 0,7$  V som punkten längst till vänster, eftersom vi då ej har någon ström alls genom kretsen, utan vi kommer ta  $V_{in} = 0,8$  V som en representativ punkt för en "mycket liten" ström.

Vi har från tidigare att

$$r_{ds} = \frac{1 + \lambda V_{DS}}{\lambda I_D} \text{ eller } r_{ds} \approx \frac{1}{\lambda I_D},$$

samt

$$g_m = \sqrt{2k \cdot I_D \cdot (1 + \lambda V_{DS})} \text{ eller } g_m \approx \sqrt{2k \cdot I_D}.$$

Hur väl fungerar approximationerna för ett förstärkarsteg med NMOS:en i mättat läge? Tabellen nedan visar värdena man får om man använder a) höga strömmar (d.v.s. till höger i signalsintervallet,  $V_{in} = 2,47$  V):  $V_{ut} = 1,77$  V och  $I_D = 0,925$  mA, och b) låga strömmar (d.v.s. till vänster i signalsintervallet,  $V_{in} = 0,8$  V):  $V_{ut} = 4,14$  V och  $I_D = 3,2$   $\mu$ A.

	NMOS		PMOS	
$V_{ut}$	4,14 V	1,77 V	4,14 V	1,77 V
$r_{ds}$ exakt	9,11 M $\Omega$	28,9 k $\Omega$	6,52 M $\Omega$	25,1 k $\Omega$
$r_{ds}$ approx	7,81 M $\Omega$	27,0 k $\Omega$	6,25 M $\Omega$	21,6 k $\Omega$
$g_m$ exakt	64,0 $\mu$ A/V	1,04 mA/V	40,8 $\mu$ A/V	0,73 mA/V
$g_m$ approx	59,3 $\mu$ A/V	1,01 mA/V	40,0 $\mu$ A/V	0,68 mA/V

Vad blir spänningsförstärkningen i de två punkterna? Vi räknade tidigare fram en analytisk beskrivning av  $A_v$  och kan nu använda värdena från tabellen ovan för att hitta värden på  $A_v$ . Den exakta beskrivningen såg ut så här

$$A_v = -\frac{g_{mn}}{g_{mp} + \frac{1}{r_{dsn}} + \frac{1}{r_{dsp}}},$$

medan approximationen löd som följer

$$A_v \approx -\frac{g_{mn}}{g_{mp}}.$$

Dessutom kan vi avläsa derivatan i spänningssvepet och på så sätt verifiera värdena vi räknat fram. Nedan kommer tabellen!

$V_{ut}$	$g_m$ och $r_{ds}$	4,14 V	1,77 V
$A_v$ exakt	Exakta	-1,56	-1,29
$A_v$ approx	Exakta	-1,57	-1,42
	Approximerade	-1,48	-1,48
$A_v$ avläst		-1,55	-1,28

Som vi kan se ger approximationen av  $A_v$  störst fel vid höga strömmar, vilket kan förklaras av att  $g_{ds} = 1/r_{ds}$  växer linjärt med  $I_D$  medan  $g_m$  bara växer med kvadratroten av  $I_D$ . Sålunda får approximationen av nämnarens termer med

$$g_{mp} + \frac{1}{r_{dsn}} + \frac{1}{r_{dsp}} \approx g_{mp}$$

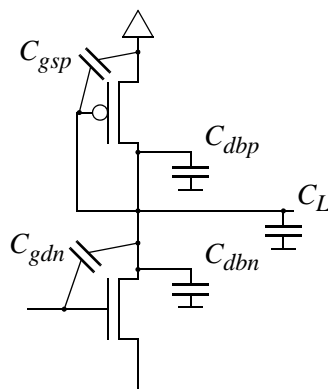
ett tilltagande fel för en ökande arbetspunktsström.



## Föreläsaren räknar ... (del 4)

Det är snart dags att avsluta denna föreläsning. De som har kommit oförberedda till föreläsningen har vid det här laget tappat tråden fullständigt och även de som har förberett sig kan känna en viss mättnad. Det är dock lärorikt att avsluta analysen av förstärkarsteget genom att kort titta på dess frekvensegenskaper, som framträder när vi anbringar en periodisk småsignal på ingången.

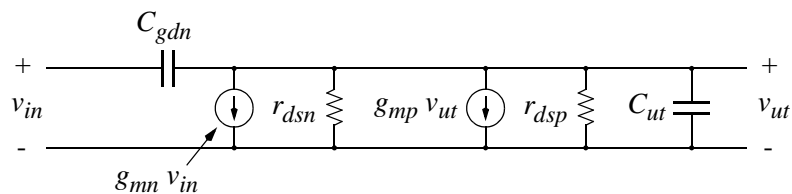
För att få fram frekvensegenskaperna hos förstärkarsteget ska vi leta reda på de frekvensberoende egenskaper som finns inneboende i steget. Detta handlar underförstått om kapacitanser! En MOS-transistor uppvisar kapacitiva egenskaper mellan flera olika terminaler och i kretsen nedan visas de mest dominerande, nämligen gate-source för PMOS, gate-drain för NMOS samt drain-bulk för båda transistorerna. Som om inte detta skatbo av kapacitanser vore tillräckligt komplicerat, så varierar samtliga uppräknade kapacitanser med pålagd spänning!



- Vår avslutande uppgift är att finna en frekvensberoende överföringsfunktion för en periodisk signal, från in- till utgång.

### Lösning:

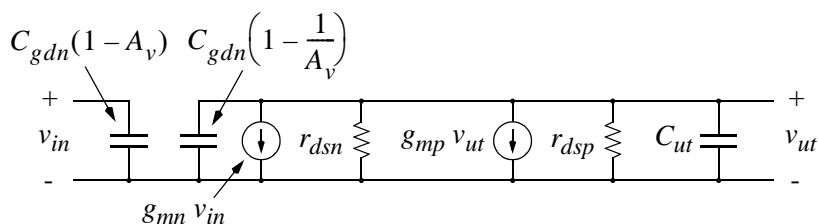
Vi startar med att rita ett småsignalsschema som representerar kretsen ovan. Vi använder oss här av föl-



jande kapacitansdefinition:

$$C_{ut} = C_{dbn} + C_{dbp} + C_{gsp} + C_L.$$

Vi bryter upp kopplingskapacitansen mellan in- och utgång och får följande schema:



Parametern  $A_v$  står naturligtvis för spänningsförstärkningen i steget, vilken ser ut som  $v_{ut}/v_{in}$ .

Vi tänker oss nu att insignalen inte begränsas nämnvärt av den kapacitans som möter signalen på ingången, utan att frekvensbegränsningarna endast märks av på utgången (vår utgångskrets). Detta är ett viktigt konstaterande eftersom vi nu överlåter eventuella frekvensbegränsningar till en annan analys som inbegriper föregående krets vilken driver ingången på steget vi just nu analyserar!

En frekvensberoende variant av Kirchhoffs strömlag ger oss nu följande i utgångskretsen:

$$g_{mn} \cdot v_{in} + \frac{v_{ut}}{r_{dsn}} + g_{mp} \cdot v_{ut} + \frac{v_{ut}}{r_{dsp}} + \frac{v_{ut}}{1/(sC_{gdn}(1 - \frac{1}{A_v}))} + \frac{v_{ut}}{1/(sC_{ut})} = 0.$$

Detta kan vi skriva om som

$$g_{mn} \cdot v_{in} + \frac{v_{ut}}{r_{dsn}} + g_{mp} \cdot v_{ut} + \frac{v_{ut}}{r_{dsp}} + v_{ut} \cdot sC_{gdn} \left(1 - \frac{v_{in}}{v_{ut}}\right) + v_{ut} \cdot sC_{ut} = 0,$$

och

$$g_{mn} \cdot v_{in} + \frac{v_{ut}}{r_{dsn}} + g_{mp} \cdot v_{ut} + \frac{v_{ut}}{r_{dsp}} + v_{ut} \cdot sC_{gdn} - v_{in} \cdot sC_{gdn} + v_{ut} \cdot sC_{ut} = 0.$$

Vi bryter ut  $v_{ut}$  och får

$$\frac{v_{ut}}{v_{in}} = \frac{sC_{gdn} - g_{mn}}{\frac{1}{r_{dsn}} + \frac{1}{r_{dsp}} + g_{mp} + s(C_{gdn} + C_{ut})}.$$

Med

$$\frac{1}{r_{eq}} = \frac{1}{r_{dsn}} + \frac{1}{r_{dsp}} + g_{mp},$$

kan vi skriva följande uttryck

$$\frac{v_{ut}}{v_{in}} = \frac{(sC_{gdn} - g_{mn}) \cdot r_{eq}}{1 + s(C_{gdn} + C_{ut}) \cdot r_{eq}} = \frac{-g_{mn} \cdot r_{eq} \cdot \left(1 - \frac{s}{(g_{mn}/C_{gdn})}\right)}{1 + \frac{s}{(1/[(C_{gdn} + C_{ut}) \cdot r_{eq}]})},$$

där

$$\frac{g_{mn}}{C_{gdn}} \text{ är ett nollställe}$$

och

$$\frac{1}{(C_{gdn} + C_{ut}) \cdot r_{eq}} \text{ är en pol.}$$

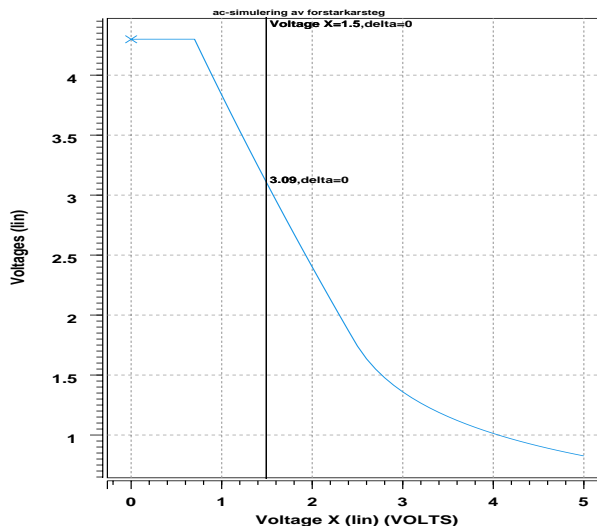
Som vi såg förut (i del 3) så kan vi med hygglig noggrannhet approximera

$$\frac{1}{r_{eq}} = \frac{1}{r_{dsn}} + \frac{1}{r_{dsp}} + g_{mp} \approx g_{mp}.$$

Dessutom är det ganska troligt att  $C_L$  kraftigt dominerar kapacitanserna  $C_{gdn} + C_{ut}$  och då skulle man få följande pol

$$\frac{g_{mp}}{C_L}.$$

Låt oss avsluta räknandet med att först titta på en simulering i frekvensplanet. Vi väljer att anbringa en sinusformad signal på ingången: Signalen, som har en amplitud på 0,1 V, placeras med sin arbetspunkt på 1,5 V eftersom detta bör ge en god och hyggligt linjär förstärkning enligt grafen över in-ut karaktistiken (som vi först såg i del 3):



Vi låter Hspice justera frekvensen på sinussignalen och räkna fram utgångens amplitud. På detta sätt kan vi t.ex. få fram när förstärkningen fallit 3 dB mot sitt likspänningsvärde — då har vi nått den övre

$$\text{gränshfrekvensen } A_v(\omega_{-3\text{dB}}) = \frac{A_{v0}}{\sqrt{2}}.$$

#### AC-SIMULERING AV FORSTARKARSTEG

```
.MODEL N NMOS LEVEL=1 VT0=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
.MODEL P PMOS LEVEL=1 VT0=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8

.PARAM SUPPLYV=5V

.OPTIONS POST

MP1 UT UT VDD VDD P W=5U L=1U AD='5U*2U' AS='5U*2U'
MN1 UT IN 0 0 N W=5U L=1U AD='5U*2U' AS='5U*2U'

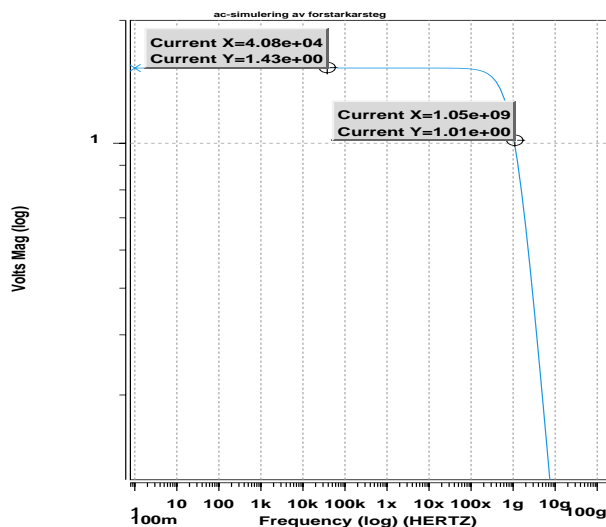
CL UT 0 50F

VVDD VDD 0 DC SUPPLYV
VIN IN 0 AC SIN(1.5 0.1 5K)

.AC DEC 10 1 100G

.END
```

Om vi presenterar både frekvens och utgångsamplitud i logaritmiska skalor får vi data på en form vi (kanske?) minns från reglerteknik eller någon annan kurs inom signaler och system. Den övre gränshfrekvensen är som bekant punkten när utgångsamplituden har fallit till  $1/\sqrt{2}$  av likspänningsförstärkningen. Som vi ser på nästa sidas simuleringsdata är den övre gränshfrekvensen belägen vid 1,05 GHz och frågan är om vi kan spåra denna siffra i våra uträkningar.



I Hspicekörningen valde jag ett  $C_L$  på 50 fF för att se till att lastkapacitansen dominerar i uttrycket för polen. Nu kan vi verkligen använda approximationen  $\frac{g_{mp}}{C_L}$ , eftersom  $C_{dbn} + C_{dbp} + C_{gsp} + C_{gdn}$  tillsammans blott är 2-4 fF.

Vad kan vi säga om  $g_{mp}$  då? Enligt tidigare tabeller varierar den mellan 40,8  $\mu\text{A/V}$  (för  $V_{in} = 0,8 \text{ V}$ ) och 730  $\mu\text{A/V}$  (för  $V_{in} = 2,47 \text{ V}$ ). Vi kan ju lika gärna räkna fram den genom transkonduktansen som enkelt beskrivs som

$$g_m = \sqrt{2k \cdot I_D \cdot (1 + \lambda V_{DS})}$$

I arbetspunkten som vi valt gäller för NMOS:en att strömmen är

$$I_{Dn} = \frac{110 \times 10^{-6} \cdot \left(\frac{5}{1}\right)}{2} (1,5 - 0,7)^2 (1 + 0,04 \cdot 3,09) = 198 \mu\text{A}$$

Nu blir alltså

$$g_{mp} = \sqrt{2 \cdot 50 \times 10^{-6} \cdot \left(\frac{5}{1}\right) \cdot 198 \times 10^{-6} \cdot (1 + 0,05 \cdot (5 - 3,09))} = 330 \mu\text{A/V}$$

Vinkelfrekvensen (och frekvensen) finner vi som

$$\omega = \frac{g_{mp}}{C_L} = \frac{330 \times 10^{-6}}{50 \times 10^{-12}} = 6,6 \text{ GHz} \Rightarrow f = \frac{\omega}{2\pi} = \frac{6,6 \text{ GHz}}{2\pi} = 1,05 \text{ GHz}$$

Exakt rätt ser det ut som! Om vi lägger till de extra 2-4 fF från transistorens egna kapacitanser, så motsvarar dessa förhoppningsvis de bidrag från  $r_{dsn}$  och  $r_{dsp}$  som vi förenklat bort.