

Appendix A: Modelltyper

I tabellen nedan anges ett stort antal LEVEL som finns tillgängliga för olika SPICE-plattformar:

Level	MOSFET-modellbeskrivning	Level	MOSFET-modellbeskrivning
1	Schichman-Hodges model	27	SOSFET
2	MOS2 Grove-Frohman model	28	BSIM derivative; Avant! proprietary model
3	MOS3 empirical model	29 ***	not used
4	Grove-Frohman: LEVEL 2 model derived from SPICE 2E.3	30 ***	VTI
5	AMI-ASPEC depletion and enhancement (Taylor-Huang)	31***	Motorola
6	Lattin-Jenkins-Grove (ASPEC style parasitics)	32 ***	AMD
7	Lattin-Jenkins-Grove (SPICE style parasitics)	33 ***	National Semiconductor
8	advanced LEVEL 2 model	34*	(EPFL) not used
9 **	AMD	35 **	Siemens
10 **	AMD	36 ***	Sharp
11	Fluke-Mosaid model	37 ***	TI
12 **	CASMOS model (GTE style)	38	IDS: Cypress depletion model
13	BSIM model	39	BSIM2
14 **	Siemens LEVEL=4	41	TI Analog
15	user-defined model based on LEVEL 3	46 ***	SGS-Thomson MOS LEVEL 3
16	not used	47	BSIM3 Version 2.0
17	Cypress model	49	BSIM3 Version 3 (Enhanced)
18 **	Sierra 1	50	Phillips MOS9
19 ***	Dallas Semiconductor model	53	BSIM3 Version 3 (Berkeley)
20 **	GE-CRD FRANZ	54	UC Berkeley BSIM4 Model
21 **	STC-ITT	55	EPFL-EKV Model Ver 2.6, R 11
22 **	CASMOS (GEC style)	57	UC Berkeley BSIM3-SOI MOSFET Model Ver 2.0.1
23	Siliconix	58	University of Florida SOI Model Ver 4.5 (Beta-98.4)
24 **	GE-Intersil advanced	59	UC Berkeley BSIM3-501 FD Model
25 **	CASMOS (Rutherford)	61	RPI a-Si TFT Model
26 **	Sierra 2	62	RPI Poli-Si TFT Model

* not officially released

** equations are proprietary - documentation not provided

*** requires a license and equations are proprietary - documentation not provided

Appendix B: Parametrar för LEVEL 1

Basic Model Parameters

Name (Alias)	Units	Default	Description
LEVEL		1.0	DC model selector. LEVEL 1 is the Schichman-Hodges model.
COX	F/m ²	3.453e-4	Oxide capacitance per unit gate area. If COX is not specified, it is calculated from TOX.
KP (BET, BETA)	A/V ²		Intrinsic transconductance parameter. If KP is not specified and UO and TOX are entered, the parameter is computed from: $KP = UO * COX$ The default=2.0718e-5 (NMOS), 8.632e-6 (PMOS).
LAMBDA (LAM, LA)	V ⁻¹	0.0	Channel-length modulation
TOX	m	1e-7	Gate oxide thickness
UO	cm ² /(V ² s)		Carrier mobility

Effective Width and Length Parameters

Name (Alias)	Units	Default	Description
DEL	m	0.0	Channel length reduction on each side. $DEL_{scaled} = DEL * SCALM$
LD (DLAT, LATD)	m		Lateral diffusion into channel from source and drain diffusion. If LD and XJ are unspecified, LD Default=0.0. When LD is unspecified but XJ is specified, LD is calculated as: LD Default=0.75 * XJ $LD_{scaled} = LD * SCALM$
LDAC	m		This parameter is the same as LD, but if LDAC is in the .MODEL statement, it replaces LD in the L _{eff} calculation for AC gate capacitance.
LMLT		1.0	Length shrink factor
WD	m	0.0	Lateral diffusion into channel from bulk along width $WD_{scaled} = WD * SCALM$
WDAC	m		This parameter is the same as WD, but if WDAC is in the .MODEL statement, it replaces WD in the W _{eff} calculation for AC gate capacitance.
WMLT		1.0	Diffusion layer and width shrink factor
XJ	m	0.0	Metallurgical junction depth: $XJ_{scaled} = XJ * SCALM$
XL (DL, LDEL)	m	0.0	Accounts for masking and etching effects: $XL_{scaled} = XL * SCALM$
XW (DW, WDEL)	m	0.0	Accounts for masking and etching effects: $XW_{scaled} = XW * SCALM$

Threshold Voltage Parameters

Name (Alias)	Units	Default	Description
GAMMA	V ^{1/2}	0.5276	Body effect factor. If GAMMA is not specified, it is calculated from NSUB
NFS (DFS, NF, DNF)	cm ⁻² V ⁻¹	0.0	Fast surface state density
NSUB (DNB, NB)	cm ⁻³	1e15	Bulk surface doping. NSUB is calculated from GAMMA if not specified.
PHI	V	0.576	Surface inversion potential -PH is calculated from NSUB if not specified
VTO (VT)	V		Zero-bias threshold voltage. If not specified, it is calculated.

The channel-length modulation parameter LAMBDA is equivalent to the inverse of the Early voltage for the bipolar transistor. LAMBDA is a measure of the output conductance in saturation. When this parameter is specified, the MOSFET has a finite but constant output conductance in saturation. If LAMBDA is not input, the LEVEL 1 model assumes zero output conductance.

Appendix C: Meyerkapacitanser

I Meyers kapacitansmodell uttrycks gatekapacitanserna som funktioner av den laddning som finns i gateterminalen:

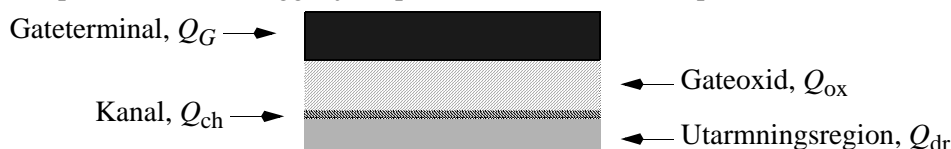
$$C_{GS} = \left. \frac{\partial Q_G}{\partial V_{GS}} \right|_{V_{GD}, V_{GB}},$$

$$C_{GD} = \left. \frac{\partial Q_G}{\partial V_{GD}} \right|_{V_{GS}, V_{GB}}, \text{ samt}$$

$$C_{GB} = \left. \frac{\partial Q_G}{\partial V_{GB}} \right|_{V_{GS}, V_{GD}}.$$

Laddningar kring gateoxiden

Att leta fram laddningen på gateterminalen är inte trivialt! Genomgående är det dock förenklande om man kan föreställa sig en plattkondensator-struktur där gateterminalen ligger ovanför ett dielektrikum (gateoxiden). I en plattkondensator ligger ju Q på ena elektroden och $-Q$ på den andra.



Till större delen neutralt. Kan dock få ett överskott av laddningsbärare, speciellt nära utarmningsregionen.

Under gateoxiden finns en kanal av fria laddningsbärare, och under kanalen återfinns vi ett utarmat område där joner utgör stationära (ej rörliga) laddningar. Eftersom det finns stationära laddningar även i gateoxiden, p.g.a. orenheter i SiO_2 -materialet och defekter på oxidens gränssyta mot kiset, finns det ett antal olika beståndsdelar av den totala laddning som återfinns i och i närheten av gateoxiden.

- Q_G är den laddning som finns på gateterminalen, och som kan regleras med hjälp av den spänningsskälla vi kopplat till gaten.
- Q_{ox} är i allt väsentligt en konstant laddning som ej beror på spänningarna på transistorens fyra terminaler. Den är i allmänhet positiv, och för de operationsmoder då Q_{dr} eller Q_{ch} är framträdande är det vanligt att man försummar Q_{ox} .
- Q_{dr} (där index dr kommer från "depletion region") är laddningen som kommer sig av att dopningsatomerna förlorar sina extra laddningsbärare, när dessa repelleras bort från oxiden av den spänning som läggs på gateterminalen.
 - Om vi som exempel tar ett N-dopat substratmaterial, utan pålagda spänningar, så är detta laddningsneutralt i alla delar av materialet, d.v.s. överallt finns det lika många positiva laddningar som negativa per volymenhet. Principen bakom dopning är att ta en atom med en valenselektron mer eller mindre och placera denna i kislats symmetriska gitter, där varje atom har fyra valenselektroner som den delar med sina fyra grannatomer genom kovalenta bindingar. När vi introducerar t.ex. fosforatomer i kiset får vi på vissa platser en atom som har fem valenselektroner, mot kislats fyra. Det finns få fosforatomer jämfört med kiselatomer, så alla fosforatomer kommer att ha fyra kiselatomer som grannar. När de fyra kovalenta bindingarna har etablerats kring fosforatomen, blir ju den femte elektronen som fosforet hade med sig över. *Viktigt 1:* Så länge elektronen cirklar i närheten av fosforatomen så är det dopade materialet laddningsneutralt. *Viktigt 2:* Den femte elektronen är relativt sett mycket lätt rörlig eftersom den inte sitter fast i en kovalent binding. Vi säger att den femte elektronen är en fri laddningsbärare, för det räcker att värma det dopade materialet till rumstemperatur så har man tillfört den energi

som behövs för att fullständigt lösgöra elektronen från sin "moderator". *Viktigt 3:* På en makroskala behövs en extern spänning för att skapa en ordnad förflyttning av fria elektroner, så att vi kan tala om en avvikelse från laddningsneutraliteten.

- Q_{ch} (där index ch kommer från "channel") är laddningen som representeras av de fria laddningsbärare som finns tillgängliga i kanalen. I en NMOS kommer dessa fria laddningsbärare (elektroner) från de N-dopade områdena vid drain och source.

När vi ändrar på gatespänningen ändras följaktligen Q_G , och dessutom sker laddningsförändringar under oxiden. Säg att vi har en NMOS och att vi höjer Q_G från ett från början litet värde:

Nu repelleras de fria laddningsbärare (hål) i substratet som ligger närmast under oxiden, och det från början neutrala P-substratet får nu lokalt, under oxiden, ett överskott av negativa joner (t.ex. bor-joner). Alltså bildas nu en laddning Q_{dr} , och denna blir alltmer negativ i takt med att Q_G ökar.

Fortsätter vi att öka gatespänningen kommer en kanal bildas, och Q_{ch} ökar från att från början varit 0 C. För gatespänningar över den då kanalen bildas förblir Q_{dr} relativt konstant.

Om man inte vill få ström att flyta genom gateoxiden, ser man till att laddningsneutralitet upprätthålls över gateoxiden: I figuren på föregående sida betyder det att $Q_G + Q_{ox} + Q_{ch} + Q_{dr} = 0$, och då har jag förutsatt att hela Q_{ox} är belägen i oxidens underkant, vilket är realistiskt.

Låt oss avbryta för en historisk tillbakablick: Ett alltför stort Q_{ox} var det stora hindret när man under spannet mellan 1925 och 1960 försökte fysiskt implementera Lilienfelds fälteffektpatent. Dels blev Q_{ox} stort för att de första primitiva tillverkningsprocesserna introducerade höga nivåer av föroreningar (framförallt natrium) i oxiden. Dels blev Q_{ox} stort eftersom lösa atombindingar i ytan mellan oxid och halvledare fångade upp de fria laddningsbärarna som kom farande i kanalen. Den senare effekten manifesterade sig genom att tröskelspanningen ändrade sig alltefter som tiden gick!

Ett sista ögonkast tillbaka i tiden: Man undersökte faktiskt oxidytans beskaffenhet 1947 när man råkade uppfinna den bipolära transistoren.

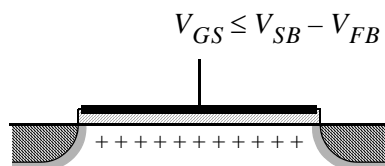
Elektriska och fysikaliska operationsområden hos MOS-transistorn

Vi börjar få en viss vana vid operationsområdena *cut-off* (eller *avstängd*), *linjära* området samt *mättade* området. Dessa elektriska operationsområden relateras till strömekvationer som beskriver MOS-transistorerna och de har sina ursprung i de fysikaliska egenskaper som transistoren uppvisar vid olika spänningar.

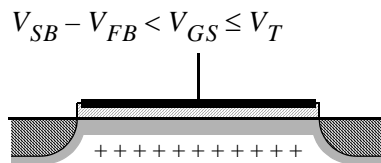
Om man tittar närmare på de fysikaliska egenskaperna så vi kan tala om fysikaliska operationsområden, och dessa är inte helt, bara delvis, sammanfallande med de elektriska operationsområdena. Terminologin kring de fysikaliska egenskaperna är mer att inordna under halvledarfysik än elektronik, så vi ska inte fördjupa oss absurt mycket ... bara litet.

Om vi tar NMOS:en som exempel, så är denna i sitt

- ackumulerande operationsområde när $V_{GS} \leq V_{SB} - V_{FB}$, där V_{SB} är source-till-body spänningen, och V_{FB} är den s.k. "flatbandspänningen". I det ackumulerande operationsområdet utmärks området under gateoxiden av att gatespänningen dragit till sig hål från det P-dopade materialet som utgör substratet.



- När det gäller numeriska värden: V_{SB} är 0 V för en inverterare, medan V_{FB} har ett värde som bestäms av kvoten mellan dopningen av substrat och gateterminalsmaterial (V_{FB} är alltid negativ för en NMOS). Jag återkommer med mer om V_{FB} senare.
- Med referens till figuren över gateoxiden på föregående sida så gäller för det ackumulerande operationsområdet att $Q_{ch} = 0$ samt att $Q_{dr} = 0$. Däremot finns det en positiv laddning som inte redovisas i figuren (antydts i texten om substratet) och som uppstår av den mängd av fria hål som tar sig fram till området under oxiden.
- **utarmade operationsområde** när $V_{SB} - V_{FB} < V_{GS} \leq V_T$, eftersom området under oxiden då är utarmad på fria laddningsbärare. I det utarmade operationsområdet utmärks området under gateoxiden av att gatespänningen **repellerat hål** från det P-dopade material som utgör substratet.

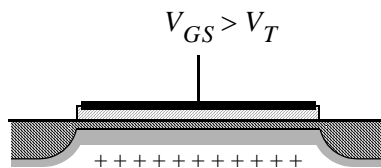


- Med referens till figuren över gateoxiden på tidigare sida så gäller för det utarmade operationsområdet att $Q_{ch} = 0$, medan Q_{dr} varierar (med pålagd gatespänning eller Q_G om man så vill) mellan 0 C och sitt största absolutvärde som inträffar när den utarmade substratregionen är som störst och då når $W_{dr}(\max)$ ned i substratet:

$$q_{dr}(\max) = -qN_a W_{dr}(\max) = -qN_a \sqrt{\frac{2\epsilon_{\text{kisel}}}{q} \frac{1}{N_a} 2\phi_F} = -\sqrt{4q\epsilon_{\text{kisel}} N_a \phi_F}$$

Den gemena stilen på laddningen talar om för oss att laddningen anges per ytenhet, och för att få fram Q_{dr} måste vi multiplicera med W och L .

- **inverterade operationsområde** när $V_{GS} > V_T$, eftersom en kanal har bildats under oxiden. Begreppet inverterad syftar här till att det område under oxiden, som tidigare var ett P-dopat material, nu helt plötsligt fått ett N-dopats materials egenskaper. När inversionen inträder har det P-dopade materialet under gateoxiden, tack vare en gatespänning $V_{GS} > V_T$, lika hög koncentration av fria laddningsbärare som det P-dopade materialet hade ursprungligen — det är ju bara det att dessa *fria laddningsbärare är elektroner, inte hål*.



Kapacitanserna gate-till-source samt gate-till-drain

Låt oss först studera C_{GS} och C_{GD} . För att dessa ska vara skilda från 0 F måste en kanal ha bildats annars kan ju inte (lågresistiva) source- och drain-elektrodena existera — transistorn måste vara i det inverterade operationsområdet. För att C_{GD} ska vara skild från 0 F måste dessutom transistorn vara i sitt linjära område, annars har kanalen nått pinch-off på drainsidan. Vid pinch-off blir kanalladdningen som "hör" till drain-elektroden mycket liten, vilket genom sambandet

$$C_{GD} = \frac{\partial Q_G}{\partial V_{GD}}$$

ger upphov till mycket liten kapacitans.

När vi har en kanal under gateoxiden är denna beståndsdel, Q_{ch} , den klart dominerande delen i den totala laddningen under oxiden. Därför kan man sätta $Q_G = -Q_{ch}$, och ägna sig åt att finna Q_{ch} . Man kan bestämma kanalladdningen (utefter kanalen) som

$$q_{ch}(x) = W \cdot (-C_{ox} (V_{GS} - V(x) - V_T)),$$

där $V(x)$ är spänningen i kanalen i punkten x som ligger mellan $x = 0$ (source) där potentialen är 0 V, och $x = L$ (drain) där potentialen är V_{DS} . Vill man läsa hela härledningen av $q_{ch}(x)$ kan man titta i mina föreläsningssanteckningar (sidorna 70-73) i halvledarteknik:

www.ce.chalmers.se/~perla/ugrad/SemTech/Lectures_2000.pdf

Kapacitansen Q_G skriver vi nu som bredden gånger laddningsintegralen längs kanalens hela längd:

$$Q_G = - \int_0^L W \cdot (-C_{ox} (V_{GS} - V(x) - V_T)) dx$$

Som framgår av föreläsningssanteckningarna i halvledarteknik kan man formulera drainströmmen i en NMOS enligt

$$I_D = W \mu_n Q_{ch} E_x,$$

där det elektriska fältet i kanalen skrivs som

$$E_x = -\frac{\partial}{\partial x} V(x).$$

Därmed får vi

$$I_D = W \mu_n C_{ox} (V_{GS} - V(x) - V_T) \frac{\partial}{\partial x} V(x),$$

vilket vi kan använda för att beskriva dx

$$dx = \frac{W \mu_n C_{ox}}{I_D} (V_{GS} - V(x) - V_T) dV(x)$$

i Q_G -ekvationen ovan, som alltså övergår i

$$Q_G = \frac{W^2 C_{ox}^2 \mu_n}{I_D} \int_0^{V_{DS}} (V_{GS} - V(x) - V_T)^2 dV(x),$$

eller

$$Q_G = \frac{1}{3} \frac{W^2 C_{ox}^2 \mu_n}{I_D} [(V_{GS} - V_T)^3 - (V_{GD} - V_T)^3],$$

där $V_{GD} = V_{GS} - V_{DS}$.

Nu har vi tagit fram ett uttryck för Q_G när vi har en kanal under oxiden och detta är ett ganska användbart uttryck visar det sig.

För en NMOS i det linjära operationsområdet

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

fås efter lite algebra

$$Q_G = \frac{2}{3}(WLC_{ox}) \frac{(V_{GS}-V_T)^3 - (V_{GD}-V_T)^3}{(V_{GS}-V_T)^2 - (V_{GD}-V_T)^2}$$

Meyerkapacitanserna C_{GS} och C_{GD} beskrivs som

$$C_{GS} = \left. \frac{\partial Q_G}{\partial V_{GS}} \right|_{V_{GD}, V_{GB}}, \text{ samt}$$

$$C_{GD} = \left. \frac{\partial Q_G}{\partial V_{GD}} \right|_{V_{GS}, V_{GB}}$$

Genom att derivera Q_G och genomföra vissa algebraiska steg erhåller vi Meyerkapacitanserna för det linjära området som

$$C_{GS} = \frac{2}{3}(WLC_{ox}) \left[1 - \frac{(V_{GS}-V_T-V_{DS})^2}{(2(V_{GS}-V_T)-V_{DS})^2} \right]$$

samt

$$C_{GD} = \frac{2}{3}(WLC_{ox}) \left[1 - \frac{(V_{GS}-V_T)^2}{(2(V_{GS}-V_T)-V_{DS})^2} \right]$$

Det mättade områdets Meyerkapacitanser är ett specialfall, och vi kan enkelt beskriva detta genom att i C_{GS} och C_{GD} ovan anta mättnadsvillkoret på terminalspänningarna $V_{DS} = V_{GS} - V_T$. Nu blir

$$C_{GS} = \frac{2}{3}(WLC_{ox})$$

samt

$$C_{GD} = 0.$$

Nu kan vi sammanfatta C_{GS} och C_{GD} , dels för det linjära området och dels för det mättade området:

	C_{GS}	C_{GD}
Linjära området	$\frac{2}{3}(WLC_{ox}) \left[1 - \frac{(V_{GS}-V_T-V_{DS})^2}{(2(V_{GS}-V_T)-V_{DS})^2} \right]$	$\frac{2}{3}(WLC_{ox}) \left[1 - \frac{(V_{GS}-V_T)^2}{(2(V_{GS}-V_T)-V_{DS})^2} \right]$
Mättade området	$\frac{2}{3}(WLC_{ox})$	0

När vår inverterare i **Övning 5** och **Övning 8** matas med en stabil logisk 0:a på ingången gäller att NMOS:en är avstängd eftersom $V_{GS} = 0$ V, medan PMOS:en är i sitt linjära område eftersom $V_{SD} = 0$ V och $V_{SG} = 3,3$ V. För detta fall är C_{GS} och C_{GD} lika stora eftersom $V_{SD} = 0$ V, och vårt uttryck (med PMOS:ens referenser) blir

$$C_{GS} = C_{GD} = \frac{2}{3}(WLC_{ox}) \left[1 - \frac{(V_{SG}-|V_{Tp}|)^2}{(2(V_{SG}-|V_{Tp}|))^2} \right] = \frac{2}{3}(WLC_{ox}) \left[1 - \frac{1}{4} \right] = \frac{1}{2}(WLC_{ox})$$

Kapacitansen gate-till-bulk

För det utarmade tillståndet på NMOS:en använder SPICE följande funktion för att beskriva C_{GD} :

$$C_{GB} = \frac{C_{N0}}{\sqrt{1 + 4 \cdot \frac{V_{GS} + V_{SB} - V_{FB}}{\gamma^2}}},$$

där

$$C_{N0} = C_{ox} \cdot W \cdot L = \frac{\epsilon_{ox}}{t_{ox}} \cdot W \cdot L = \frac{3,9 \cdot 8,85 \times 10^{-12}}{100 \times 10^{-9}} \cdot 2 \times 10^{-12} = 0,690 \text{ fF}.$$

Varifrån får SPICE detta uttryck? På ett liknande sätt som för härledningen av C_{GS} och C_{GD} handlar det om att kunna beskriva laddningen på gateterminalen, Q_G , som en funktion av V_{GB} för att kunna hitta kapacitansen

$$C_{GB} = \left. \frac{\partial Q_G}{\partial V_{GB}} \right|_{V_{GS}, V_{GD}}.$$

Vi använder resonemang från halvledartekniken och man kan med fördel läsa mina föreläsninganteckningar (s. 70-73) även för detta. Genom att räkna på ett s.k. banddiagram för NMOS-transistorn kan man se att spänningen mellan gate och bulk är en summa av *a)* spänningen som ligger över oxiden V_{ox} , *b)* ytpotentialen i substratet närmast oxiden ϕ_s , samt *c)* skillnaden i Ferminivå mellan gatematerial och substratmaterial Φ_{ms} (vars värde är konstant och bara beror på dopning!):

$$V_{GB} = V_{ox} + \phi_s + \Phi_{ms}.$$

Vi bortser här från inverkan av en spänningsskillnad mellan drain och source och låter alla effekter, som har med en sådan skillnad att göra, påverka genom senare utvidgningar av grundmodellen. Man brukar kalla detta synsätt för en MOS-kapacitans, och det brukar i halvledartekniken föregå all diskussion om kanalströmmar.

En beskrivning av hur laddningarna Q_G , Q_{ox} , Q_{ch} och Q_{dr} (som ska summeras till 0) relateras till spänningen över oxiden ges med det grundläggande fysikaliska sambandet för laddning, kapacitans och spänning:

$$V = \frac{Q}{C} \Rightarrow V_{ox} = \frac{q_G}{C_{ox}},$$

där vi sedan tidigare ser C_{ox} som en kapacitans per ytenhet och därför måste använda laddning per ytenhet. När vi funderar kring hur gate-till-bulk kapacitansen, genom laddningarna, är sammansatt noterar vi först att den endast kan finnas när transistorn saknar kanal. Så fort en kanal skapas kommer denna att elektriskt skärma bort gateterminalen från bulkterminalen och ge upphov till $C_{GB} = 0$. Alltså är $Q_{ch} = 0$!

Vidare vet vi sedan introduktionen av detta appendix att Q_{ox} är en fix laddning, som kommer sig av föroreningar och defekter. För att göra det lite enklare för oss i fortsättningen så antar vi att laddningen inuti oxiden är relativt ringa, och vi sätter därför $Q_{ox} = 0$!

Nu återstår enbart den laddning som utarmningsområdet under kanalen ger upphov till. Vi kan använda det djup som utarmningen når ned i substratet för att räkna ut den laddning q_{dr} (per ytenhet) som finns i utarmningsområdet, på grund av att fria bärare i substratet repellerats och lämnat stationära joner efter sig:

$$q_{dr} = -\sqrt{2q\epsilon_{kisel} N_a \phi_s}$$

Vi har nu fått fatt på V_{ox}

$$V_{ox} = \frac{q_G}{C_{ox}} = \frac{-q_{dr}}{C_{ox}} = \frac{\sqrt{2q\epsilon_{kisel} N_a \phi_s}}{C_{ox}}.$$

Innan vi glömmer bort att vi är på jakt efter att beskriva Q_G , så återvinner vi från **Övning 2**

$$\gamma = \frac{\sqrt{2q\epsilon_{kisel} N_a}}{C_{ox}},$$

vilket gör det möjligt att skriva

$$q_G = \sqrt{2q\epsilon_{kisel} N_a \phi_s} = \gamma C_{ox} \sqrt{\phi_s}$$

Nu kan vi uttrycka den undflyende storheten ytpotential som en funktion av gateladdningen

$$\phi_s = \left(\frac{q_G}{\gamma C_{ox}} \right)^2$$

Ytpotentialen är ett mått på hur långt P-substratet alldeles under oxiden har kommit i processen att omvandlas till en kanal av N-typ (som sker vid inversion): För $\phi_s = 0$ V är P-substratet vid oxidgränsen opåverkat och fortfarande ett helt intakt P-typ material. För $\phi_s = \phi_F$ betar sig P-substratet vid oxidgränsen som ett s.k. intrinsiskt (eller odopat) material, d.v.s. här finns samma koncentration fria elektroner som hål. För $\phi_s = 2 \phi_F$ har P-substratet vid oxidgränsen blivit ett material av N-typ med samma koncentration fria elektroner, som koncentrationen fria hål i det ursprungliga P-substratet.

Vi gör halt och sammanfattar:

$$V_{GB} = \frac{q_G}{C_{ox}} + \left(\frac{q_G}{\gamma C_{ox}} \right)^2 + \Phi_{ms}.$$

Parametern Φ_{ms} representerar skillnaden i Ferminivå mellan gateterminalsmaterial (normalt görs denna i s.k. polykisel) och substratmaterial, och detta är ett värde som håller sig konstant med spänningsvariationer och bara beror på dopningsnivån i gate respektive substrat. Jag använder mig av spänningseenheten Volt för Φ_{ms} , men den förekommer också med energienheten eV (då är $E = V \cdot q$).

För att vi ska vara säkra på att vi menar enheten Volt, så använder man sig av parametern V_{FB} , där FB står för FlatBand. Nu är inte detta en halvledarkurs, utan en elektronikurs, så vi kommer bara intressera oss för att hitta något sätt att beskriva V_{FB} . Hur gör vi detta?

Vi tar några steg bakåt och tar fram

$$V_{GB} = V_{ox} + \phi_s + \Phi_{ms}.$$

Vi tittar nu speciellt på fallet när transistorn går in i inversion, d.v.s. vi väljer att lägga på den spänning på gaten som motsvarar tröskelspänningen. Vi får nu, då $\phi_s = 2 \phi_F$ och $\Phi_{ms} = V_{FB}$:

$$V_{GB} = \frac{\sqrt{2q\epsilon_{kisel} N_a 2\phi_F}}{C_{ox}} + 2\phi_F + V_{FB} = \gamma \sqrt{2\phi_F} + 2\phi_F + V_{FB}.$$

I vår betraktelse är spänningen mellan gate och bulk densamma som mellan gate och source i och med att vi antar att vi jobbar med en inverterare där $V_{SB} = 0$. Spänningen över gaten är dessutom identisk med tröskelspänningen d.v.s.

$$V_T = \gamma \sqrt{2\phi_F} + 2\phi_F + V_{FB}.$$

Ett SPICE-anpassat uttryck för V_{FB} skulle för vår NMOS-modell bli

$$V_{FB} = VT0 - PHI - GAMMA \cdot \sqrt{PHI} = -0,335 \text{ V}.$$

Om man vill ta hänsyn till bodyeffekten när man räknar fram V_{FB} får man ta med den avvikelse man får i utarmningsområdets utbredning på grund av V_{SB} — med $V_{SB} \geq 0$ får man en annan laddning q_{dr} . Man får kompensera för V_{SB} genom att skriva inversionens q_{dr} som

$$q_{dr} = -\sqrt{2q\epsilon_{kisel} N_a (2\phi_F + V_{SB})}$$

och därmed lösa

$$V_T = \gamma\sqrt{(2\phi_F + V_{SB})} + 2\phi_F + V_{FB}, \text{ då } V_{SB} \geq 0.$$

Nu är vi klara med begreppet “flatband voltage” och återgår nu till framräkningen av C_{GB} . Vi hade hunnit sammanfatta oss med

$$V_{GB} = \frac{q_G}{C_{ox}} + \left(\frac{q_G}{\gamma C_{ox}}\right)^2 + \Phi_{ms} = \frac{q_G}{C_{ox}} + \left(\frac{q_G}{\gamma C_{ox}}\right)^2 + V_{FB}.$$

Här löser man en andragradsekvation för q_G och väljer följande lösning:

$$q_G = \gamma C_{ox} \left(\sqrt{\frac{1}{4}\gamma^2 + V_{GB} - V_{FB} - \frac{1}{2}\gamma} \right),$$

vilket äntligen ger oss

$$Q_G = \gamma (WLC_{ox}) \left(\sqrt{\frac{1}{4}\gamma^2 + V_{GB} - V_{FB} - \frac{1}{2}\gamma} \right),$$

Vi deriverar m.a.p. V_{GB} och erhåller då

$$C_{GB} = \frac{WLC_{ox}}{\sqrt{1 + 4 \cdot \frac{V_{GB} - V_{FB}}{\gamma^2}}} = \frac{WLC_{ox}}{\sqrt{1 + 4 \cdot \frac{V_{GS} + V_{SB} - V_{FB}}{\gamma^2}}}.$$

Nu har vi härlett Meyerkapacitanserna!