

Vad vi gör under veckan (Lv7)

Vi börjar med att visa vilka möjligheter det finns att styra exekveringen i FLIS-processorn med yttre signaler som kopplas direkt till processorn. Detta medför t ex att man snabbt kan hantera händelser, mäta tid noggrant eller skenbart köra flera program samtidigt, s k pseudoparallellism.

Sedan går vi igenom hur man ansluter minnesmoduler- och in-/utportar i ett datorsystem med den kommersiella processorn CPU12, som har 16-bitars adressbuss.

I mån av tid kommer vi i slutet av veckan visa hur man konstruerar en sk. bitsekvens-detektor, som är ett exempel på ett mera generellt synkront sekvensnät.

Yttre styrning av FLIS-processorn

Insignalerna "Reset" och "IRQ". FLIS-processorns avbrottssystem. Ett antal exempel med händelsestyrda och tidsstyrda avbrott.

Anslutning av minnesmoduler och in-/utportar till CPU12-buss

Hur man bestämmer adressområde och bildar aktiveringssignaler ("chip select") för minnesmoduler och portar.

Konstruktion av enkla synkrona sekvensnät

Principen för hur man konstruerar enkla generella synkrona sekvensnät illustreras med konstruktion av en bitsekvensdetektor ($\approx$ elektroniskt lås).

Under veckan fortsätter vi förbereda och utför laboration nr 4

(De uppgifter i arbetsboken och de hemuppgifter i labb-PM som anges på försättsbladet till laborationen skall arbetas igenom.)