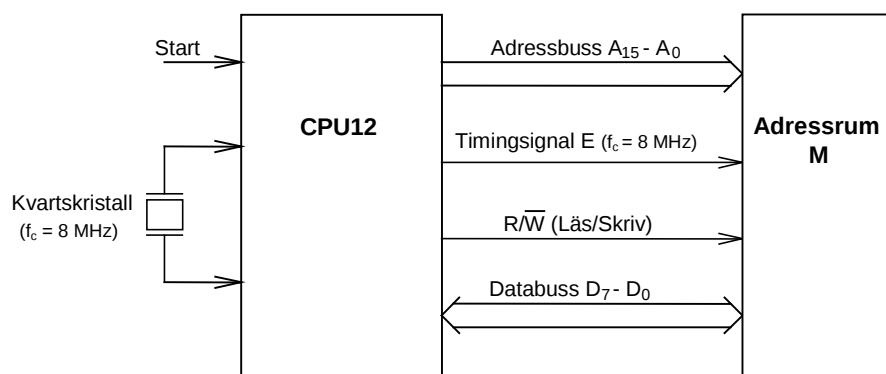


Hur processorn CPU12 läser och skriver i minnet (från kap 13 i KMP)

I Figur 13.6 visas de signaler CPU12 använder för läsning och skrivning i minnet (adressrum M).

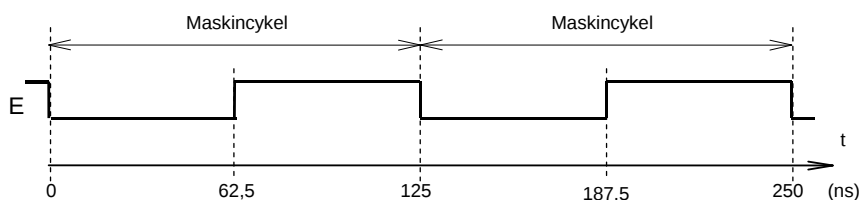


Figur 13.6 CPU12 kopplad till minnet (adressrum M).

Läsning och skrivning i minnet kallas minnesreferenser och sker under en E-klockcykel.

CPU12-klockning (timing)

CPU12 genererar den symmetriska "timing"-signalen E under hela tiden den arbetar. Den bildas ur signalen från en kristallosillator med frekvensen 8 MHz i vårt fall. Se Figur 13.7.



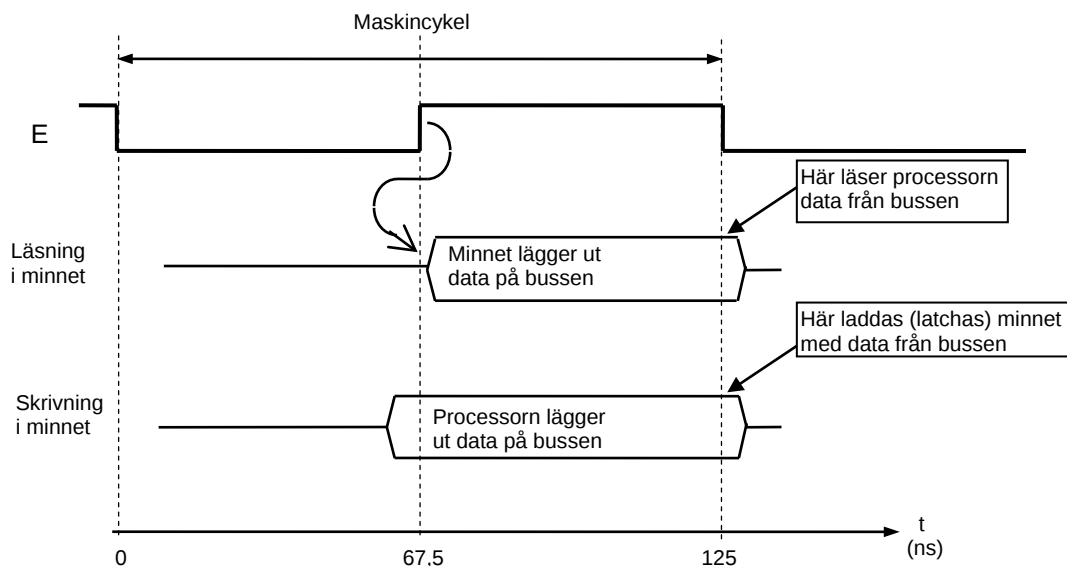
Figur 13.7 Timingsignalen E hos CPU12.

När CPU12 läser eller skriver i minnet utför den en **maskencykel**. Den inleds när **signalen E** går från hög till låg nivå (negativ flank) och avslutas med nästa negativa flank på E-signalen, såsom visas i Figur 13.7.

En läsning i minnet (en läscykel) inleds med att processorn lägger ut adressen, där läsningen skall ske, på adressbussen samtidigt som signalen **Läs/Skriv ($R/\overline{W}$)** ges värdet "1". Det sker vid negativ flank på E-signalen.

På grund av att det finns interna fördröjningar i processorn så kommer varken adressbitar eller $R/\overline{W}$ -signalen att ha rätt värde förrän **efter** E-signalens negativa flank. Dessutom kommer de inte att få rätt värde samtidigt på grund av att fördröjningarna är olika för de olika signalerna. Vid tidpunkten för E-signalens positiva flank är dock adressen och $R/\overline{W}$ -signalen garanterat korrekta (stabila) och först då bör minnet börja "plocka" fram data från den aktuella adressen och placera det på databussen, vilket visas i Figur 13.. Processorn läser sedan av data från databussen vid slutet av maskencykeln dvs vid E-signalens nästa negativa flank.

Ett liknande resonemang kan föras för adresser och $R/\overline{W}$ -signalen vid skrivning. Skrivningen inleds med att processorn lägger ut adressen, där skrivningen skall ske, på adressbussen samtidigt som signalen **Läs/Skriv** ($R/\overline{W}$) ges värdet "0". Därefter lägger processorn ut data på databussen på det sätt som visas i Figur 13.. Minnet laddas sedan med data från databussen vid slutet av maskincykeln dvs vid E-signalens nästa negativa flank.



Figur 13.8 Läsning och skrivning med CPU12-processorn

Vid läsning och skrivning är således adressen och $R/\overline{W}$ -signalen, som läggs ut från processorn vid E-klockans negativa flank, inte garanterat korrekta (stabila) förrän vid E-klockans positiva flank. Under resterande halvan av maskincykeln är dock adressen stabil. Adresssignalerna och $R/\overline{W}$ signalen har således stabila värden under tiden som E är "1". E- signalen är därför en **VMA-signal (Valid Memory Address)**. För CPU12 används signalen $VMA = E$ ofta som grindsignal för timing vid arbete mot olika minnesmoduler och in/ut-portar i adressrum M.