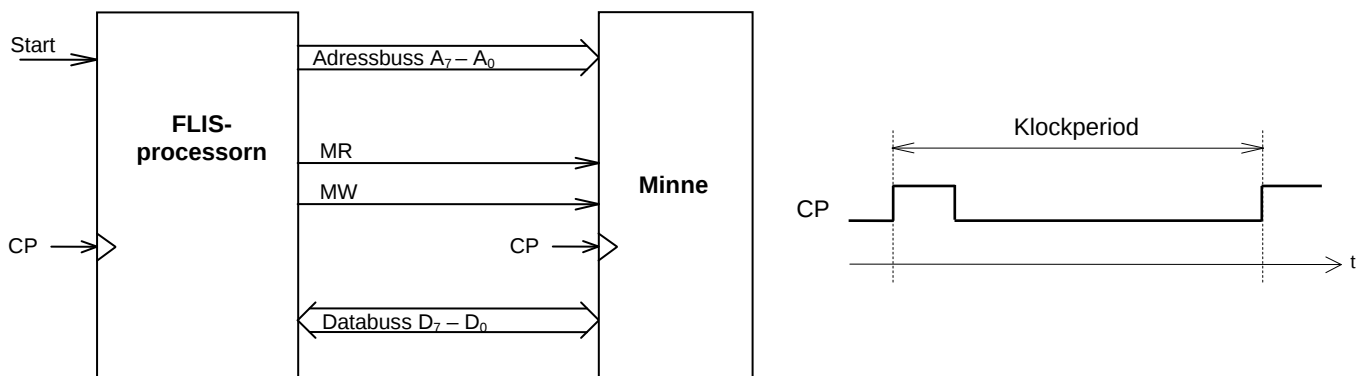


Hur FLIS-processorn läser och skriver i minnet

I figur 1 visas de signaler FLIS-processorn använder för läsning och skrivning i minnet.



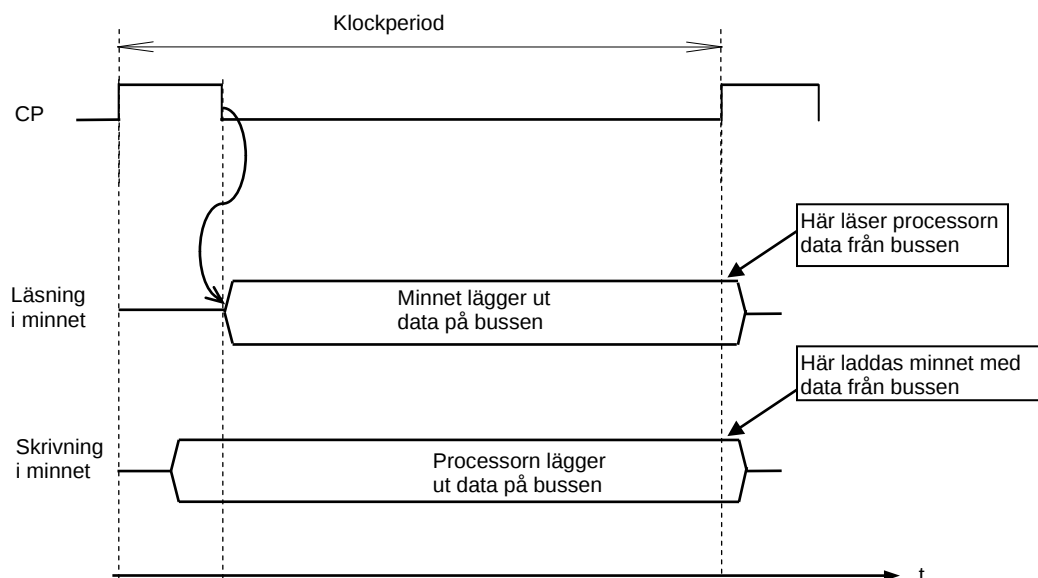
Figur 1 FLIS-processorn kopplad till minnet.

FLIS-processorn läser eller skriver i minnet under en klockperiod. Den inleds när CP går från låg till hög nivå (positiv flank) och avslutas med nästa positiva flank på CP-signalen, såsom visas i figur 1.

En läsning i minnet (en läscykel) inleds med att processorn lägger ut adressen, där läsningen skall ske, på adressbussen samtidigt som den lägger ut hög nivå på signalen MR.

På grund av att det finns interna fördröjningar i processorn så kommer varken adressbitar eller MR-signalen att ha rätt värde förrän *efter* CP-signalens positiva flank. Dessutom kommer de inte att få rätt värde samtidigt på grund av att fördröjningarna är olika för de olika signalerna. Vid tidpunkten när CP-signalen går låg igen är dock adressen och MR-signalen garanterat korrekta (stabila) och först då skall minnet börja "plocka" fram data från den aktuella adressen och placera det på databussen, vilket visas i figur 2. Processorn läser sedan av data från databussen vid slutet av klockcykeln dvs. vid CP-signalens nästa positiva flank.

Ett liknande resonemang kan föras för adresser och MW-signalen vid skrivning. Skrivningen inleds med att processorn lägger ut adressen, där skrivningen skall ske, på adressbussen samtidigt som signalen MW ges värdet "1". Därefter lägger processorn ut data på databussen på det sätt som visas i figur 2. Minnet laddas sedan med data från databussen vid slutet av klockcykeln dvs vid CP-signalens nästa positiva flank.



Figur 2 Läsning och skrivning i minnet med FLIS-processorn

Vid läsning och skrivning är således adressen samt MR- resp. MW-signalen, som läggs ut från processorn vid CP-signalens positiva flank, inte garanterat korrekta (stabila) förrän vid CP-signalens negativa flank. Adressen och MR- eller MW-signalen har alltså stabila värden under tiden som CP är "0".